



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0008037
 (43) 공개일자 2013년01월21일

(51) 국제특허분류(Int. Cl.)
 H01L 29/786 (2006.01) H01L 21/203 (2006.01)
 H01L 21/336 (2006.01)
 (21) 출원번호 10-2012-7026043
 (22) 출원일자(국제) 2011년02월15일
 심사청구일자 없음
 (85) 번역문제출일자 2012년10월04일
 (86) 국제출원번호 PCT/JP2011/053617
 (87) 국제공개번호 WO 2011/108382
 국제공개일자 2011년09월09일
 (30) 우선권주장
 JP-P-2010-049602 2010년03월05일 일본(JP)

(71) 출원인
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
 야마자키 슌페이
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 스즈키 구니히코
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 (74) 대리인
 장훈

전체 청구항 수 : 총 22 항

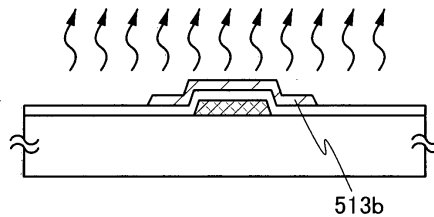
(54) 발명의 명칭 **반도체 장치를 제작하는 방법**

(57) 요약

막 형성동안 수소 원자를 함유하는 불순물과 강하게 결합하는 물질이 막 형성 챔버로 주입되고, 물질이 막 형성 챔버에 남아있는 수소 원자를 함유하는 불순물과 반응되어, 물질이 수소 원자를 함유하는 안정한 물질로 변화되는 방식으로 매우 정제된 산화물 반도체층이 형성된다. 수소 원자를 함유하는 안정한 물질은 산화물 반도체층의 금속 원자에 수소 원자를 제공하지 않고 배기되며; 따라서, 수소 원자 등이 산화물 반도체층으로 들어가는 현상이 방지될 수 있다. 수소 원자를 함유하는 불순물에 강하게 결합하는 물질로서, 예를 들면, 할로젠 원소를 함유하는 물질이 바람직하다.

대표도

[도 2b]



특허청구의 범위

청구항 1

반도체 장치를 제작하는 방법에 있어서,

할로겐 원소를 함유하는 물질이 가스 상태로 주입되는 막 형성 챔버에서 트랜지스터의 채널 형성 영역을 위한 산화물 반도체층을 형성하는 단계를 포함하는, 반도체 장치 제작 방법.

청구항 2

제 1 항에 있어서,

상기 산화물 반도체층 상에서 열 처리를 수행하는 단계를 더 포함하는, 반도체 장치 제작 방법.

청구항 3

제 2 항에 있어서,

상기 산화물 반도체층은 250℃ 이상 700℃ 이하의 온도에서 가열되며,

상기 산화물 반도체층은 수소 또는 물의 함유량이 10ppm 이하인 질소, 산소, 또는 질소와 산소의 혼합 가스 분위기에서 가열되는, 반도체 장치 제작 방법.

청구항 4

제 2 항에 있어서,

상기 가열된 산화물 반도체층 상에 200℃ 이하의 온도로 느린 냉각을 수행하는 단계를 더 포함하는, 반도체 장치 제작 방법.

청구항 5

제 1 항에 있어서,

상기 할로겐 원소를 함유하는 물질은 플루오르 원자(fluorine atom)를 포함하는, 반도체 장치 제작 방법.

청구항 6

제 1 항에 있어서,

상기 산화물 반도체층은 스퍼터링법에 의해 형성되는, 반도체 장치 제작 방법.

청구항 7

반도체 장치를 제작하는 방법에 있어서:

기판 위에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위에 게이트 절연층을 형성하는 단계와;

할로겐 원소를 함유하는 물질이 가스 상태로 주입되는 막 형성 챔버에서 상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층 위에 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는, 반도체 장치 제작 방법.

청구항 8

제 7 항에 있어서,

상기 산화물 반도체층 상에 열 처리를 수행하는 단계를 더 포함하는, 반도체 장치 제작 방법.

청구항 9

제 8 항에 있어서,

상기 산화물 반도체층은 250℃ 이상 700℃ 이하의 온도에서 가열되며,

상기 산화물 반도체층은 수소 또는 물의 함유량이 10ppm 이하의 질소, 산소, 또는 질소와 산소의 혼합 가스 분위기에서 가열되는, 반도체 장치 제작 방법.

청구항 10

제 8 항에 있어서,

상기 가열된 산화물 반도체층 상에서 200℃ 이하의 온도로 느린 냉각을 수행하는 단계를 더 포함하는, 반도체 장치 제작 방법.

청구항 11

제 7 항에 있어서,

상기 할로겐 원소를 함유하는 물질은 플루오르 원자를 포함하는, 반도체 장치 제작 방법.

청구항 12

제 7 항에 있어서,

상기 산화물 반도체층의 채널 형성 영역과 중첩하고 상기 산화물 반도체층의 표면과 접하는 제 1 절연층을 형성하는 단계를 더 포함하는, 반도체 장치 제작 방법.

청구항 13

제 7 항에 있어서,

상기 산화물 반도체층은 스퍼터링법에 의해 형성되는, 반도체 장치 제작 방법.

청구항 14

반도체 장치를 제작하는 방법에 있어서:

기판 위에 소스 전극 및 드레인 전극을 형성하는 단계와;

할로겐 원소를 함유하는 물질이 가스 상태로 주입되는 막 형성 챔버에서 상기 소스 전극 및 상기 드레인 전극 위에 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층 위에 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 위에 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치 제작 방법.

청구항 15

제 14 항에 있어서,

상기 산화물 반도체층 상에 열 처리를 수행하는 단계를 더 포함하는, 반도체 장치 제작 방법.

청구항 16

제 15 항에 있어서,

상기 산화물 반도체층은 250℃ 이상 700℃ 이하의 온도에서 가열되며,

상기 산화물 반도체층은 수소 또는 물의 함유량이 10ppm 이하의 질소, 산소, 또는 질소와 산소의 혼합 가스 분위기에서 가열되는, 반도체 장치 제작 방법.

청구항 17

제 15 항에 있어서,

상기 가열된 산화물 반도체층 상에 200℃ 이하의 온도로 느린 냉각을 수행하는 단계를 더 포함하는, 반도체 장

치 제작 방법.

청구항 18

제 14 항에 있어서,

상기 할로겐 원소를 함유하는 물질은 플루오르 원자를 포함하는, 반도체 장치 제작 방법.

청구항 19

제 14 항에 있어서,

상기 산화물 반도체층은 스퍼터링법에 의해 형성되는, 반도체 장치 제작 방법.

청구항 20

반도체 장치에 있어서,

트랜지스터의 채널 형성 영역을 포함하는 산화물 반도체층을 포함하며,

상기 산화물 반도체층은 할로겐 원소를 포함하고,

상기 할로겐 원소의 농도는 10^{15} atoms/cm³ 내지 10^{18} atoms/cm³ 인, 반도체 장치.

청구항 21

제 20 항에 있어서,

상기 할로겐 원소는 플루오르 원자인, 반도체 장치.

청구항 22

제 20 항에 있어서,

상기 할로겐 원소는 염소 원자인, 반도체 장치.

명세서

기술분야

[0001] 본 발명은 산화물 반도체를 포함하는 반도체 장치에 관한 것이며, 상기 반도체 장치를 제작하는 방법에 관한 것이다. 여기서, 반도체 장치들은 반도체 특성들을 사용하여 기능하는 일반적인 소자들과 장치들을 나타낸다는 것에 주의한다.

배경기술

[0002] 절연 표면을 갖는 기판 위에 형성된 반도체층을 이용하여 트랜지스터가 형성되는 기술이 공지되어 있다. 예를 들면, 트랜지스터가 실리콘계 반도체 재료를 함유하는 박막을 이용하여 유리 기판 위에 형성되고 액정 표시 장치 등에 적용되는 기술이 공지되어 있다.

[0003] 액정 표시 장치에 이용되는 트랜지스터는 일반적으로 비정질 실리콘 또는 다결정 실리콘과 같은 반도체 재료를 이용하여 형성된다. 비정질 실리콘을 포함하는 트랜지스터들은 낮은 전계 효과 이동도를 가지나, 그들이 더 큰 유리 기판 위에 형성될 수 있다. 한편, 다결정 실리콘을 이용하여 형성된 트랜지스터들은 높은 전계 효과 이동도를 가지나, 그들은 레이저 어닐링과 같은 결정화 단계를 거쳐야 할 필요가 있고 따라서 더 큰 유리 기판들에 대해 항상 적절하지는 않다.

[0004] 산화물 반도체들이 대안의 재료들로서 관심을 끌고 있다. 상기 산화물 반도체의 재료로서, 산화 아연 또는 산화 아연을 함유하는 물질이 공지되어 있다. 각각이 10^{18} /cm³ 보다 낮은 전자 캐리어 농도를 갖는 비정질 산화물(산화물 반도체)을 이용하여 형성되는 박막 트랜지스터들이 개시된다(특히 문서들 1 내지 3).

[0005] [참조]

- [0006] [특허 문서]
- [0007] [특허 문서 1] 일본 특허 공개 공보 2006-165527
- [0008] [특허 문서 2] 일본 특허 공개 공보 2006-165528
- [0009] [특허 문서 3] 일본 특허 공개 공보 2006-165529

발명의 내용

해결하려는 과제

- [0010] 반도체 특성들을 사용하는 트랜지스터에서, 시간에 따른 열화(time degradation)에 의해 유발된 임계 전압에서의 편차가 작은 것이 바람직하다. 이는 시간 열화로 인해 그의 임계 전압에서의 편차가 큰 트랜지스터가 반도체 장치로 이용될 때, 상기 반도체 장치의 신뢰성이 낮아지기 때문이다. 또한, 반도체 특성들을 사용하는 트랜지스터에서, 오프 상태 전류는 낮은 것이 바람직하다. 그의 오프 상태 전류가 높은 트랜지스터가 반도체 장치로 이용될 때, 상기 반도체 장치의 상기 전력 소비가 증가된다.
- [0011] 매우 신뢰할 수 있는 반도체 장치를 제작하는 방법을 제공하는 것이 본 발명의 목적이다.
- [0012] 낮은 전력 소비를 갖는 반도체 장치를 제작하는 방법을 제공하는 것이 본 발명의 다른 목적이다.
- [0013] 상기 목적들을 성취하기 위하여, 본 발명가들은 산화물 반도체가 반도체층으로 이용되는 반도체 장치에서, 산화물 반도체층에 함유된 불순물들의 농도가 임계 전압의 편차와 오프 상태 전류의 증가에 영향을 끼친다는 사실에 주목하였다. 불순물들의 예들은 수소와, 물과 같은 수소 원자를 함유하는 물질이다. 수소 원자를 함유하는 불순물이 산화물 반도체층의 금속 원자에 수소 원자를 제공하여; 이와 같이, 불순물 준위(level)가 형성된다.
- [0014] 산화물 반도체에 함유된 수소 원자를 함유하는 상기 불순물들은 상기 산화물 반도체가 형성된 후 수행되는 상대적으로 고온(예를 들면, 600°C)에서의 제 1 열 처리에 의해 실질적으로 제거될 수 있다. 그러나, 상기 산화물 반도체에 함유된 금속에 강하게 결합되는 불순물들(수소와 수산기와 같은)은 강한 결합력으로 인해 반도체층에 남아있다. 잔류 불순물들을 포함하는 산화물 반도체가 반도체층으로 이용될 때, 장시간 이용 또는 광으로의 노출로 인해 반도체 장치의 임계 전압이 변화한다. 또한, 오프 상태 전류의 증가 등과 같은 문제점들이 발생한다.
- [0015] 따라서, 상기 문제들을 해결하기 위하여, 수소 원자를 함유하는 불순물들이 막 형성 챔버로부터 완전히 제거될 수 있고, 따라서 매우 정제된 산화물 반도체층이 형성된다. 구체적으로, 상기 매우 정제된 산화물 반도체층은 다음 방식으로 형성된다: 막 형성 동안 수소 원자를 함유하는 불순물과 강하게 결합하는 물질이 상기 막 형성 챔버로 주입되고; 상기 물질은 상기 막 형성 챔버에 남아있는 수소 원자를 함유하는 불순물과 반응하여; 상기 물질이 수소 원자를 함유하는 안정한 물질로 변화된다. 수소 원자를 함유하는 상기 안정한 물질은 산화물 반도체층의 금속 원자에 수소 원자를 제공하지 않고 배기되며; 따라서, 수소 원자 등이 산화물 반도체층으로 가는 현상이 방지될 수 있다. 수소 원자를 함유하는 상기 불순물에 강하게 결합하는 물질로서, 예를 들면, 할로겐 원소를 함유하는 물질이 바람직하다. 이는 할로겐 원소를 함유하는 물질이 플라즈마로 할로겐 라디칼(halogen radical)을 생성하여 수소 원자를 함유하는 불순물로부터 수소 원자를 가져오기 때문이다. 또한, 할로겐 원소를 함유하는 물질들 중에서, 특히, 플루오르(fluorine) 라디칼을 생성하는 플루오르 원자를 함유하는 물질이 바람직하다. 이는 플루오르 원자와 수소 원자 사이의 결합 에너지가 다른 할로겐 원소들 중 임의의 것과 수소 원자 사이의 결합 에너지보다 높기 때문이다. 또한, 이는 플루오르 원자와 수소 원자 사이의 결합이 다른 할로겐 원소들 중 임의의 것과 수소 원자 사이의 결합보다 더욱 안정하기 때문이다.
- [0016] 또한, 상기 반도체층에 포함된 산화물 반도체의 말단에서의 금속 원자는 산소를 통해 다른 금속 원자와 결합되는 것이 바람직하다. 그러나, 제작 공정동안 금속 원자와 산소 사이의 결합이 없어질 때, 일부 경우들에서 상기 금속 원자의 댕글링 결합(dangling bond)이 생성된다. 또한, 수소 원자를 함유하는 불순물의 존재 하에서 금속 원자와 산소 사이의 결합이 없어질 때, 일부 경우들에서 수소와 금속 원자 사이의 결합 또는 수산기와 금속 원자 사이의 결합이 생성된다. 금속 원자의 댕글링 결합은 캐리어 밀도를 증가시키고, 수소와 금속 원자 사이의 결합과 수산기와 금속 원자 사이의 결합은 불순물 준위를 형성한다. 높은 캐리어 밀도를 갖는 산화물 반도체층을 포함하는 반도체 장치에서, 임계 전압이 노멀리 온(normally on)이 되는 경향이 있으므로, 장시간 이용 또는 광으로의 노출로 인해 임계 전압이 변화할 수 있다. 또한, 불순물 준위가 형성되는 산화물 반도체층을 포함하는 반도체 장치에서, 오프 상태 전류의 증가와 같은 문제점이 발생할 수 있다.

[0017] 상기 문제들을 해결하기 위해, 제작 공정동안 생성되는 금속 원자의 땀글링 결합을 보정하는 물질이 첨가될 수 있다. 구체적으로, 할로겐 원소의 공급원이 막 형성 챔버로 주입될 수 있다. 할로겐 원소는 산화물 반도체층에 함유된 금속 원자의 땀글링 결합과 결합하여 이를 종결시키므로, 상기 할로겐 원소가 캐리어들 또는 불순물 준위의 생성을 억제할 수 있다.

과제의 해결 수단

[0018] 다시 말해, 본 발명의 일 실시예에 따라, 반도체 장치를 제작하는 방법은, 절연 표면을 갖는 기판 위에 게이트 전극을 형성하고; 상기 게이트 전극 위에 게이트 절연층을 형성하고; 상기 게이트 전극과 중첩하고 상기 게이트 절연층과 접하는 산화물 반도체층을, 할로겐 원소를 함유하는 물질이 가스 상태로 주입되는 막 형성 챔버에서 형성하고; 상기 산화물 반도체층 상에서 열 처리를 수행하고; 열 처리가 수행된 산화물 반도체층과 접하고 단부들이 상기 게이트 전극과 중첩하는 소스 전극 및 드레인 전극을 형성하고; 산화물 반도체층의 채널 형성 영역과 중첩하고 산화물 반도체층의 표면과 접하는 제 1 절연층을 형성하는 단계들을 포함한다.

[0019] 본 발명의 다른 실시예에 따라, 상기 반도체 장치를 제작하는 방법은, 질소, 산소, 또는 질소와 산소의 혼합 가스에서, 250℃보다 크거나 같고 700℃보다 작거나 같은 온도에서 상기 산화물 반도체층을 가열하는 단계를 더 포함하며, 여기서 수소 또는 물의 함유량은 10ppm보다 작거나 같다.

[0020] 본 발명의 다른 실시예에 따라, 반도체 장치를 제작하는 방법은, 가열된 산화물 반도체층 상에서 200℃보다 작거나 같은 온도로 느린 냉각을 수행하는 단계를 더 포함한다.

[0021] 본 발명의 다른 실시예에 따라, 상기 반도체 장치를 제작하는 방법은, 플루오르 원자를 함유하는 물질을 가스 상태로 막 형성 챔버로 주입하는 단계를 더 포함한다.

[0022] 본 발명의 다른 실시예에 따라, 상기 반도체 장치를 제작하는 방법은, 절연 표면을 갖는 기판 위에 소스 전극 및 드레인 전극을 형성하고; 할로겐 원소를 함유하는 물질이 가스 상태로 주입되는 막 형성 챔버에서 소스 전극과 드레인 전극의 단부들을 덮는 산화물 반도체층을 형성하고; 산화물 반도체층 상에서 열 처리를 수행하고; 열 처리가 수행되는 산화물 반도체층과 접하고 소스 전극과 드레인 전극의 단부들과 중첩하는 게이트 절연층을 형성하고; 상기 게이트 절연층과 접하여 상기 소스 전극과 상기 드레인 전극의 단부들과 중첩하는 게이트 전극을 형성하는 단계들을 포함한다.

[0023] 본 발명의 다른 실시예에 따라, 상기 반도체 장치를 제작하는 방법은 질소, 산소, 또는 질소와 산소의 혼합 가스에서 250℃보다 크거나 같고 700℃보다 작거나 같은 온도에서 산화물 반도체층을 가열하는 단계를 더 포함하며, 여기서 수소 또는 물의 함유량은 10ppm보다 작거나 같다.

[0024] 본 발명의 다른 실시예에 따라, 상기 반도체 장치를 제작하는 방법은 가열된 산화물 반도체층 상에 200℃보다 작거나 같은 온도의 느린 냉각을 수행하는 단계를 더 포함한다.

[0025] 본 발명의 다른 실시예에 따라, 상기 반도체 장치를 제작하는 방법은 플루오르 원자를 함유하는 물질을 가스 상태로 막 형성 챔버로 주입하는 단계를 더 포함한다.

[0026] 본 명세서의 "제 1" 및 "제 2"와 같은 서수들은 편의를 위해 이용되며 단계들의 순서 또는 층들의 적층 순서를 나타내는 것이 아님에 주의한다. 또한, 본 명세서의 서수들은 본 발명을 규정하는 특별한 이름들을 나타내지 않는다.

발명의 효과

[0027] 본 발명의 반도체 장치를 제작하는 방법에 따라, 할로겐 원소를 함유하는 물질이 막 형성 챔버로 주입되고 막 형성동안 생성되는 할로겐 라디칼이 막 형성 챔버에 남아있는 수소 원자를 함유하는 불순물과 반응하여, 수소 원자를 함유하는 안정한 할로겐화물이 형성되고 배기되는 방식으로 매우 정제된 산화물 반도체막이 형성될 수 있다. 또한, 반도체층에 남아있는 불순물들이 반도체층을 가열하는 것에 의해 감소될 수 있다. 남아있는 불순물들이 감소되는 산화물 반도체층을 포함하는 반도체 장치에서, 임계 전압의 편차가 억제되며; 따라서, 신뢰성이 높아진다.

[0028] 따라서, 매우 신뢰할 수 있는 반도체 장치를 제작하는 방법이 제공될 수 있다.

[0029] 본 발명의 반도체 장치를 제작하는 방법에 따라, 산화물 반도체층에 남아있는 불순물들이 감소될 수 있다. 남아있는 불순물들이 감소되는 산화물 반도체층을 포함하는 반도체 장치에서, 오프 상태 전류가 감소되고, 반도체

장치의 전력 소비가 낮아진다.

[0030] 따라서, 낮은 전력 소비를 갖는 반도체 장치를 제작하는 방법이 제공될 수 있다.

[0031] 본 발명의 반도체 장치를 제작하는 방법에 따라, 산화물 반도체층에 남아있는 불순물들이 감소될 수 있다. 남아 있는 불순물들이 감소되는 산화물 반도체층을 포함하는 반도체 장치에서, 반도체 특성들의 변화가 작고, 상기 반도체 장치의 대량 생산성이 높다.

[0032] 따라서, 높은 대량 생산성을 갖는 반도체 장치를 제작하는 방법이 제공될 수 있다.

도면의 간단한 설명

[0033] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 반도체 장치의 구조를 도시한 도면.

도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 반도체 장치를 제작하는 방법을 도시한 도면.

도 3a 및 도 3b는 본 발명의 일 실시예에 따른 반도체 장치의 구조를 도시한 도면.

도 4a 내지 도 4d는 본 발명의 일 실시예에 따른 반도체 장치를 제작하는 방법을 도시한 도면.

도 5a 및 도 5b는 본 발명의 일 실시예에 따른 반도체 장치의 구조를 도시한 도면.

도 6a 내지 도 6d는 본 발명의 일 실시예에 따른 반도체 장치를 제작하는 방법을 도시한 도면.

도 7a 내지 도 7c는 본 발명의 일 실시예에 따른 반도체 장치를 제작하는 방법을 도시한 도면.

도 8a 내지 도 8d는 본 발명의 일 실시예에 따른 반도체 장치를 제작하는 방법을 도시한 도면.

도 9a 내지 도 9c는 본 발명의 일 실시예에 따른 반도체 장치를 제작하는 방법을 도시한 도면.

도 10a1, 도 10a2, 및 도 10b는 본 발명의 일 실시예에 따른 반도체 장치들의 회로도들.

도 11a 및 도 11b는 본 발명의 일 실시예에 따른 반도체 장치들의 회로도들.

도 12a 내지 도 12c는 본 발명의 일 실시예에 따른 반도체 장치들의 회로도들.

도 13a 내지 도 13f는 각각 본 발명의 일 실시예에 따른 반도체 장치를 이용하는 전자 기기를 도시한 도면.

도 14는 본 발명의 일 실시예에 따른 반응 경로와 각 상태들의 에너지의 에너지도.

도 15는 본 발명의 일 실시예에 따른 반응 경로와 각 상태들의 에너지의 에너지도.

도 16은 본 발명의 일 실시예에 따른 액정 표시 장치의 각 구성성분을 도시하는 블록도.

도 17은 본 발명의 일 실시예에 따른 액정 표시 장치의 구동 회로와 화소의 구조를 도시한 도면.

도 18은 본 발명의 일 실시예에 따른 액정 표시 장치의 동작을 도시하는 타이밍도.

도 19a 및 도 19b는 본 발명의 일 실시예에 따른 액정 표시 장치의 표시 제어 회로의 동작들을 도시하는 타이밍도들.

도 20은 본 발명의 일 실시예에 따른 움직이는 이미지들을 표시하는 기간과 정지 이미지들을 표시하는 기간의 프레임 시간들에서 이미지 신호들을 기록하는 빈도를 개략적으로 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0034] 본 발명의 실시예들이 첨부 도면들을 참조하여 상세하게 설명된다. 본 발명은 이하의 설명에 제한되지 않으며, 여기서 개시된 모드들 및 상세한 설명들은 본 발명의 정신과 범주로부터 벗어남이 없이 다양한 방법들로 변경될 수 있다는 것이 당업자에 의해 쉽게 이해된다는 것에 주의한다. 따라서, 본 발명은 다음 실시예들의 설명으로 제한되는 것으로 이해되어서는 안된다. 이하로 설명된 본 발명의 구조들에서, 동일한 부분들 또는 유사한 기능들을 갖는 부분들은 상이한 도면들에서 동일한 참조 번호들로 표시되며, 이러한 부분들의 설명은 반복되지 않는다는 것에 주의한다.

[0035] [실시예 1]

[0036] 본 실시예에서, 할로젠 원소를 함유하는 물질이 막 형성 챔버로 가스 상태로 주입되는 동안 산화물 반도체층이

형성되고 매우 정제된 산화물 반도체층을 형성하기 위해 나중에 열 처리를 거치게 되는 방법에 의해 제작되는 보텀 게이트형 트랜지스터와, 상기 보텀 게이트형 트랜지스터를 제작하는 방법이 도 1a 및 도 1b와 도 2a 내지 도 2d를 참조하여 설명될 것이다.

- [0037] 도 1a 및 도 1b는 본 실시예에서 제작되는 보텀 게이트형 트랜지스터(550)의 구조를 도시한다. 도 1a는 상기 트랜지스터(550)의 평면도이고, 도 1b는 상기 트랜지스터(550)의 단면도이다. 도 1b는 도 1a의 하나의 선(P1-P2)을 따라 얻어진 단면도에 대응한다는 것에 주의한다.
- [0038] 트랜지스터(550)에서, 게이트 전극(511)과 상기 게이트 전극(511)을 덮는 게이트 절연층(502)이 절연 표면을 갖는 기판(500) 위에 제공된다. 게이트 전극(511)과 중첩하는 매우 정제된 산화물 반도체층(513b)이 상기 게이트 절연층(502) 위에 제공된다. 또한, 상기 산화물 반도체층(513b)과 접하고, 각각이 소스 또는 드레인 전극이 되며, 게이트 전극(511)과 중첩하는 단부들을 갖는 제 1 전극(515a) 및 제 2 전극(515b)이 제공된다. 또한, 상기 산화물 반도체층(513b)과 접하고 그의 채널 형성 영역과 중첩하는 절연층(507), 및 상기 트랜지스터(550)를 덮는 보호 절연층(508)이 제공된다.
- [0039] 본 실시예에서 반도체층으로 이용된 산화물 반도체는 i-형(진성) 또는 실질적으로 i-형 산화물 반도체이다. 상기 i-형(진성) 또는 실질적으로 i-형 산화물 반도체는 n-형 불순물로 기능하는 수소가 제거되고, 산화물 반도체가 매우 정제되어 산화물 반도체의 주성분들이 아닌 불순물들을 가능한 한 거의 함유하지 않도록 하는 방식으로 얻어진다.
- [0040] 매우 정제된 산화물 반도체는 극히 적은 캐리어들을 포함하고, 그의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 보다 낮고, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 보다 낮고, 또는 더욱 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 보다 낮다는 것에 주의한다. 이러한 적은 캐리어들은 오프 상태에 있는 전류(오프 상태 전류)가 충분히 낮아지도록 할 수 있다.
- [0041] 구체적으로, 상기 산화물 반도체층을 포함하는 상기 트랜지스터에서, 오프 상태의 소스와 드레인 사이의 채널 폭의 마이크로미터 당 누설 전류 밀도(오프 상태 전류 밀도)는 3.5V의 소스-드레인 전압과 트랜지스터가 이용될 때의 온도(예를 들면, 25°C)에서 $100 \text{zA} / \mu\text{m}$ ($1 \times 10^{-19} \text{A} / \mu\text{m}$)보다 작거나 같아질 수 있고, 바람직하게는 $10 \text{zA} / \mu\text{m}$ ($1 \times 10^{-20} \text{A} / \mu\text{m}$)보다 작거나 같아질 수 있고, 또는 더욱 바람직하게는 $1 \text{zA} / \mu\text{m}$ ($1 \times 10^{-21} \text{A} / \mu\text{m}$)보다 작거나 같아질 수 있다.
- [0042] 또한, 상기 매우 정제된 산화물 반도체층을 포함하는 상기 트랜지스터에서, 오프 상태 전류의 온도 의존성은 거의 관찰되지 않으며, 오프 상태 전류는 고온 상태 하에서도 극히 낮게 남아 있다.
- [0043] 트랜지스터(550)의 산화물 반도체층(513b)이 할로겐 원소를 함유하는 물질이 가스 상태로 주입되는 막 형성 챔버에서 형성된다. 게다가, 일부 경우들에서, 상기 트랜지스터(550)의 상기 산화물 반도체층(513b)은 할로겐 원소를 함유한다. 상기 산화물 반도체층(513b)에 함유된 할로겐 원소의 농도는 $10^{15} \text{ atoms} / \text{cm}^3$ 내지 $10^{18} \text{ atoms} / \text{cm}^3$ 이다. 상기 산화물 반도체층(513b)의 할로겐 원소는 반도체 장치의 제작 공정 동안 생성되는 금속 원자의 땀글링 결합과 결합하고 이를 중결시키고; 따라서, 캐리어들 또는 불순물 준위의 생성이 억제된다.
- [0044] 다음, 상기 기판(500) 위에 상기 트랜지스터(550)를 제작하는 방법이 도 2a 내지 도 2d를 참조하여 설명될 것이다.
- [0045] 먼저, 도전막이 절연 표면을 갖는 상기 기판(500) 위에 형성된 후, 게이트 전극(511)을 포함하는 배선층이 제 1 포토리소그래피 단계에 의해 형성된다. 잉크젯 방법에 의해 레지스트 마스크가 형성될 수 있다는 것에 주의한다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며; 따라서, 제작 비용이 감소될 수 있다.
- [0046] 본 실시예에서, 유리 기판이 절연 표면을 갖는 상기 기판(500)으로 이용된다.
- [0047] 기저막이 되는 절연막이 상기 기판(500)과 상기 게이트 전극(511) 사이에 제공될 수 있다. 상기 기저막은 상기 기판(500)으로부터 불순물 원소(예를 들면, Li 또는 Na과 같은 알칼리 금속 및 Ca과 같은 알칼리 토금속)의 확산을 방지하는 기능을 가지며, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막, 및 산화질화 실리콘막의 하나 또는 그 이상을 포함하는 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.
- [0048] 상기 게이트 전극(511)이 몰리브덴, 티타늄, 탄탈, 텅스텐, 네오디뮴, 또는 스칸듐과 같은 금속 재료, 또는 그의 주요 구성성분으로서 이러한 금속 재료들 중 임의의 것을 함유하는 합금 재료를 포함하는 단층 구조 또는 적

층 구조를 갖도록 형성될 수 있다.

- [0049] 나중 공정에서 수행될 열 처리의 온도를 견딜 수 있다면, 알루미늄 또는 구리가 이러한 금속 재료로 또한 이용될 수 있다는 것에 주의한다. 알루미늄 또는 구리는 내화 금속(refractory metal) 재료와 조합되어 내열성 문제 및 부식성(corrosive) 문제를 방지하도록 하는 것이 바람직하다. 내화 금속 재료로서, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐, 등이 이용될 수 있다.
- [0050] 구리를 이용하는 경우에, Cu-Mg-Al 합금이 기저가 되는 층에 제공되고 그 위에 구리가 형성되는 구조가 바람직하다. Cu-Mg-Al 합금의 제공은 구리와 산화물막과 같은 기저(base) 사이의 부착성을 강화시키는 효과를 갖는다.
- [0051] 다음, 게이트 절연층(502)이 게이트 전극(511) 위에 형성된다. 게이트 절연층(502)은 플라즈마 CVD법, 스퍼터링법, 등에 의해 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화질화 알루미늄층, 질화산화 알루미늄층, 또는 산화 하프늄층을 포함하는 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.
- [0052] 본 실시예의 산화물 반도체로서, i-형 또는 실질적으로 i-형 산화물 반도체가 이용된다. 상기 i-형 또는 실질적으로 i-형 산화물 반도체는 할로겐 원소를 함유하는 물질이 가스 상태로 막 형성 챔버로 주입되는 동안 산화물 반도체의 막 형성이 수행되고 산화물 반도체가 나중에 불순물들을 제거하기 위한 열 처리를 거치게 되는 방식으로 얻어진다. 이러한 매우 정제된 산화물 반도체는 계면 상태 밀도(interface state density)와 계면 전하에 극히 민감하며; 따라서, 산화물 반도체층과 게이트 절연층 사이의 계면이 중요하다. 그러한 이유로, 매우 정제된 산화물 반도체와 접하는 상기 게이트 절연층은 고품질을 가질 필요가 있다.
- [0053] 예를 들어, 절연층이 조밀해질 수 있고, 높은 항복 전압(breakdown voltage)과 고품질을 가질 수 있기 때문에, 마이크로파들(예를 들면, 2.45GHz의 주파수)을 이용하는 고밀도 플라즈마 CVD법이 채용되는 것이 바람직하다. 매우 정제된 산화물 반도체와 고품질 게이트 절연층은 서로 가까이 접하며, 따라서 양호한 계면 특성들을 얻도록 계면 상태 밀도가 감소될 수 있다.
- [0054] 말할 필요도 없이, 방법이 상기 게이트 절연층으로서 고품질 절연층의 형성을 가능하게 한다면, 스퍼터링법 또는 플라즈마 CVD법과 같은 다른 막 형성 방법이 채용될 수 있다. 또한, 그의 막 품질과, 절연층과 산화물 반도체 사이의 계면의 특성이 절연층의 형성 후에 수행되는 열 처리에 의해 개선되는 절연층이 게이트 절연층으로서 형성될 수 있다. 임의의 경우에, 절연층이 절연층과 산화물 반도체 사이의 계면의 계면 상태 밀도를 감소시킬 수 있고 상기 게이트 절연층으로서 양호한 막 품질을 가질 뿐만 아니라 양호한 계면을 형성할 수 있는 한, 임의의 절연층이 이용될 수 있다.
- [0055] 게이트 절연층(502)은 나중에 형성될 산화물 반도체층과 접한다는 것에 주의한다. 수소가 산화물 반도체층에서 확산할 때, 반도체 특성들이 열화되고; 따라서, 상기 게이트 절연층(502)은 수소, 수산기, 및 수분을 함유하지 않는 것이 바람직하다. 상기 게이트 절연층(502)과 산화물 반도체막이 가능한 한 적게 수소, 수산기, 및 수분을 함유하기 위하여, 산화물 반도체막의 막 형성의 전처리(pretreatment)로서, 게이트 전극(511)이 형성되는 기판(500) 또는 게이트 절연층(502)까지 층들이 형성되는 기판(500)이 스퍼터링 장치의 예열(preheating) 챔버에서 예열되어 형성되어, 기판(500)에 흡수된 수소 또는 수분과 같은 불순물들이 제거되고 배기되는 것이 바람직하다. 예열 챔버에 제공된 배기 유닛으로서, 크라이오펌프(cryopump)가 바람직하다. 이러한 예열 처리는 생략될 수 있다는 것에 주의한다. 또한, 상기 예열은 제 1 전극(515a)과 제 2 전극(515b)이 그 위에 형성되었으나 절연층(507)은 아직 형성되지 않은 상태의 기판(500) 상에서 유사한 방식으로 수행될 수 있다.
- [0056] 다음, 2nm 내지 200nm의, 바람직하게는 5nm 내지 30nm의 두께를 갖는 산화물 반도체막이 상기 게이트 절연층(502) 위에 형성된다.
- [0057] 산화물 반도체막은 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 형성된다. 또한, 산화물 반도체막은 희가스(예를 들면, 아르곤) 분위기, 산소 분위기, 또는 희가스(예를 들면, 아르곤)와 산소를 함유하는 혼합 분위기 하에서 스퍼터링법에 의해 형성될 수 있다.
- [0058] 스퍼터링법에 의해 산화물 반도체막이 형성되기 전에, 상기 게이트 절연층(502)의 표면에 부착되는 가루 물질들(또한 입자들 또는 먼지로 불림)이 아르곤 가스가 주입되고 플라즈마가 생성되는 역 스퍼터링(reverse sputtering)에 의해 제거되는 것이 바람직하다는 것에 주의한다. 역 스퍼터링은 타겟 측으로의 전압의 인가없이, 표면을 변경시키기 위해 기판의 근처에 플라즈마를 발생시키기 위하여 아르곤 분위기 하에서 기판 측으로의 전압의 인가를 위해 RF 전원이 이용되는 방법을 말한다. 아르곤 분위기 대신, 질소 분위기, 헬륨

분위기, 산소 분위기, 등이 이용될 수 있다는 것에 주의한다.

- [0059] 산화물 반도체막으로 이용된 산화물 반도체로서, 다음 금속 산화물: In-Sn-Ga-Zn-0계 산화물 반도체와 같은 4원계 금속 산화물; In-Ga-Zn-0계 산화물 반도체, In-Sn-Zn-0계 산화물 반도체, In-Al-Zn-0계 산화물 반도체, Sn-Ga-Zn-0계 산화물 반도체, Al-Ga-Zn-0계 산화물 반도체, 또는 Sn-Al-Zn-0계 산화물 반도체와 같은 3원계 금속 산화물; In-Zn-0계 산화물 반도체, Sn-Zn-0계 산화물 반도체, Al-Zn-0계 산화물 반도체, Zn-Mg-0계 산화물 반도체, Sn-Mg-0계 산화물 반도체, In-Mg-0계 산화물 반도체, 또는 In-Ga-0계 산화물 반도체와 같은 2원계 금속 산화물; In-0계 산화물 반도체, Sn-0계 산화물 반도체, 또는 Zn-0계 산화물 반도체와 같은 1원계 금속 산화물; 등이 이용될 수 있다. 또한, SiO₂가 상기 산화물 반도체에 함유될 수 있다. 산화물 반도체막으로의 결정화를 방해하는 산화 실리콘(SiO_x(x>0))의 첨가는 제작 공정에서 산화물 반도체막의 형성 후에 열 처리가 수행될 때 산화물 반도체막의 결정화를 억제할 수 있다. 여기서, 예를 들어, In-Ga-Zn-0계 산화물 반도체는 인듐(In), 갈륨(Ga), 및 아연(Zn)을 함유하는 산화물막을 의미하며, 그의 구성 비율에 특별한 제한은 없다. In-Ga-Zn-0계 산화물 반도체는 In, Ga, 및 Zn 이외의 원소를 함유할 수 있다.
- [0060] 산화물 반도체막으로서, InMO₃(ZnO)_m(m>0, m은 자연수가 아니다)의 화학식에 의해 표현된 박막이 이용될 수 있다. 여기서, M은 Ga, Al, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소들을 나타낸다. 예를 들어, M은 Ga, Ga 및 Al, Ga 및 Mn, Ga 및 Co, 동일 수 있다.
- [0061] In-Zn-0계 재료가 산화물 반도체로 이용되는 경우에, 타겟은 따라서 원자비(atomic ratio)로 In:Zn = 50:1 내지 1:2(몰 비(molar ratio)로 In₂O₃: ZnO = 25:1 내지 1:4), 바람직하게는, 원자비로 In:Zn = 20:1 내지 1:1(몰 비로 In₂O₃: ZnO = 10:1 내지 1:2), 더욱 바람직하게는, 원자비로 In:Zn = 15:1 내지 1.5:1(몰 비로 In₂O₃: ZnO = 15:2 내지 3:4)의 조성비를 갖는다. 예를 들어, In:Zn:O = X:Y:Z의 원자비를 갖는 In-Zn-0계 산화물 반도체의 형성에 이용된 타겟에서, Z > 1.5X+Y의 관계가 만족된다.
- [0062] 산화물 반도체는 In을 함유하는 산화물 반도체인 것이 바람직하고, In과 Ga를 함유하는 산화물 반도체인 것이 더욱 바람직하다. I-형(진성) 산화물 반도체를 얻기 위하여, 탈수화(dehydration) 또는 탈수소화(dehydrogenation)가 효과적이다. 본 실시예에서, 스퍼터링법에 의해 In-Ga-Zn-0계 산화물 타겟을 이용하여 산화물 반도체막이 형성된다.
- [0063] 스퍼터링법에 의해 산화물 반도체막을 형성하기 위한 타겟으로서, 예를 들면, 1:1:1[몰 비]의 조성비로 In₂O₃, Ga₂O₃, 및 ZnO를 함유하는 산화물 타겟이 In-Ga-Zn-0 막을 형성하기 위해 이용된다. 타겟의 재료와 조성에는 제한이 없으며, 예를 들어, 1:1:2[몰 비]의 조성비로 In₂O₃, Ga₂O₃, 및 ZnO를 함유하는 금속 산화물 타겟 또는 1:1:4[몰 비]의 조성비로 In₂O₃, Ga₂O₃, 및 ZnO를 함유하는 금속 산화물 타겟이 이용될 수 있다.
- [0064] 산화물 타겟의 충전율은 90% 내지 100%이며, 바람직하게는 95% 내지 99.9%이다. 높은 충전율을 갖는 금속 산화물 타겟의 이용으로, 조밀한 산화물 반도체막이 형성될 수 있다. 또한, 타겟의 순도는 99.99%보다 크거나 같은 것이 바람직하며, 여기서 불순물들, 예를 들면, Li 또는 Na와 같은 알칼리 금속과 Ca와 같은 알칼리 토금속이 특히 감소되는 것이 바람직하다.
- [0065] 산화물 반도체막의 형성시 이용된 스퍼터링 가스(가스 상태로 이용되는 할로젠 원소를 함유하는 물질을 포함)로서, 수소, 물, 수산기, 또는 수소화물(hydride)과 같은 불순물들이 제거되는 고순도 가스가 이용된다. 예를 들어, 이러한 불순물들이 10ppm보다 낮거나 같은, 바람직하게는 1ppm보다 낮거나 같은 농도로 제거되는 고순도 가스를 이용하는 것이 바람직하다. 구체적으로, 이슬점이 -60℃보다 작거나 같은 고순도 가스가 바람직하다.
- [0066] 막 형성 챔버로 주입되는, 할로젠 원소를 함유하는 물질로서, 플루오르 원자를 함유하는 가스(사불화탄소(CF₄), 육불화황(SF₆), 삼불화질소(NF₃), 또는 삼불화메탄(CHF₃)과 같은 플루오르계 가스), 염소 원자를 함유하는 가스(염소(Cl₂), 삼염화붕소(BCl₃), 사염화실리콘(SiCl₄), 또는 사염화탄소(CCl₄)와 같은 염소계 가스), 등이 적절하게 이용될 수 있다. 특히 플루오르 라디칼이 플라즈마로 생성되므로 플루오르 원자를 함유하는 가스를 이용하는 것이 바람직하다. 플루오르 원자와 수소 원자 사이의 결합 에너지가 다른 할로젠 원소들 중 임의의 것과 수소 원자 사이의 결합 에너지보다 높다. 또한, 이는 플루오르 원자와 수소 원자 사이의 결합이 다른 할로젠 원소들 중 임의의 것과 수소 원자 사이의 결합보다 더 안정하기 때문이다.
- [0067] 또한, 할로젠 원소의 공급원을 막 형성 챔버로 주입하는 방법으로서, 할로젠 원소를 함유하는 가스가 막 형성

가스로 첨가되는 방법이 편리하고 바람직하다. 막 형성을 위한 처리 챔버 상의 세정 처리를 위해 상술된 NF_3 와 같은 할로겐 원소를 함유하는 가스의 이용으로, 산화물 반도체막이 막 형성동안 처리 챔버에 남아있는 플루오르와 같은 할로겐 원소를 함유하도록 형성될 수 있다.

- [0068] 감압하의 막 형성 챔버에 기관이 위치되고, 기관 온도가 100°C 보다 크거나 같고 600°C 보다 작거나 같은, 바람직하게는 200°C 보다 크거나 같고 400°C 보다 작거나 같은 온도로 설정된다. 기관이 가열되는 상태에서 산화물 반도체막을 형성하는 것에 의해, 형성된 산화물 반도체막에 함유된 불순물들의 농도가 감소될 수 있다. 게다가, 스퍼터링에 의한 손상도 감소될 수 있다. 이후, 배기 펌프를 이용하여 막 형성 챔버의 잔류 수분이 제거되는 동안, 수소와 수분이 제거되고 할로겐 원소를 함유하는 물질이 가스 상태로 첨가되는 스퍼터링 가스가 주입되고, 상기 타겟을 이용하여 상기 기관(500) 위에 산화물 반도체막이 형성된다. 막 형성 챔버의 잔류 수분과 막 형성 챔버의 외부로부터 진입한 수소와 수분(누설로 인해 진입한 수소와 수분)을 제거하기 위하여, 흡착 진공 펌프(entrapment vacuum pump), 예를 들면, 크라이오펌프, 이온 펌프, 또는 티타늄 승화 펌프가 이용되는 것이 바람직하다. 배기 유닛은 콜드 트랩이 제공된 터보 펌프일 수 있다. 크라이오펌프로 배기되는 막 형성 챔버에서, 예를 들면, 수소 원자, 및 물(H_2O)과 같은 수소 원자를 함유하는 화합물(바람직하게는, 탄소 원자를 함유하는 화합물)이 제거되어, 막 형성 챔버에서 형성된 산화물 반도체막에 함유된 불순물들의 농도가 감소될 수 있다.
- [0069] 스퍼터링이 수행되는 상기 분위기는 할로겐 원소를 함유하는 물질이 가스 상태로 첨가되는 희가스(전형적으로, 아르곤) 분위기, 할로겐 원소를 함유하는 물질이 가스 상태로 첨가되는 산소 분위기, 또는 할로겐 원소를 함유하는 물질이 가스 상태로 첨가되는 희가스와 산소를 함유하는 혼합 분위기일 수 있다는 것에 주의한다.
- [0070] 막 형성 챔버로 주입되는 할로겐 원소를 함유하는 물질은 플라즈마에 의해 분해되어 할로겐 라디칼을 생성한다. 생성된 할로겐 라디칼은 막 형성 챔버의 잔류 수분 및 누설로 인해 막 형성 챔버의 외부로부터 진입하는 수분과 반응하여, 할로겐 원자를 함유하는 안정한 물질(예로서 수소 할로겐화물)이 생성된다. 예를 들어, 산화물 반도체막이 플루오르 원자를 함유하는 물질(예로서 NF_3)을 함유하는 분위기 하에서 형성될 때, 플루오르 라디칼이 막 형성 챔버의 수분과 반응하고; 따라서, 수소 플루오르화물이 생성된다. 수소 플루오르화물 분자의 수소 원자와 플루오르 원자 사이의 해리 에너지가 물 분자의 수소 원자와 산소 원자 사이의 해리 에너지보다 높기 때문에, 수소 플루오르화물 분자가 물 분자보다 더 안정하다고 말할 수 있다는 것에 주의한다.
- [0071] 막 형성 챔버의 수분은 수소 플루오르화물이 된 후에 막 형성 챔버로부터 배기되고; 따라서, 산화물 반도체층이 수분에 의해 거의 오염되지 않는다.
- [0072] 막 형성 조건들의 예로서, 기관과 타겟의 거리는 100mm, 압력은 0.6Pa, 직류(DC) 전원은 0.5kW이고, 분위기는 산소 분위기(산소 유량비는 100%)이다. 막 형성동안 생성된 가루 물질들(또한 입자들 또는 먼지로도 불림)이 감소될 수 있고 막 두께가 균일하게 될 수 있으므로 펄스-직류 전원이 바람직하다는 것에 주의한다.
- [0073] 또한, 스퍼터링 장치의 처리 챔버의 누설율(leakage rate)이 $1 \times 10^{-10} \text{Pa} \cdot \text{m}^3/\text{초}$ 보다 작거나 같게 설정될 때, 스퍼터링에 의한 형성 하에서 알칼리 금속 또는 수소화물과 같은 불순물들의 산화물 반도체막으로의 진입이 감소될 수 있다.
- [0074] 또한, 배기 시스템으로서 흡착 진공 펌프의 이용으로, 배기 시스템으로부터 알칼리 금속, 수소 원자, 수소 분자, 물, 수산기, 또는 수소화물과 같은 불순물들의 역류(counter flow)가 감소될 수 있다.
- [0075] 산화물 반도체층에 함유된 불순물들, 예를 들어, Li 또는 Na와 같은 알칼리 금속과 Ca와 같은 알칼리 토금속이 감소되는 것이 바람직하다는 것에 주의한다. 구체적으로, SIMS의 이용으로 산화물 반도체층에 함유된 Li, Na, 및 K와 같은 불순물들의 농도들은 각각 $5 \times 10^{15} \text{cm}^{-3}$ 보다 낮거나 같고, 바람직하게는 $1 \times 10^{15} \text{cm}^{-3}$ 보다 낮거나 같다.
- [0076] 알칼리 금속과 알칼리 토금속은 산화물 반도체에 대한 악성(adverse) 불순물들이며 거의 함유되지 않는 것이 바람직하다. 산화물 반도체와 접하는 절연막이 산화물일 때, 알칼리 금속, 특히, Na이 산화물에 확산되어 Na^+ 가 된다. 또한, Na는 금속과 산소 사이의 결합을 끊거나 산화물 반도체의 결합으로 들어간다. 결과적으로, 트랜지스터 특성들의 열화(예를 들면, 임계 값의 네거티브(negative) 측으로의 전환(트랜지스터가 노멀리 온(normally on)이 되게 함) 또는 이동도의 감소)가 유발된다. 부가적으로, 이는 또한 특성들의 변동을 유발한다. 이러한 문제는 특히 산화물 반도체의 수소 농도가 충분히 낮은 경우에 심각하다. 따라서, 알칼리 금속의 농도는 산화물

반도체에 함유된 수소의 농도가 $5 \times 10^{19} \text{ cm}^{-3}$ 보다 낮거나 같은 경우에, 특히 $5 \times 10^{18} \text{ cm}^{-3}$ 보다 낮거나 같은 경우에, 상기 범위에서 설정되도록 강력하게 요구된다.

- [0077] 다음, 산화물 반도체막이 제 2 포토리소그래피 단계에 의해 선행 산화물 반도체층(513a)으로 처리된다. 선행 산화물 반도체층을 형성하기 위한 레지스트 마스크가 잉크젯 방법에 의해 형성될 수 있다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며; 따라서, 제작 비용이 감소될 수 있다.
- [0078] 콘택트 홀이 게이트 절연층(502)에 형성되는 경우에, 콘택트 홀을 형성하는 단계가 산화물 반도체막의 처리와 동시에 수행될 수 있다.
- [0079] 산화물 반도체막의 에칭은 건식 에칭, 습식 에칭, 또는 건식 에칭과 습식 에칭 모두일 수 있다는 것에 주의한다. 산화물 반도체막을 위한 습식 에칭을 위해 이용된 에천트(etchant)로서, 예를 들면, 인산, 아세트산, 및 질산의 혼합 용액, 등이 이용될 수 있다. 또한, ITO07N(KANTO CHEMICAL CO., INC.에 의해 제조)이 또한 이용될 수 있다. 도 2a는 본 단계의 상기 단면도임에 주의한다.
- [0080] 건식 에칭을 위해 이용된 에칭 가스로서, 염소를 함유하는 가스(염소(Cl_2), 삼염화붕소(BCl_3), 사염화실리콘(SiCl_4), 또는 사염화탄소(CCl_4)와 같은 염소계 가스)가 이용되는 것이 바람직하다. 대안적으로, 플루오르 원자를 함유하는 물질(사불화탄소(CF_4), 육불화황(SF_6), 삼불화질소(NF_3), 또는 삼불화메탄(CHF_3))과 같은 플루오르계 가스; 브롬화수소(HBr); 산소(O_2); 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가되는 이러한 가스들 중 임의의 가스; 등이 이용될 수 있다.
- [0081] 건식 에칭 방법으로서, 평행 평판 RIE(reactive ion etching)법 또는 ICP(inductively coupled plasma) 에칭법이 이용될 수 있다. 막들을 원하는 모양들로 에칭할 수 있도록 하기 위하여, 에칭 조건(코일형 전극에 인가된 전력량, 기관 축 상의 전극에 인가된 전력량, 기관 축 상의 전극의 온도, 등)이 적절하게 조절된다.
- [0082] 다음, 제 1 열 처리가 산화물 반도체층(513a) 상에서 수행된다. 이러한 제 1 열 처리에 의해, 불순물들이 산화물 반도체층으로부터 제거될 수 있다. 예를 들어, 산화물 반도체층으로 들어간 수소 할로겐화물이 제거될 수 있다. 생성된 수소 할로겐화물이 가열에 의해 제거되는 방법은 상기 금속에 강하게 결합된 수소 또는 수산기가 직접 제거되는 방법보다 쉽다.
- [0083] 제 1 열 처리의 온도는 250°C 보다 크거나 같고 750°C 보다 작거나 같으며, 바람직하게는 400°C 보다 크고 상기 기관의 변형점보다 작다. 예를 들어, 500°C 에서 약 3분 내지 6분 동안 열 처리가 수행될 수 있다. 열 처리를 위해 RTA(rapid thermal anneal) 방법으로, 탈수화 또는 탈수소화가 단시간에 수행될 수 있고; 따라서, 유리 기관의 변형점보다 높은 온도에서라도 처리가 수행될 수 있다. 대략 제 4 세대 유리 기관들만큼 큰 기관들이 250°C 보다 크거나 같고 750°C 보다 작거나 같은 범위의 온도에서 열 처리를 거칠 수 있고, 대략 제 6 세대 내지 제 10 세대 유리 기관들만큼 큰 기관들이 250°C 보다 크거나 같고 450°C 보다 작거나 같은 범위의 온도에서 열처리를 거치는 것이 바람직하다.
- [0084] 여기서, 기관이 열 처리 장치들 중 하나인 전기노(electric furnace)로 들어가고, 질소 분위기 하의 600°C 에서 산화물 반도체층 상에서 열 처리가 수행되고, 이후, 공기로의 노출 없이 산화물 반도체층 상에서 200°C 보다 작거나 같은 온도로 느린 냉각이 수행되어, 산화물 반도체층으로의 물 및 수소의 진입이 방지된다. 따라서, 산화물 반도체층(513b)이 얻어진다(도 2b 참조). 200°C 보다 작거나 같은 온도로 산화물 반도체층 상에서 느린 냉각을 수행하는 것에 의해, 고온의 산화물 반도체층이 공기의 물 또는 수분과 접하는 것이 방지될 수 있다. 일부 경우들에서, 고온의 산화물 반도체층이 대기중의 물 또는 수분과 접할 때, 산화물 반도체는 수소 원자를 함유하는 불순물로 오염될 수 있다.
- [0085] 열 처리 장치는 전기노로 제한되지 않으며, 저항 히터(resistance heater)와 같은 히터로부터의 열 전도 또는 열 복사에 의해 물체를 가열하는 장치가 이용될 수 있다는 것에 주의한다. 예를 들어, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal) 장치와 같은 RTA(rapid thermal anneal) 장치가 이용될 수 있다. LRTA 장치는 할로겐 램프, 금속 할로겐화물 램프, 제논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 빛(전자기파)의 복사에 의해 물체를 가열하는 장치이다. GRTA는 고온 가스를 이용한 열 처리를 위한 장치이다. 고온 가스로서, 질소, 또는 아르곤과 같은 희가스와 같은, 열 처리에 의해 물체와 반응하지 않는 불활성 가스가 이용된다.
- [0086] 예를 들어, 제 1 열 처리로서, 상기 기관이 650°C 내지 700°C 의 고온으로 가열된 불활성 가스로 움직이고, 몇

분간 가열되며, 고온으로 가열된 불활성 가스로부터 나오는 GRTA가 수행될 수 있다.

- [0087] 제 1 열 처리에서, 물, 수소, 등이 질소 또는 헬륨, 네온, 또는 아르곤과 같은 희가스의 분위기에 함유되지 않는 것이 바람직하다는 것에 주의한다. 열 처리 장치로 주입되는 질소 또는 헬륨, 네온, 또는 아르곤과 같은 희가스의 순도는 5N(99.999%) 또는 그 이상이 바람직하며, 6N(99.9999%) 또는 그 이상이 바람직하다(즉, 불순물 농도는 10ppm보다 작거나 같고, 바람직하게는 1ppm보다 작거나 같다).
- [0088] 게다가, 산화물 반도체층이 제 1 열 처리에 의해 가열된 후, 고순도 산소 가스, 고순도 N₂O 가스, 또는 초건조 (ultra dry) 공기(캐비티 링 다운 레이저 분광법(cavity ring down laser spectroscopy;CRDS) 시스템의 이슬점 측정기의 이용으로 측정이 수행되는 경우에, 수분량은 20ppm(이슬점으로 환산하면 -55℃)보다 적거나 같고, 바람직하게는 1ppm보다 적거나 같고, 또는 더욱 바람직하게는 10ppb보다 적거나 같다)가 동일한 노(furnace)로 주입될 수 있다. 산소 gas와 N₂O gas는 물, 수소, 등을 포함하지 않는 것이 바람직하다. 열 처리 장치로 주입되는 산소 가스 또는 N₂O 가스의 순도는 5N보다 크거나 같은 것이 바람직하며, 더욱 바람직하게는 6N보다 크거나 같다(즉, 산소 가스 또는 N₂O 가스의 불순물들의 농도는 바람직하게는 10ppm보다 작거나 같은게 바람직하고, 더욱 바람직하게는 1ppm보다 작거나 같다). 산소 가스 또는 N₂O 가스의 반응에 의해, 산화물 반도체에 포함된 구성분들 중 하나이고 탈수화 또는 탈수소화에 의한 불순물들의 제거 단계와 동시에 감소되었던 산소가 공급되어, 산화물 반도체층이 매우 정제되고 전기적으로 i-형(진성)인 산화물 반도체가 될 수 있다.
- [0089] 또한, 상기 산화물 반도체층의 제 1 열처리는 상기 섬형 산화물 반도체층으로 아직 처리되지 않은 상기 산화물 반도체막 상에서 또한 수행될 수 있다. 그러한 경우에, 기판이 제 1 열 처리 후에 가열 장치로부터 꺼내지며, 이후 포토리소그래피 단계가 수행된다.
- [0090] 제 1 열 처리는 그것이 상기 산화물 반도체막의 상기 막 형성 후에 수행되는 한 상기 타이밍에 부가하여 다음 타이밍들 중 임의의 것에 수행될 수 있다는 것에 주의한다: 상기 소스 전극 및 상기 드레인 전극이 산화물 반도체층 위에 적층된 후 및 상기 절연층이 상기 소스 전극과 상기 드레인 전극 위에 형성된 후.
- [0091] 콘택트 홀이 게이트 절연층(502)에 형성되는 경우에, 콘택트 홀을 형성하는 단계는 제 1 열 처리가 상기 산화물 반도체막 상에서 수행되기 전 또는 후에 수행될 수 있다.
- [0092] 상기 단계들을 통해, 섬형 산화물 반도체층의 수소의 농도가 감소될 수 있으며 섬형 산화물 반도체층이 매우 정제될 수 있다. 따라서, 산화물 반도체층이 안정화될 수 있다. 또한, 유리 기판의 변형점보다 작거나 같은 온도에서의 열 처리는 캐리어 밀도가 극히 낮은 넓은 밴드 갭(band gap)을 갖는 산화물 반도체막을 형성하는 것을 가능하게 한다. 따라서, 트랜지스터가 대형 크기의 기판을 이용하여 제작될 수 있고, 생산성이 증가될 수 있다. 게다가, 수소 농도가 감소되는 매우 정제된 산화물 반도체막을 이용하는 것에 의해, 높은 내전압과 극히 낮은 오프 상태 전류를 갖는 트랜지스터를 제작하는 것이 가능하다. 상기 열 처리는 그것이 산화물 반도체층(513a)이 형성된 후에 수행되는 한, 어떠한 때라도 수행될 수 있다.
- [0093] 상기 산화물 반도체막이 가열되는 경우에, 상기 산화물 반도체막의 재료 또는 가열 조건들에 의존하긴 하지만, 일부 경우들에서, 상기 판형(plate-shaped) 결정들이 상기 산화물 반도체막의 표면에서 형성된다는 것에 주의한다. 판형 결정은 상기 산화물 반도체막의 표면과 실질적으로 수직인 방향의 c-축 배향된 판형 결정인 것이 바람직하다.
- [0094] 또한, 먼저 형성되는 산화물 반도체층(513a)과 접하는 하지 부재의 재료로 산화물, 질화물, 금속, 등 중 임의의 것이 이용될 때에라도, 산화물 반도체층으로서, 큰 두께를 갖는 결정 영역, 즉, 막의 표면에 수직으로 c-축 배향되는 결정 영역을 갖는 산화물 반도체층이 할로젠 원소를 함유하는 가스에서 막 형성을 두 번, 열 처리를 두 번 수행하는 것에 의해 형성될 수 있다. 예를 들어, 3nm 내지 15nm의 두께를 갖는 제 1 산화물 반도체막이 형성된 후에, 450℃보다 크거나 같고 850℃보다 작거나 같은, 바람직하게는 550℃보다 크거나 같고 750℃보다 작거나 같은 온도에서, 질소, 산소, 희가스, 또는 건조 공기 분위기 하에서 결정화를 위한 제 1 열 처리가 수행되어, 표면을 포함하는 영역에 결정 영역(판형 결정을 포함)을 갖는 제 1 산화물 반도체막이 형성된다. 이후, 상기 제 1 산화물 반도체막보다 큰 두께를 갖는 제 2 산화물 반도체막이 할로젠 원소를 함유하는 가스에서 형성된 후에, 450℃보다 크거나 같고 850℃보다 작거나 같은, 바람직하게는 600℃보다 크거나 같고 700℃보다 작거나 같은 온도에서 결정화를 위한 제 2 열 처리가 수행되어, 결정 성장의 시드(seed)로서 상기 제 1 산화물 반도체막의 이용으로 결정 성장이 윗방향으로 진행하고 전체적인 제 2 산화물 반도체막이 결정화된다. 이러한 방식으로, 큰 두께를 갖는 결정 영역을 갖는 산화물 반도체층이 형성될 수 있다. 결정화를 위한 열 처리는 또한

산화물 반도체층으로부터 불순물들(예를 들면, 수소 할로겐화물)을 제거하기 위한 열 처리가 된다는 것에 주의한다.

- [0095] 또한, 막의 표면에 수직으로 c-축 배향되는 결정 영역을 갖는 산화물 반도체층이 산화물 반도체가 c-축 배향되는 온도로 기관이 가열되면서 산화물 반도체층을 형성하는 것에 의해 형성될 수 있다. 이러한 막 형성 방법으로, 단계들의 수가 감소될 수 있다. 기관을 가열하는 온도는 막 형성 장치에 따라 달라지는 다른 막 형성 조건들에 따라 적절하게 설정될 수 있으며; 예를 들어, 막 형성이 스퍼터링 장치로 수행될 때, 기관 온도는 250 °C보다 크거나 같은 온도로 설정될 수 있다.
- [0096] 다음, 소스 전극 및 드레인 전극이 되는 도전막(소스 전극 및 드레인 전극과 동일한 층에 형성된 배선을 포함하는)이 게이트 절연층(502)과 산화물 반도체층(513b) 위에 형성된다. 소스 전극과 드레인 전극으로 이용된 도전막으로서, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, 또는 W로부터 선택된 원소를 함유하는 금속막, 또는 그의 구성 성분으로서 상기 원소들 중 임의의 것을 함유하는 금속 질화물막(질화 티타늄막, 질화 몰리브덴막, 또는 질화 텅스텐막)이 이용될 수 있다. Al, Cu, 등의 금속막을 채용하는 경우에, 내열성 및 부식성의 문제들을 방지하기 위하여, Ti, Mo, W, Cr, Ta, Nd, Sc, Y, 등의 높은 녹는점을 갖는 금속막 또는 이들 원소들 중 임의의 것의 금속 질화물막(질화 티타늄막, 질화 몰리브덴막, 또는 질화 텅스텐막)이 금속막의 하부층 및 상부층 중 하나 또는 모두 상에 적층될 수 있다.
- [0097] 또한, 도전막은 단층 구조 또는 둘 또는 그 이상의 층들을 포함하는 적층 구조를 가질 수 있다. 예를 들어, 실리콘을 함유하는 알루미늄막의 단층 구조; 알루미늄막과 그 위에 적층된 티타늄막의 2층 구조; 티타늄막, 알루미늄막, 및 티타늄막이 이러한 순서로 적층되는 3층 구조; 등이 주어질 수 있다.
- [0098] 대안적으로, 도전막은 도전성 금속 산화물을 이용하여 형성될 수 있다. 도전성 금속 산화물로서, 산화 인듐, 산화 주석, 산화 아연, 산화 인듐과 산화 주석의 합금, 산화 인듐과 산화 아연의 합금, 또는 실리콘이나 산화 실리콘을 함유하는 금속 산화물 재료들 중 임의의 것이 사용될 수 있다.
- [0099] 상기 도전막이 형성된 후 열 처리가 수행되는 경우에, 상기 도전막은 열 처리를 견디기에 충분히 높은 내열성을 갖는 것이 바람직하다는 것에 주의한다.
- [0100] 다음, 레지스트 마스크가 제 3 포토리소그래피 단계에 의해 상기 도전막 위에 형성되고, 각각이 소스 또는 드레인 전극으로 기능하는 상기 제 1 전극(515a)과 상기 제 2 전극(515b)이 선택적인 에칭에 의해 형성되며, 이후 상기 레지스트 마스크가 제거된다(도 2c 참조).
- [0101] 제 3 포토리소그래피 단계에서 상기 레지스트 마스크 형성시 자외선 광, KrF 레이저 광, 또는 ArF 레이저 광을 이용하여 광 노출이 수행될 수 있다. 나중에 형성될 트랜지스터의 채널 길이(L)는, 산화물 반도체층(513b) 위에서 서로 인접한 제 1 전극과 제 2 전극의 하단부들(bottom end portions) 사이의 거리에 의해 결정된다. 25nm보다 작은 채널 길이(L)에 대해 광 노출이 수행되는 경우에, 상기 제 3 포토리소그래피 단계에서 상기 레지스트 마스크 형성시에 몇 나노미터 내지 몇십 나노미터의 극히 짧은 파장을 갖는 초자외선 광을 이용하여 광 노출이 수행될 수 있다. 초자외선 광에 의한 광 노출시, 해상도가 높고 초점의 심도(depth of focus)가 크다. 따라서, 나중에 형성될 트랜지스터의 채널 길이(L)는 10nm 내지 1000nm가 될 수 있고, 따라서 회로의 동작 속도가 증가될 수 있다.
- [0102] 포토리소그래피 단계에서 이용된 포토마스크들의 수를 감소시키고 포토리소그래피 단계들의 수를 감소시키기 위하여, 광이 이를 통해 다양한 강도들을 갖도록 투과되는 광노출 마스크인 멀티톤(multi-tone) 마스크를 이용하여 형성된 레지스트 마스크의 사용으로 에칭 단계가 수행될 수 있다. 상기 멀티톤 마스크의 이용으로 형성된 레지스트 마스크는 복수의 두께들을 갖고 또한 에칭에 의해 모양이 변화될 수 있으며; 따라서, 레지스트 마스크가 상이한 패턴들로의 처리를 위한 복수의 에칭 단계들에서 사용될 수 있다. 따라서, 적어도 두 종류들의 상이한 패턴들에 대응하는 레지스트 마스크가 하나의 멀티톤 마스크에 의해 형성될 수 있다. 그러므로, 광 노출 마스크들의 수가 감소될 수 있고 대응하는 포토리소그래피 단계들의 수가 또한 감소될 수 있으며, 따라서 절차의 간단화가 구현될 수 있다.
- [0103] 도전막이 에칭될 때 상기 산화물 반도체층(513b)을 에칭하거나 분할하지 않도록 에칭 조건들이 최적화되는 것이 바람직하다는 것에 주의한다. 그러나, 단지 도전막만이 에칭되고 산화물 반도체층(513b)은 전혀 에칭되지 않는 에칭 조건들을 얻는 것은 힘들다. 일부 경우들에서, 상기 도전막이 에칭될 때, 산화물 반도체층(513b)의 일부만이 에칭되어 홈(groove) 부분(오목한 부분)을 갖는 산화물 반도체층(513b)이 된다.
- [0104] 본 실시예에서, Ti막이 도전막으로 이용되고 In-Ga-Zn-O계 산화물 반도체가 상기 산화물 반도체층(513b)으로 이

용되고; 따라서, 암모늄 과산화수소수 혼합물(암모니아, 물, 및 과산화수소수 용액의 혼합액)이 에천트로 이용되어, 도전막이 선택적으로 에칭될 수 있다.

- [0105] 다음, 산화물 반도체층의 노출부의 표면으로 흡수된 물 등이 N₂O, N₂, 또는 Ar과 같은 가스를 이용하여 플라즈마 처리에 의해 제거될 수 있다. 대안적으로, 플라즈마 처리는 산소와 아르곤의 혼합 가스를 이용하여 수행될 수 있다. 플라즈마 처리가 수행되는 경우에, 산화물 반도체층의 일부와 접하는 보호 절연막이 되는 절연층(507)이 공기로의 노출없이 플라즈마 처리 후에 형성된다.
- [0106] 절연층(507)은 수분, 수소, 및 산소와 같은 불순물들을 가능한 한 거의 함유하지 않는 것이 바람직하며, 단층의 절연막 또는 복수의 적층된 절연막들을 이용하여 형성될 수 있다.
- [0107] 절연층(507)은 물과 수소와 같은 불순물들이 상기 절연층(507)으로 진입하지 않는, 스퍼터링법과 같은 적절한 방법에 의해 적어도 1nm의 두께로 형성될 수 있다. 수소가 상기 절연층(507)에 함유될 때, 산화물 반도체층으로의 수소의 진입 또는 수소에 의한 산화물 반도체층에서의 산소의 추출이 유발되고, 따라서 산화물 반도체층의 백채널(backchannel)은 n-형(더 낮은 저항을 갖는)이 되며; 따라서, 기생 채널이 형성될 수 있다. 따라서, 가능한 한 거의 수소 원자를 함유하지 않는 상기 절연층(507)을 형성하기 위해 수소가 이용되지 않는 막 형성 방법이 채용되는 것이 중요하다.
- [0108] 예를 들어, 스퍼터링법에 의해 형성된 100nm의 두께를 갖는 산화 알루미늄막이 스퍼터링법에 의해 형성된 200nm의 두께를 갖는 산화 갈륨막 위에 적층되는 구조를 갖는 절연막이 형성될 수 있다. 막 형성 동안의 기판 온도는 실온보다 크거나 같고 300°C보다 작거나 같은 범위 내에 있을 수 있다. 또한, 절연막은 화학량론비를 초과하는 더 많은 산소를 함유하는 것이 바람직하며, 화학량론비의 1배보다 크고 2배보다 작은 비율인 것이 바람직하다. 상기 절연막이 이러한 방식으로 과잉 산소를 함유하여, 산소가 섬형 산화물 반도체막과의 계면으로 공급되어; 따라서, 산소 결손이 감소될 수 있다.
- [0109] 본 실시예에서, 스퍼터링법에 의해 절연층(507)으로서 산화 실리콘막이 200nm의 두께로 형성된다. 막 형성 동안의 기판 온도는 실온보다 크거나 같고 300°C보다 작거나 같은 범위에 있을 수 있으며 본 실시예에서는 100°C로 설정된다. 산화 실리콘막이 희가스(전형적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스와 산소를 함유하는 혼합 분위기 하에서 스퍼터링법에 의해 형성될 수 있다. 타겟으로서, 산화 실리콘 타겟 또는 실리콘 타겟이 이용될 수 있다. 예를 들어, 산소를 함유하는 분위기 하에서 스퍼터링법에 의해 실리콘 타겟을 이용하여 산화 실리콘막이 형성될 수 있다. 상기 산화물 반도체층과 접하여 형성되는 상기 절연층(507)으로서, 수분, 수소 이온, 및 OH⁻와 같은 불순물들을 포함하지 않고 외부로부터 이들의 진입을 막는 무기 절연막이 이용된다. 전형적으로, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 등이 이용된다.
- [0110] 산화물 반도체막의 막 형성과 동시에 절연층(507)의 막 형성 챔버의 잔류 수분을 제거하기 위하여, 흡착 진공 펌프(크라이오펌프와 같은)가 이용되는 것이 바람직하다. 크라이오펌프를 이용하여 배기된 막 형성 챔버에서 절연층(507)이 형성될 때, 절연층(507)에 함유된 불순물의 농도가 감소될 수 있다. 게다가, 절연층(507)의 막 형성 챔버의 잔류 수분을 제거하기 위한 배기 유닛으로서, 쿨드 트랩이 제공된 터보 펌프가 이용될 수 있다.
- [0111] 수소, 물, 수산기, 또는 수소화물과 같은 불순물들이 제거된 고순도 가스가 상기 절연층(507)의 막 형성을 위한 스퍼터링 가스로 이용되는 것이 바람직하다.
- [0112] 상기 절연층(507)이 형성된 후에, 제 2 열 처리(산화물 반도체층의 막 형성 및 열 처리가 각각 두번씩 수행되는 경우에는 제 3 열 처리)가 수행될 수 있다는 것에 주의한다. 열 처리는 질소, 조건조 공기, 또는 희가스(아르곤, 헬륨, 등)의 분위기 하에서 바람직하게는 200°C보다 크거나 같고 400°C보다 작거나 같은, 예를 들면, 250°C보다 크거나 같고 350°C보다 작거나 같은 온도에서 수행된다. 가스에서의 물의 함유량은 20ppm보다 작거나 같은 것이, 바람직하게는 1ppm보다 작거나 같은 것이, 또는 더욱 바람직하게는 10ppb보다 작거나 같은 것이 바람직하다. 대안적으로, RTA 처리가 제 1 열 처리로서 단시간동안 고온에서 수행될 수 있다. 제 1 열 처리에 의해 섬형 산화물 반도체층에서 산소 결손이 생성되는 때에라도, 산소를 함유한 절연층(507)이 제공된 후에 열 처리를 수행하는 것에 의해, 절연층(507)으로부터 섬형 산화물 반도체층으로 산소가 공급된다. 이후, 산소를 상기 섬형 산화물 반도체층으로 공급하는 것에 의해, 도너(donor)가 되는 산소 결손이 상기 섬형 산화물 반도체층에서 감소되고 화학량론비가 만족될 수 있다. 결과적으로, 상기 섬형 산화물 반도체층이 실질적으로 i-형이 되도록 만들어질 수 있으며 산소 결손으로 인한 트랜지스터의 전기적 특성들의 변동이 감소될 수 있고, 이는 전기적 특성들의 개선을 가져온다. 이러한 제 2 열 처리의 타이밍은 그것이 절연층(507)의 형성 후인 한 특별히 제한되지 않으며, 이러한 제 2 열 처리는 수지막의 형성을 위한 열 처리 또는 광전송 도전막의 저항의 감

소를 위한 열 처리와 같은 다른 단계와의 더블링(doubling)에 의해 단계들의 수를 증가시키지 않고도 수행될 수 있어서, 상기 섬형 산화물 반도체층이 실질적으로 i-형이 되도록 만들어질 수 있다.

- [0113] 또한, 산소 분위기 하에서 섬형 산화물 반도체층이 열 처리를 거치도록 하는 것에 의해 섬형 산화물 반도체층에서 도너가 되는 산소 결손이 감소될 수 있으며 산소가 산화물 반도체로 첨가된다. 열 처리는, 예를 들면, 100℃보다 크거나 같고 350℃보다 작은, 바람직하게는 150℃보다 크거나 같고 250℃보다 작은 온도에서 수행된다. 산소 분위기 하에서 열 처리를 위해 이용된 산소 가스는 물, 수소, 등을 포함하지 않는 것이 바람직하다. 대안적으로, 열 처리 장치로 주입되는 산소 가스의 순도는 6N(99.9999%)보다 크거나 같은 것이, 바람직하게는 7N(99.99999%)보다 크거나 같은 것이 바람직하다(즉, 산소의 불순물 농도는 1ppm보다 작거나 같고, 바람직하게는 0.1ppm보다 작거나 같다).
- [0114] 본 실시예에서, 제 2 열 처리(바람직하게 200℃보다 크거나 같고 400℃보다 작거나 같은 온도에서)가 불활성 가스 분위기 또는 산소 가스 분위기 하에서 수행된다. 예를 들어, 제 2 열 처리가 질소 분위기 하에서 1시간 동안 250℃에서 수행된다. 제 2 열 처리에서, 산화물 반도체층(채널 형성 영역)의 일부가 절연층(507)과 접하는 동안 열이 가해진다.
- [0115] 제 2 열 처리는 다음 효과를 갖는다. 상기 제 1 열 처리에 의해, 일부 경우들에서, 수소, 수분, 수산기, 또는 수소화물(또한 수소 화합물로도 불림)과 같은 불순물이 산화물 반도체층으로부터 의도적으로 제거되고, 산화물 반도체의 주성분들 중 하나인 산소가 감소된다. 상기 제 2 열 처리가 상기 제 1 열 처리를 거친 산화물 반도체층으로 산소를 공급하기 때문에, 상기 산화물 반도체층이 전기적으로 i-형(진성) 반도체가 되도록 매우 정제된다.
- [0116] 할로겐 원소를 함유하는 물질이 가스 상태로 막 형성 챔버로 주입되는 동안 산화물 반도체층을 형성하고 이후 산화물 반도체층이 열 처리를 거치게 하는 상기 단계들을 통해, 수소, 수분, 수산기, 또는 수소화물(또한 수소 화합물로도 불림)과 같은 불순물이 산화물 반도체층으로부터 의도적으로 제거될 수 있다. 따라서, 산화물 반도체층이 전기적으로 i-형(진성) 또는 실질적으로 i-형이 되도록 매우 정제된다. 상기 단계들을 통해, 트랜지스터(550)가 형성된다.
- [0117] 많은 결함(defect)들을 갖는 산화 실리콘층이 절연층(507)으로 이용될 때, 산화 실리콘층의 형성 후의 열 처리는 산화물 반도체층에 함유된 수소, 수분, 수산기, 또는 수소화물과 같은 불순물들을 산화 실리콘층으로 확산시키는 효과를 가져서, 산화물 반도체층에 함유된 불순물이 더욱 감소될 수 있다.
- [0118] 과잉 산소를 포함하는 산화 실리콘층이 절연층(507)으로 이용되는 경우에, 상기 절연층(507)의 형성 후에 수행되는 열 처리는 상기 절연층(507)의 산소를 상기 산화물 반도체층(513b)으로 이동시키고, 상기 산화물 반도체층(513b)의 산소 농도를 개선시키며 상기 산화물 반도체층(513b)을 매우 정제하는 효과를 갖는다.
- [0119] 보호 절연층(508)이 절연층(507) 위에 부가적으로 형성될 수 있다. 상기 보호 절연층(508)은 예를 들면, RF 스퍼터링법에 의해 형성된다. RF 스퍼터링법은 높은 대량 생산성을 가지므로, 상기 보호 절연층의 막 형성 방법으로 이용되는 것이 바람직하다. 상기 보호 절연층으로서, 수분과 같은 불순물들을 함유하지 않고 외부로부터 불순물들의 진입을 막는 무기 절연막이 이용되고; 예를 들면, 질화 실리콘막 또는 질화 알루미늄막이 이용된다. 본 실시예에서, 상기 보호 절연층(508)은 질화 실리콘막을 이용하여 형성된다(도 2d 참조).
- [0120] 본 실시예에서, 보호 절연층(508)으로서, 절연층(507)까지 층들이 형성된 기판(500)을 100℃ 내지 400℃의 온도로 가열하고, 수소와 수분이 제거된 고순도 질소를 함유하는 스퍼터링 가스를 주입하고, 실리콘 반도체의 타겟을 이용하는 것에 의해 질화 실리콘막이 형성된다. 이러한 경우에 또한, 절연층(507)의 것과 유사한 방식으로 보호 절연층(508)의 형성에서 처리 챔버의 잔류 수분이 제거되는 것이 바람직하다.
- [0121] 보호 절연층의 형성 후에, 공기에서 100℃보다 크거나 같고 200℃보다 작거나 같은 온도로 1시간 내지 30시간 동안 열 처리가 또한 수행될 수 있다. 이러한 열 처리는 고정된 가열 온도에서 수행될 수 있다. 대안적으로, 가열 온도의 다음 변화가 복수회 반복적으로 수행될 수 있다: 가열 온도가 실온에서 100℃보다 크거나 같고 200℃보다 작거나 같은 온도로 증가되고 이후 실온으로 감소된다.
- [0122] 본 실시예에서, 본 방법은, 할로겐 원소를 함유하는 물질이 막 형성 동안 가스 상태로 막 형성 챔버로 주입되고, 막 형성 챔버에 남아있는 수소 원자를 함유하는 불순물과 반응하여, 수소 원자를 함유하는 안정한 물질로 변화되고, 이후 배기되는, 예로써 설명된다. 상기 방법으로, 상기 수소 원자를 함유하는 안정한 물질이 산화물 반도체층의 금속 원자에 수소 원자를 제공하지 않고 배기되며; 따라서, 수소 원자 등이 산화물 반도체층으

로 가는 현상이 방지될 수 있다. 결과적으로, 매우 정제된 산화물 반도체층이 형성될 수 있다.

- [0123] 본 실시예에서 예로 설명된 상기 트랜지스터는 매우 정제된 산화물 반도체층과 임계 전압의 작은 편차를 갖는다. 따라서, 본 실시예에서 예로 설명되는 반도체 장치를 제작하는 방법을 이용하는 것에 의해, 매우 신뢰할 수 있는 반도체 장치가 제공될 수 있다. 또한, 높은 대량 생산성을 갖는 반도체 장치가 제공될 수 있다.
- [0124] 또한, 오프 상태 전류가 감소될 수 있기 때문에 낮은 전력 소비를 갖는 반도체 장치가 제공될 수 있다.
- [0125] 산화물 반도체층을 포함하는 트랜지스터는 높은 전계 효과 이동도를 얻을 수 있으므로, 고속 구동이 가능하다는 것에 주의한다. 따라서, 상기 산화물 반도체층을 포함하는 상기 트랜지스터가 액정 표시 장치의 화소부에 이용될 때, 고품질 이미지가 제공될 수 있다. 또한, 상기 산화물 반도체층을 포함하는 상기 트랜지스터들을 이용하는 것에 의해, 구동 회로부와 화소부가 하나의 기판 위에 형성되고; 따라서, 액정 표시 장치의 구성성분들의 수가 감소될 수 있다.
- [0126] 본 실시예 모드는 본 명세서에서 설명된 다른 실시예들 중 임의의 것과 적절하게 조합될 수 있다.
- [0127] [실시예 2]
- [0128] 본 실시예에서, 할로젠 원소를 함유하는 물질이 막 형성 챔버로 가스 상태로 주입되는 동안 산화물 반도체층이 형성되고 매우 정제된 산화물 반도체층을 형성하기 위해 나중에 열 처리를 거치게 하는 방법에 의해 제작되는 탑 게이트형 트랜지스터와, 상기 탑 게이트형 트랜지스터를 제작하는 방법이 도 3a 및 도 3b와 도 4a 내지 도 4d를 참조하여 설명될 것이다.
- [0129] 도 3a 및 도 3b는 본 실시예에서 제작되는 탑 게이트형 트랜지스터(650)의 구조를 도시한다. 도 3a는 상기 트랜지스터(650)의 평면도이고, 도 3b는 상기 트랜지스터(650)의 단면도이다. 도 3b는 도 3a의 선(Q1-Q2)에 따라 얻어진 단면도에 대응한다는 것에 주의한다.
- [0130] 상기 트랜지스터(650)에서, 절연 표면을 갖는 기판(600) 위에, 각각이 소스 또는 드레인 전극이 되는 제 1 전극(615a)과 제 2 전극(615b)이 제공된다. 상기 제 1 전극(615a)과 상기 제 2 전극(615b)의 단부들을 덮는 매우 정제된 산화물 반도체층(613b)과, 산화물 반도체층(613b)을 덮는 게이트 절연층(602)이 제공된다. 게다가, 게이트 절연층(602)과 접하고 상기 제 1 전극(615a) 및 상기 제 2 전극(615b)의 단부들과 중첩하는 상기 게이트 전극(611)과, 상기 게이트 전극(611)과 접하고 상기 트랜지스터(650)를 덮는 보호 절연층(608)이 제공된다.
- [0131] 트랜지스터(650)의 산화물 반도체층(613b)은 할로젠 원소를 함유하는 물질이 가스 상태로 주입되는 막 형성 챔버에서 형성된다. 또한, 일부 경우들에서, 상기 트랜지스터(650)의 상기 산화물 반도체층(613b)은 할로젠 원소를 함유한다. 상기 산화물 반도체층(613b)에 함유된 할로젠 원소의 농도는 10^{15} atoms/cm³ 내지 10^{18} atoms/cm³이다. 상기 산화물 반도체층(613b)의 할로젠 원소는 반도체 장치의 제작 공정동안 생성되는 금속 원자의 탱글링 결합과 결합하고 이를 종결시키며; 따라서, 캐리어들 또는 불순물 준위의 생성이 억제된다.
- [0132] 다음, 기판(600) 위에 트랜지스터(650)를 제작하는 방법이 도 4a 내지 도 4d를 참조하여 설명될 것이다.
- [0133] 다음, 소스 전극 및 드레인 전극이 되는 도전막(상기 소스 전극 및 상기 드레인 전극과 동일한 층에 형성된 배선을 포함하는)이 절연 표면을 갖는 기판(600) 위에 형성된다. 소스 전극과 드레인 전극으로 이용된 도전막으로서, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소를 함유하는 금속막 또는 그의 구성성분으로서 상기 원소들 중 임의의 것을 함유하는 금속 질화물막(질화 티타늄막, 질화 몰리브덴막, 또는 질화 텅스텐막)이 이용될 수 있다. 내열성과 부식성의 문제들을 방지하기 위하여 Al, Cu, 등의 금속막을 채용하는 경우에, Ti, Mo, W, Cr, Ta, Nd, Sc, Y, 등의 높은 녹는점을 갖는 금속막 또는 이들 원소들 중 임의의 것의 금속 질화물막(질화 티타늄막, 질화 몰리브덴막, 또는 질화 텅스텐막)이 금속막의 하부층 및 상부층 중 하나 또는 모두 상에 적층될 수 있다. 특히, 산화물 반도체층과 접하는 측 상에 티타늄을 함유하는 도전막을 제공하는 것이 바람직하다.
- [0134] 레지스트 마스크가 제 1 포토리소그래피 단계에 의해 도전막 위에 형성되고, 각각이 소스 또는 드레인 전극으로 기능하는 제 1 전극(615a)과 제 2 전극(615b)이 선택적인 에칭에 의해 형성되며, 이후 레지스트 마스크가 제거된다. 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다는 것에 주의한다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며; 따라서, 제작 비용이 감소될 수 있다.
- [0135] 본 실시예에서, 유리 기판이 절연 표면을 갖는 기판(600)으로 이용된다.
- [0136] 기저막이 되는 절연막이 기판(600)과 제 1 전극(615a) 및 제 2 전극(615b) 사이에 제공될 수 있다. 상기 기저막

은 상기 기판(600)으로부터 불순물 원소의 확산을 방지하는 기능을 가지며, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막, 및 산화질화 실리콘막의 하나 또는 그 이상을 포함하는 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.

- [0137] 다음, 2nm 내지 200nm의, 바람직하게는 5nm 내지 30nm의 두께를 갖는 산화물 반도체막이 각각이 소스 또는 드레인 전극이 되는 제 1 전극(615a) 및 제 2 전극(615b) 위에 형성된다.
- [0138] 스퍼터링법에 의해 산화물 반도체막이 형성되기 전에, 제 1 전극(615a) 및 제 2 전극(615b)의 표면들과, 기판(600)의 노출부의 절연 표면 상에 부착되는 가루 물질들(또한 입자들 또는 먼지로 불림)이 아르곤 가스가 주입되고 플라즈마가 생성되는 역 스퍼터링에 의해 제거되는 것이 바람직하다는 것에 주의한다. 역 스퍼터링은 표면을 변화시키기 위하여 기판의 근처에 플라즈마를 생성시키기 위해 아르곤 분위기 하에서 기판 측으로의 전압의 인가를 위해 RF 전원이 이용되는 방법을 말한다. 아르곤 분위기 대신, 질소 분위기, 헬륨 분위기, 산소 분위기, 등이 이용될 수 있다는 것에 주의한다.
- [0139] 본 실시예에서 설명된 산화물 반도체막이 실시예 1에서 설명된 산화물 반도체막의 것과 유사한 재료, 방법, 및 조건들을 이용하여 형성될 수 있다. 구체적으로, 산화물 반도체막을 위해 이용된 산화물 반도체, 막 형성 방법, 타겟 구성, 타겟 충전률, 스퍼터링 가스의 순도, 막 형성 챔버로 주입된 할로겐 가스, 막 형성 동안의 기판 온도, 스퍼터링 장치의 배기 유닛, 스퍼터링 가스의 구성, 등이 실시예 1의 것과 유사할 수 있다. 따라서, 실시예 1이 상세한 설명들을 위해 참조될 것이다.
- [0140] 다음, 산화물 반도체막이 제 2 포토리소그래피 단계에 의해 선행 산화물 반도체층(613a)으로 처리된다. 선행 산화물 반도체층을 형성하기 위한 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며; 따라서, 제작 비용이 감소될 수 있다.
- [0141] 산화물 반도체막의 에칭은 건식 에칭, 습식 에칭, 또는 건식 에칭과 습식 에칭 모두일 수 있다는 것에 주의한다. 산화물 반도체막의 습식 에칭을 위해 이용된 에천트로서, 예를 들면, 인산, 아세트산, 및 질산의 혼합 용액, 등이 이용될 수 있다. 또한, ITO07N(KANTO CHEMICAL CO., INC.에 의해 제조)이 또한 이용될 수 있다. 도 4a는 본 단계의 단면도입에 주의한다.
- [0142] 다음, 제 1 열 처리가 산화물 반도체층(613a) 상에서 수행된다. 이러한 제 1 열 처리에 의해, 불순물들이 산화물 반도체층으로부터 제거될 수 있다. 예를 들어, 상기 산화물 반도체층으로 들어간 수소 할로겐화물이 제거될 수 있다. 가열에 의해 생성된 수소 할로겐화물이 제거되는 방법은 상기 금속에 강하게 결합된 수소 또는 수산기가 직접 제거되는 방법보다 쉽다.
- [0143] 제 1 열 처리의 온도는 250℃보다 크거나 같고 700℃보다 작거나 같으며, 바람직하게는 250℃보다 크거나 같고 450℃보다 작거나 같거나 또는 250℃보다 크고 기판의 변형점보다 작다. 대략 제 4 세대 유리 기판들만큼 큰 기판들이 250℃보다 크거나 같고 700℃보다 작거나 같은 범위의 온도에서 열 처리를 거칠 수 있으며, 대략 제 6 세대 내지 제 10 세대 유리 기판들만큼 큰 기판들이 250℃보다 크거나 같고 450℃보다 작거나 같은 범위의 온도에서 열 처리를 거치는 것이 바람직하다.
- [0144] 여기서, 기판은 열 처리 장치들 중 하나인 전기노로 들어가고, 열 처리가 질소 분위기 하의 600℃에서 산화물 반도체층 상에서 수행되고, 이후, 대기로의 노출 없이 200℃보다 작거나 같은 온도로 산화물 반도체층 상에서 느린 냉각이 수행되어, 산화물 반도체층으로의 물과 수소의 진입이 방지된다. 따라서, 산화물 반도체층(613b)이 얻어진다(도 4b 참조). 200℃보다 작거나 같은 온도로 산화물 반도체층 상에서 느린 냉각을 수행하는 것에 의해, 고온의 산화물 반도체층이 대기중의 물 또는 수분과 접하는 것이 방지될 수 있다. 고온의 산화물 반도체층이 대기중의 물 또는 수분과 접할 때, 일부 경우들에서, 산화물 반도체가 수소 원자를 함유하는 불순물로 오염된다.
- [0145] 열 처리 장치는 전기노로 제한되지 않으며, 실시예 1에서 설명된 가열 유닛, 가열 방법, 및 가열 조건들이 이용될 수 있다는 것에 주의한다. 구체적으로, 열 처리 장치, 가열 온도, 및 가열을 위해 이용된 가스의 종류, 순도, 등이 실시예 1의 것과 유사할 수 있다. 따라서, 실시예 1이 상세한 설명들을 위해 참조될 수 있다.
- [0146] 게다가, 상기 제 1 열처리는 또한 상기 선행 산화물 반도체층으로 아직 처리되지 않은 산화물 반도체막 상에서 수행될 수 있다. 그러한 경우에, 상기 제 1 열 처리 후에 상기 기판이 가열 장치로부터 꺼내지고, 이후 포토리소그래피 단계가 수행된다.
- [0147] 제 1 열 처리는 그것이 산화물 반도체막의 막 형성 후에 수행되는 한, 상기 타이밍에 부가적으로 다음 타이밍들

중 임의의 것에서 수행될 수 있다는 것에 주의한다: 상기 게이트 절연층이 상기 산화물 반도체층 위에 적층된 후 및 상기 게이트 전극이 상기 게이트 절연층 위에 형성된 후.

- [0148] 게다가, 산화물 반도체층으로서, 산화물, 질화물, 금속, 등 중 임의의 것이 먼저 형성되는 산화물 반도체층 (613a)과 접하는 하지 부재의 재료로 이용되는 때에라도, 큰 두께를 갖는 결정 영역, 즉, 막의 표면에 수직하게 c-축 배향되는 결정 영역을 갖는 산화물 반도체층이 할로젠 원소를 함유하는 가스에서 두번의 막 형성과 두번의 열 처리를 수행하는 것에 의해 형성될 수 있다. 실시예 1에서 설명된 막 형성 조건들이 결정 영역을 포함하는 산화물 반도체층을 형성하는데 이용될 수 있다는 것에 주의한다. 따라서, 상세한 설명들을 위하여 실시예 1이 참조될 수 있다.
- [0149] 다음, 산화물 반도체층의 노출부의 표면으로 흡수된 물 등이 N₂O, N₂, 또는 Ar과 같은 가스를 이용하여 플라즈마 처리에 의해 제거될 수 있다. 플라즈마 처리가 수행되는 경우에, 상기 산화물 반도체층과 접하는 상기 게이트 절연층(602)이 플라즈마 처리 후에 대기로의 노출 없이 형성된다.
- [0150] 본 실시예의 산화물 반도체로서, 불순물들이 제거된 i-형 또는 실질적으로 i-형 산화물 반도체가 이용된다. 이러한 매우 정제된 산화물 반도체는 계면 상태 밀도와 계면 전하에 극히 민감하고; 따라서, 산화물 반도체층과 게이트 절연층 사이의 계면이 중요하다. 그러한 이유로, 매우 정제된 산화물 반도체와 접하는 게이트 절연층은 고품질을 가질 필요가 있다.
- [0151] 게이트 절연층(602)이 물과 수소와 같은 불순물들이 게이트 절연층(602)으로 진입하지 않는, 스퍼터링법과 같은, 적절한 방법에 의해 1nm 이상의 두께로 형성될 수 있다. 수소가 게이트 절연층(602)에 함유될 때, 산화물 반도체층으로서의 수소의 진입 또는 수소에 의한 산화물 반도체층에서의 산소의 추출이 유발되고, 따라서 산화물 반도체층의 채널이 n-형(더 낮은 저항을 가짐)이 되며; 따라서, 기생 채널이 형성될 수 있다. 그러므로, 가능한 거의 수소 원자를 함유하지 않는 게이트 절연층(602)을 형성하기 위하여 수소가 이용되지 않는 막 형성 방법이 이용되는 것이 중요하다.
- [0152] 본 실시예에서, 스퍼터링법에 의해 게이트 절연층(602)으로서 산화 실리콘막이 형성된다. 막 형성 동안의 기판 온도는 실온보다 크거나 같고 300℃보다 작거나 같은 범위에 있을 수 있으며 본 실시예에서는 100℃로 설정된다. 산화 실리콘막이 회가스(전형적으로, 아르곤) 분위기, 산소 분위기, 또는 회가스와 산소를 함유하는 혼합 분위기 하에서 스퍼터링법에 의해 형성될 수 있다. 타겟으로서, 산화 실리콘 타겟 또는 실리콘 타겟이 이용될 수 있다. 예를 들어, 산소를 함유하는 분위기 하에서 스퍼터링법에 의해 실리콘 타겟을 이용하여 산화 실리콘막이 형성될 수 있다. 산화물 반도체층과 접하여 형성되는 게이트 절연층(602)으로서, 수분, 수소 이온, 및 OH⁻와 같은 불순물들을 포함하지 않고 외부로부터 이러한 불순물들의 진입을 막는 무기 절연막이 이용된다. 전형적으로, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 등이 이용된다.
- [0153] 산화물 반도체막의 막 형성과 동시에 게이트 절연층(602)의 막 형성 챔버에서 잔류 수분을 제거하기 위하여, 흡착 진공 펌프(크라이오펌프와 같은)가 이용되는 것이 바람직하다. 크라이오펌프를 이용하여 배기된 막 형성 챔버에서 게이트 절연층(602)이 형성될 때, 게이트 절연층(602)에 함유된 불순물의 농도가 감소될 수 있다. 게다가, 게이트 절연층(602)의 막 형성 챔버의 잔류 수분을 제거하기 위한 배기 유닛으로서, 콜드 트랩이 제공된 터보 펌프가 이용될 수 있다.
- [0154] 수소, 물, 수산기, 또는 수소화물과 같은 불순물들이 제거되는 고순도 가스가 게이트 절연층(602)의 막 형성을 위한 스퍼터링 가스로 이용되는 것이 바람직하다. 도 4c는 본 단계의 단면도입에 주의한다.
- [0155] 게이트 절연층(602)에 콘택트 홀을 형성될 때, 상기 콘택트 홀이 제 3 포토리소그래피 단계에 의해 게이트 절연층(602)에 형성된다. 콘택트 홀은 도 4d에 도시되지 않는다는 것에 주의한다.
- [0156] 다음, 도전막이 게이트 절연층(602) 위에 형성된 후에, 게이트 전극(611)을 포함하는 배선층이 제 4 포토리소그래피 단계에 의해 형성된다. 레지스트 마스크가 잉크젯 방법에 의해 형성될 수 있다는 것에 주의한다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으며; 따라서, 제작 비용이 감소될 수 있다.
- [0157] 게이트 전극(611)이 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐과 같은 금속 재료, 또는 그의 주성분으로서 이러한 금속 재료들 중 임의의 것을 함유하는 합금 재료를 포함하는 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.
- [0158] 보호 절연층(608)이 게이트 전극(611) 위에 형성될 수 있다. 상기 보호 절연층(608)이, 예를 들면, RF 스퍼터링

법에 의해 형성된다. RF 스퍼터링법은 높은 대량 생산성을 가지므로, 이는 보호 절연층의 막 형성 방법으로 이용되는 것이 바람직하다. 보호 절연층으로서, 수분과 같은 불순물들을 함유하지 않고 외부로부터 불순물들의 진입을 막는 무기 절연막이 이용되고; 예를 들면, 질화 실리콘막 또는 질화 알루미늄막이 이용된다. 본 실시예에서, 보호 절연층(608)이 질화 실리콘막을 이용하여 형성된다. 도 4d는 본 단계의 상기 단면도입에 주의한다.

[0159] 본 실시예에서, 보호 절연층(608)으로서, 게이트 전극(611)까지 층들이 형성된 기판(600)을 100℃ 내지 400℃의 온도로 가열하고, 수소와 수분이 제거된 고순도 질소를 함유하는 스퍼터링 가스를 주입하고, 실리콘 반도체의 타겟을 이용하는 것에 의해 질화 실리콘막이 형성된다. 이러한 경우에 또한, 게이트 절연층(602)의 것과 유사한 방식으로 보호 절연층(608)의 형성에서 처리 챔버의 잔류 수분이 제거되는 것이 바람직하다.

[0160] 보호 절연층의 형성 후에, 대기중에서 100℃보다 크거나 같고 200℃보다 작거나 같은 온도로 1시간 내지 30시간 동안 열 처리가 또한 수행될 수 있다. 이러한 열 처리는 고정된 가열 온도에서 수행될 수 있다. 대안적으로, 가열 온도의 다음 변화가 복수회 반복적으로 수행될 수 있다: 가열 온도가 실온으로부터 100℃보다 크거나 같고 200℃보다 작거나 같은 온도로 증가되고 이후 실온으로 감소된다.

[0161] 본 실시예에서, 본 발명이, 할로겐 원소를 함유하는 물질이 막 형성동안 가스 상태로 막 형성 챔버로 주입되고, 막 형성 챔버에 남아있는 수소 원자를 함유하는 불순물과 반응하여, 수소 원자를 함유하는 안정한 물질로 변화되어, 배기되는, 예로써 설명된다. 상기 방법으로, 상기 수소 원자를 함유하는 안정한 물질이 상기 산화물 반도체층의 금속 원자에 수소 원자를 제공하지 않고 배기되며; 따라서, 수소 원자 등이 상기 산화물 반도체층으로 들어가는 현상이 방지될 수 있다. 결과적으로, 매우 정제된 산화물 반도체층이 형성될 수 있다.

[0162] 본 실시예에서 예로 설명된 상기 트랜지스터는 매우 정제된 산화물 반도체층과 임계 전압에서 작은 편차를 갖는다. 따라서, 본 실시예에서 예로 설명되는 반도체 장치를 제작하는 방법을 이용하는 것에 의해 매우 신뢰할 수 있는 반도체 장치가 제공될 수 있다. 또한, 높은 대량 생산성을 가진 반도체 장치가 제공될 수 있다.

[0163] 또한, 오프 상태 전류가 감소될 수 있기 때문에 낮은 전력 소비를 갖는 반도체 장치가 제공될 수 있다.

[0164] 산화물 반도체층을 포함하는 트랜지스터가 높은 전계 효과 이동도를 얻을 수 있기 때문에, 고속 구동이 가능하다는 것을 주의한다. 따라서, 산화물 반도체층을 포함하는 트랜지스터가 액정 표시 장치의 화소부에 이용될 때, 고품질의 이미지가 제공될 수 있다. 또한, 산화물 반도체층을 포함하는 트랜지스터들을 이용하는 것에 의해, 하나의 기판 위에 구동 회로부와 화소부가 형성되고; 따라서, 액정 표시 장치의 구성성분들의 수가 감소될 수 있다.

[0165] 본 실시예 모드는 본 명세서에서 설명된 다른 실시예들 중 임의의 것과 적절하게 조합될 수 있다.

[0166] [실시예 3]

[0167] 본 실시예에서, 본 발명의 일 실시예에 따른 반도체 장치의 구조 및 제작 방법도 도 5a 및 도 5b, 도 6a 내지 도 6d, 도 7a 내지 도 7c, 도 8a 내지 도 8d, 및 도 9a 내지 도 9c를 참조하여 설명될 것이다. 본 실시예에서 예로 설명된 반도체 장치는 메모리 장치로 이용될 수 있다는 것에 주의한다.

[0168] 본 실시예의 예로 설명된 반도체 장치의 구조가 도 5a 및 도 5b에 도시된다. 도 5a는 반도체 장치의 단면도이고, 도 5b는 반도체 장치의 평면도이다. 도 5a는 도 5b의 선 A1-A2와 선 B1-B2를 따라 얻어진 단면도라는 것에 주의한다.

[0169] 예로 설명된 반도체 장치는 하부에 제 1 반도체 재료를 포함하는 트랜지스터(260)와, 상부에 제 2 반도체 재료를 포함하는 트랜지스터(262)와, 커패시터(264)를 포함한다. 트랜지스터(260)의 게이트 전극(210)은 트랜지스터(262)의 제 1 전극(242a)에 직접 접속된다.

[0170] 트랜지스터(262)와 커패시터(264)가 제공되어 트랜지스터(260)와 중첩하는 경우에, 고집적화(high integration)가 성취될 수 있다. 예를 들어, 최소 피처(feature) 크기가 F라고 주어지면, 배선과 전극 사이의 접속을 고안하는 것에 의해 메모리 셀에 의해 점유된 영역은 $15F^2$ 내지 $25F^2$ 가 될 수 있다.

[0171] 트랜지스터(260)에 포함된 제 1 반도체 재료와 트랜지스터(262)에 포함된 제 2 반도체 재료는 상이할 수 있다. 예를 들어, 단결정 반도체가 제 1 반도체 재료로 이용될 수 있으며 따라서 트랜지스터(260)가 고속으로 구동될 수 있고, 산화물 반도체가 제 2 반도체 재료로 이용될 수 있으며 따라서 상기 트랜지스터(262)의 오프 상태 전류가 충분히 감소될 수 있고 전하가 장시간 보유될 수 있다.

[0172] 제 1 반도체 재료 및 제 2 반도체 재료로서, 예를 들면, 산화물 반도체 또는 산화물 반도체 이외의 반도체 재료

가 이용될 수 있다. 산화물 반도체 이외의 반도체 재료로서, 실리콘, 게르마늄, 실리콘 게르마늄, 탄화 실리콘, 갈륨 비소, 등이 이용될 수 있다. 대안적으로, 유기 반도체 재료 등이 이용될 수 있다.

- [0173] 본 실시예에서, 단결정 실리콘이 제 1 반도체 재료로 사용되어 트랜지스터(260)가 고속으로 구동될 수 있고 산화물 반도체가 제 2 반도체 재료로 사용되어 그의 오프 상태 전류가 감소되는 트랜지스터(262)가 형성되는 상기 경우가 설명될 것이다.
- [0174] 트랜지스터(260)의 게이트 전극(210)이 트랜지스터(262)의 제 1 전극(242a)에 접속되는 구조를 갖는 반도체 장치가 메모리 장치로 양호하다. 트랜지스터(262)가 오프 상태에 있을 때, 트랜지스터(260)의 게이트 전극(210)의 포텐셜은 극히 장시간 동안 유지될 수 있다. 커패시터(264)가 제공될 때, 트랜지스터(260)의 게이트 전극(210)으로 공급된 전하가 쉽게 유지될 수 있으며 유지된 데이터의 판독이 쉽게 수행될 수 있다. 또한, 고속의 동작이 가능한 이러한 반도체 재료를 포함하는 트랜지스터(260)로, 데이터가 고속으로 판독될 수 있다.
- [0175] 본 실시예에서 예로 설명된 반도체 장치에 포함된 모든 트랜지스터들은 여기서 n-채널형 트랜지스터들이지만, p-채널형 트랜지스터들이 이용될 수 있다는 것은 말할 필요가 없다. 여기서 개시된 본 발명의 기술적 특징은 그의 오프 상태 전류가 충분히 감소되는 산화물 반도체를 포함하는 트랜지스터와 충분히 고속 동작이 가능한 산화물 반도체 이외의 산화물 재료를 포함하는 트랜지스터가 함께 제공된다는 것이다. 따라서, 반도체 장치를 위해 이용된 재료 또는 반도체 장치의 구조와 같은, 특정 조건들을 여기서 설명된 조건들로 제한할 필요는 없다.
- [0176] 트랜지스터(260)는 제 1 반도체 재료를 포함하는 기판(200)에 제공된 채널 형성 영역(216)과, 채널 형성 영역(216)을 그 사이에 개재하는 불순물 영역들(220)을 포함한다. 또한, 트랜지스터(260)는 불순물 영역들(220)과 접하는 금속 화합물 영역들(224)과, 채널 형성 영역(216) 위에 제공된 게이트 절연층(208)과, 게이트 절연층(208) 위에 제공된 게이트 전극(210)을 포함한다. 일부 경우들에서, 그의 소스 및 드레인 전극들이 도면에 명확하게 도시되지 않은 트랜지스터가 편의를 위해 트랜지스터로 불려질 수 있다는 것에 주의한다. 또한, 이러한 경우에, 트랜지스터들 사이의 접속의 설명에서, 소스 영역 및 드레인 영역은 일부 경우들에서, 소스 전극 및 드레인 전극으로 각각 불려질 수 있다. 다시 말해, 본 명세서에서, "소스 전극"이라는 용어는 소스 영역을 포함할 수 있으며, "드레인 전극"이라는 용어는 드레인 영역을 포함할 수 있다.
- [0177] 또한, 소자 분리 절연층(206)이 기판(200) 위에 제공되어 트랜지스터(260)를 둘러싸고, 절연층(228)과 절연층(230)이 트랜지스터(260) 위에 제공된다. 도시되지 않았으나, 트랜지스터(260)의 금속 화합물 영역들(224)의 일부가 소스 또는 드레인 전극으로 기능하는 전극을 통해 배선(256) 또는 다른 배선과 접속된다. 일부 경우들에서, 그의 소스 및 드레인 전극들이 도면에 명확하게 도시되지 않은 트랜지스터가 편의를 위해 트랜지스터로 불릴 수 있다는 것에 주의한다.
- [0178] 고집적화를 얻기 위하여, 트랜지스터(260)는 도 5a 및 도 5b에 도시된 바와 같이 측벽(sidewall) 절연층을 갖지 않는 것이 바람직하다. 한편, 상기 트랜지스터(260)의 특성들이 강조되는 경우에, 측벽 절연층이 게이트 전극(210)의 측 표면 상에 제공될 수 있고, 불순물 영역들(220)이 불순물 영역들(220)과 상이한 불순물 농도를 가지며 측벽 절연층과 중첩하는 영역에 제공되는 불순물 영역을 포함할 수 있다.
- [0179] 본 실시예에서, 제 1 반도체 재료를 포함하는 기판(200)으로 단결정 실리콘 기판이 이용된다. 실리콘 등의 단결정 반도체 기판을 이용하는 경우에, 반도체 장치의 판독 동작이 더 고속으로 수행될 수 있다.
- [0180] 트랜지스터(262)는 제 2 반도체 재료로서 매우 정제된 산화물 반도체층을 포함한다. 트랜지스터(262)는 절연층(230) 위에 소스 전극 및 드레인 전극으로 기능하는 제 1 전극(242a) 및 제 2 전극(242b)을 포함하고, 상기 제 1 전극 및 상기 제 2 전극과 전기적으로 접속된 산화물 반도체층(244)을 포함한다. 또한, 상기 트랜지스터(262)는 상기 산화물 반도체층(244)을 덮는 게이트 절연층(246)과, 상기 게이트 절연층(246) 위에 위치되고 산화물 반도체층(244)과 중첩하는 게이트 전극(248a)을 포함한다. 게다가, 절연층(243a)이 제 1 전극(242a)과 산화물 반도체층(244) 사이에 제공되어 게이트 전극(248a)과 중첩하고, 절연층(243b)이 상기 제 2 전극(242b)과 상기 산화물 반도체층(244) 사이에 제공되어 상기 게이트 전극(248a)과 중첩한다.
- [0181] 절연층(243a)과 절연층(243b)은 게이트 전극과 소스 또는 드레인 전극 사이에서 생성된 커패시턴스를 감소시킨다. 그러나, 절연층(243a)과 절연층(243b)이 없는 구조가 또한 채용될 수 있다.
- [0182] 여기서, 산화물 반도체층(244)은 그로부터 수소와 같은 불순물을 충분히 제거하고 그에게 충분한 양의 산소를 공급하는 것에 의해 매우 정제되는 산화물 반도체층인 것이 바람직하다. 구체적으로, 산화물 반도체층(244)의 수소의 농도는 예를 들면, 5×10^{19} atoms/cm³보다 낮거나 같고, 바람직하게는 5×10^{18} atoms/cm³보다 낮거나

같고, 또는 더욱 바람직하게는 5×10^{17} atoms/cm³보다 낮거나 같다. 상기 산화물 반도체층(244)의 수소의 상기 농도는 2차 이온 질량 분석법(secondary ion mass spectroscopy;SIMS)에 의해 측정된다는 것에 주의한다. 수소의 농도를 충분히 감소시키는 것에 의해 매우 정제되고 산소 결손으로 인한 에너지 갭의 결함 준위들이 충분한 양의 산소를 공급하는 것에 의해 감소되는 산화물 반도체층(244)에서, 수소, 산소 결손, 등으로부터 결과된 캐리어 농도는 1×10^{12} /cm³보다 작고, 바람직하게는 1×10^{11} /cm³보다 작고, 또는 더욱 바람직하게는 1.45×10^{10} /cm³보다 작다.

[0183] 오프 상태 전류는 산화물 반도체층(244)을 포함하는 트랜지스터에서 충분히 감소될 수 있다. 예를 들어, 상기 산화물 반도체층(244)이 30nm의 두께와 2 μ m의 채널 길이를 갖는 트랜지스터에서, 실온(25℃)에서 1 μ m의 채널 길이당 오프 상태 전류(게이트 바이어스: -3V)는 100zA(1zA(zeptoampere);zeptoampere)는 1×10^{-21} A와 같다)보다 작거나 같고, 바람직하게는 10zA보다 작거나 같다.

[0184] 본 실시예에서, 할로겐 원소를 함유하는 물질이 막 형성 챔버로 가스 상태로 주입되는 동안 산화물 반도체층이 형성된 후 산화물 반도체층이 열 처리를 거치게 되는 방법을 채용하는 것에 의해, 매우 정제된 산화물 반도체층이 형성된다. 이러한 방식으로 매우 정제된 산화물 반도체를 이용하는 것에 의해, 탁월한 오프 상태 전류 특성들을 갖는 트랜지스터(262)가 얻어질 수 있다. 실시예 2가 산화물 반도체층(244)의 구조와 제작 방법의 상세한 설명들을 위해 참조될 수 있다.

[0185] 섬형을 갖도록 처리되는 산화물 반도체층(244)이 미세화(miniaturization)로 인한 소자들 사이의 누설 전류를 억제하기 위하여 도 5a 및 도 5b의 트랜지스터(262)에서 사용되지만, 섬형을 갖도록 처리되지 않은 상기 산화물 반도체층(244)을 포함하는 구조가 채용될 수 있다. 산화물 반도체층이 섬형을 갖도록 처리되지 않는 경우에, 공정에서의 에칭으로 인한 상기 산화물 반도체층(244)의 오염이 방지될 수 있다.

[0186] 예로서 도 5a 및 도 5b에 도시된 반도체 장치에서, 트랜지스터(260)의 게이트 전극(210)의 상부 표면이 절연층(230)에 의해 덮이지 않고, 트랜지스터(262)의 소스 또는 드레인 전극으로 기능하는 제 1 전극(242a)에 직접 접촉된다. 상기 게이트 전극(210)은 접촉을 위해 부가적으로 제공되는 개구부(opening)와 전극을 통해 상기 제 1 전극(242a)과 접촉될 수 있다. 그러나, 직접 접촉의 경우에, 접촉 면적이 감소될 수 있고 반도체 장치의 고집적화가 성취될 수 있다.

[0187] 예를 들어, 메모리 장치로서 본 실시예의 반도체 장치가 이용되는 경우에, 단위 면적당 저장 커패시티의 증가를 위해 고집적화가 중요하다. 게다가, 접촉을 위해 부가적으로 형성되는 개구부와 전극을 형성하기 위해 필요한 단계는 생략될 수 있으며; 따라서, 반도체 장치를 제작하기 위한 공정이 간략화될 수 있다.

[0188] 도 5a 및 도 5b의 커패시터(264)는 소스 또는 드레인 전극으로 기능하는 제 1 전극(242a)과, 산화물 반도체층(244)과, 게이트 절연층(246)과, 전극(248b)을 포함한다. 즉, 상기 제 1 전극(242a)은 커패시터(264)의 전극들 중 하나로 기능하고, 전극(248b)은 커패시터(264)의 전극들 중 다른 하나로 기능한다.

[0189] 예로 도 5a 및 도 5b에 도시된 커패시터(264)에서, 산화물 반도체층(244)과 게이트 절연층(246)이 제 1 전극(242a)과 전극(248b) 사이에 개재되지만; 단지 게이트 절연층(246)만이 더 큰 용량을 위해 개재될 수 있다. 또한, 커패시터(264)는 절연층(243a)의 것과 유사한 방식으로 형성된 절연층을 포함하는 구조를 가질 수 있다. 커패시터가 필요하지 않은 경우에, 상기 커패시터(264)가 없는 구조를 채용하는 것이 가능하다.

[0190] 또한, 절연층(250)이 트랜지스터(262)와 커패시터(264) 위에 제공되고, 절연층(252)이 상기 절연층(250) 위에 제공된다. 게이트 절연층(246), 절연층(250), 절연층(252), 등에 형성된 개구부에서, 상기 전극(254)이 제공된다. 배선(256)이 상기 절연층(252) 위에 제공되어, 전극(254)을 통해 제 2 전극(242b)으로 전기적으로 접속된다. 상기 배선(256)은 상기 제 2 전극(242b)과 직접 접하도록 구성될 수 있다는 것에 주의한다.

[0191] 게다가, 금속 화합물 영역(224)에 접속된 전극(도시되지 않음)이 제 2 전극(242b)에 접속될 수 있다. 이러한 경우에, 전극(254)과 금속 화합물 영역(224)에 접속된 전극이 배치되어 서로 중첩하게 될 때, 반도체 장치의 고집적화가 성취될 수 있다.

[0192] <반도체 장치를 제작하는 방법>

[0193] 다음, 반도체 장치를 제작하는 방법의 예가 설명될 것이다. 먼저, 하부 트랜지스터(260)를 제작하는 방법이 도 6a 내지 도 6d와 도 7a 내지 도 7c를 참조하여 이하로 설명되고, 이후 상부 트랜지스터(262)와 커패시터(264)를

제작하는 방법이 도 8a 내지 도 8d와 도 9a 내지 도 9c를 참조하여 설명될 것이다.

- [0194] <하부 트랜지스터를 제작하는 방법>
- [0195] 먼저, 반도체 재료를 포함하는 기판(200)이 준비된다(도 6a 참조). 반도체 재료를 포함하는 상기 기판(200)으로서, 실리콘, 탄화 실리콘, 등의 단결정 반도체 기판 또는 다결정 반도체 기판; 실리콘 게르마늄 등의 화합물 반도체 기판; SOI 기판; 등이 이용될 수 있다. 여기서, 단결정 실리콘 기판이 반도체 재료를 포함하는 상기 기판(200)으로 이용되는 경우의 예가 설명될 것이다.
- [0196] 일반적으로, "SOI 기판"이라는 용어는 실리콘 반도체층이 절연 표면 상에 제공되는 기판을 의미한다. 본 명세서 등에서, 상기 "SOI 기판"이라는 용어는 그의 카테고리에 또한 실리콘 이외의 재료를 이용하여 형성된 반도체층이 절연 표면 위에 제공되는 기판을 포함한다. 즉, 상기 "SOI 기판"에 포함된 반도체층은 실리콘 반도체층에 제한되지 않는다. 또한, 상기 SOI 기판은 반도체층이 절연층을 사이에 개재하여 유리 기판과 같은 절연 기판 위에 제공되는 구조를 갖는 기판을 또한 포함한다.
- [0197] 트랜지스터(260)가 더 고속에서 동작할 수 있으므로 반도체 재료를 포함하는 기판(200)으로서 단결정 실리콘 기판과 같은 단결정 반도체 기판을 이용하는 것이 바람직하다.
- [0198] 소자 분리 절연층들을 형성하기 위한 마스크가 되는 보호층(202)이 기판(200) 위에 형성된다(도 6a 참조). 상기 보호층(202)으로서, 예를 들면, 산화 실리콘, 질화 실리콘, 또는 산화질화 실리콘과 같은 재료를 포함하는 절연층이 이용될 수 있다. 이러한 단계 전 및 후에, 트랜지스터의 임계 전압을 제어하기 위하여 n-형 도전성을 부여하는 불순물 원자 또는 p-형 도전성을 부여하는 불순물 원자가 상기 기판(200)에 첨가될 수 있다는 것에 주의한다. 상기 기판(200)에 포함된 상기 반도체 재료가 실리콘일 때, 예를 들면, 인, 비소, 등이 n-형 도전성을 부여하는 불순물로 이용될 수 있고, 붕소, 알루미늄, 갈륨, 등이 p-형 도전성을 부여하는 불순물로 이용될 수 있다.
- [0199] 다음, 마스크로서 보호층(202)을 이용하여 에칭에 의해 상기 보호층(202)으로 덮이지 않은 영역(즉, 노출된 영역)의 기판(200)의 일부가 제거된다. 따라서, 다른 반도체 영역으로부터 떨어진 반도체 영역(204)이 형성된다(도 6b 참조). 에칭으로서, 건식 에칭이 채용되는 것이 바람직하지만, 습식 에칭이 채용될 수 있다. 에칭 가스 와 에천트는 에칭될 층의 재료에 따라 적절하게 선택될 수 있다.
- [0200] 이후, 절연층이 형성되어 반도체 영역(204)을 덮고, 상기 반도체 영역(204)과 중첩하는 영역의 절연층이 선택적으로 제거되어, 소자 분리 절연층(206)이 형성된다(도 6c 참조). 절연층은 산화 실리콘, 질화 실리콘, 산화질화 실리콘 등을 이용하여 형성된다. 절연층을 제거하는 방법으로서, 화학적 기계적 폴리싱(CMP), 에칭 처리, 등과 같은 폴리싱 처리가 주어질 수 있으며, 상기 처리들 중 임의의 것이 홀로 또는 함께 이용될 수 있다. 상기 보호층(202)은 상기 반도체 영역(204)의 형성 후 또는 상기 소자 분리 절연층(206)의 형성 후 제거된다는 것에 주의한다.
- [0201] 소자 분리 절연층(206)의 형성 방법으로서, 절연층이 선택적으로 제거되는 방법 뿐만 아니라 산소 등의 주입에 의해 절연 영역이 형성되는 방법이 이용될 수 있다는 것에 주의한다.
- [0202] 다음, 절연층이 반도체 영역(204)의 표면 상에 형성되고, 도전성 재료를 포함하는 층이 상기 절연층 위에 형성된다.
- [0203] 절연층이 나중에 게이트 절연층이 되고, 예를 들면, 반도체 영역(204)의 표면 상에서 열 처리(열 산화(thermal oxidation) 처리 또는 열 질화 처리)에 의해 형성될 수 있다. 고밀도 플라즈마 처리가 열 처리 대신 채용될 수 있다. 고밀도 플라즈마 처리는 예를 들면, He, Ar, Kr, 또는 Xe와 같은 희가스 와 산소, 산화 질소, 암모니아, 질소, 및 수소 중 임의의 것의 혼합 가스를 이용하여 수행될 수 있다. 말할 필요도 없이, 상기 절연층은 CVD 방법, 스퍼터링법, 등에 의해 형성될 수 있다. 절연층은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트(HfSi_xO_y(x>0, y>0)), 질소가 첨가되는 하프늄 실리케이트(HfSi_xO_y(x>0, y>0)), 질소가 첨가되는 하프늄 알루미늄네이트(HfAl_xO_y(x>0, y>0)), 등 중 임의의 것을 함유하는 막을 포함하는 단층 구조 또는 적층 구조를 갖는 것이 바람직하다. 상기 절연층은 예를 들면, 1nm 내지 100nm, 바람직하게는 10nm 내지 50nm의 두께를 가질 수 있다.
- [0204] 도전성 재료를 포함하는 층이 알루미늄, 구리, 티타늄, 탄탈, 또는 텅스텐과 같은 금속 재료를 이용하여 형성될 수 있다. 도전성 재료를 포함하는 층이 다결정 실리콘과 같은 반도체 재료를 이용하여 형성될 수 있다. 도전성 재료를 포함하는 층의 형성 방법에는 특별한 제한은 없으며, 증착법, CVD 방법, 스퍼터링법, 또는 스핀 코팅법과 같은 다양한 막 형성 방법들이 채용될 수 있다. 본 실시예는 도전성 재료를 포함하는 층이 금속 재료를 이용

하여 형성되는 경우의 예를 보여준다는 것에 주의한다.

- [0205] 그 후, 절연층과 도전성 재료를 포함하는 층이 선택적으로 에칭되어, 게이트 절연층(208)과 게이트 전극(210)이 형성된다(도 6c 참조).
- [0206] 다음, 인(P), 비소(As), 등이 반도체 영역(204)에 첨가되어, 채널 형성 영역(216) 및 불순물 영역들(220)이 형성된다(도 6d 참조). n-채널형 트랜지스터를 형성하기 위하여 인 또는 비소가 여기에 첨가되고; 붕소(B) 또는 알루미늄(Al)과 같은 불순물 원소가 p-채널형 트랜지스터가 형성되는 경우에 첨가될 수 있다는 것에 주의한다. 여기서, 첨가된 불순물의 농도는 적절하게 설정될 수 있으며; 반도체 소자의 크기가 극히 감소될 때에는 농도는 높게 설정되는 것이 바람직하다.
- [0207] 측벽 절연층이 게이트 전극(210)의 주변에 형성될 수 있어서 불순물 원소가 상이한 농도로 포함되는 불순물 영역이 형성될 수 있다는 것에 주의한다.
- [0208] 다음, 금속층(222)이 형성되어 게이트 전극(210), 불순물 영역들(220), 등을 덮는다(도 7a 참조). 진공 증착법, 스퍼터링법, 및 스핀 코팅법과 같은 다양한 막 형성 방법들 중 임의의 것이 금속층(222)의 형성 방법으로 적용 가능하다. 금속층(222)은 반도체 영역(204)에 포함된 반도체 재료와의 반응에 의하여 낮은 저항의 금속 화합물이 되는 금속 재료를 이용하여 형성되는 것이 바람직하다. 이러한 금속 재료로서, 예를 들면, 티타늄, 탄탈, 텅스텐, 니켈, 코발트, 백금, 등이 이용될 수 있다.
- [0209] 다음, 열 처리가 수행되어, 금속층(222)이 반도체 재료와 반응한다. 따라서, 불순물 영역들(220)과 접하는 금속 화합물 영역들(224)이 형성된다(도 7a 참조). 다결정 실리콘 등을 이용하여 게이트 전극(210)이 형성되는 경우에, 금속 화합물 영역이 또한 상기 금속층(222)과 접하는 상기 게이트 전극(210)의 영역에 형성된다는 것에 주의한다.
- [0210] 열 처리로서, 예를 들면, 플래시 램프(flash lamp)의 조사(irradiation)가 채용될 수 있다. 다른 열 처리 방법이 이용될 수 있다는 것은 말할 필요도 없지만, 금속 화합물의 형성시 화학적 반응의 제어가능성을 개선시키기 위하여 열 처리가 극히 단시간에 완성될 수 있는 방법이 이용되는 것이 바람직하다. 금속 화합물 영역들은 금속 재료와 반도체 재료의 반응에 의해 형성되고 충분히 높은 도전성을 갖는다는 것에 주의한다. 금속 화합물 영역들의 형성은 전기 저항을 충분히 감소시키고 소자 특성들을 개선시킬 수 있다. 금속 화합물 영역들(224)의 형성 후에 금속층(222)은 제거된다는 것에 주의한다.
- [0211] 이후, 상기 단계들에서 형성된 구성성분들을 덮도록 절연층(228)과 절연층(230)이 형성된다(도 7b 참조). 절연층(228)과 절연층(230)은 산화 실리콘, 산화질화 실리콘, 또는 산화 알루미늄과 같은 무기 절연 재료를 포함하는 재료를 이용하여 형성될 수 있다. 특히, 낮은 유전 상수(낮은-k) 재료를 이용하여 절연층(228)과 절연층(230)이 형성되는 것이 바람직하며, 그에 의해, 전극들 또는 배선들의 중첩에 의해 유발된 커패시턴스가 충분히 감소될 수 있다. 이러한 재료들 중 임의의 것을 포함하는 다공성 절연층이 상기 절연층(228)과 상기 절연층(230)을 위해 이용될 수 있다는 것에 주의한다. 다공성 절연층은 고밀도를 갖는 절연층보다 낮은 유전 상수를 갖고; 따라서, 전극들 또는 배선들로 인한 커패시턴스가 더욱 감소될 수 있다.
- [0212] 게다가, 질화산화 실리콘 또는 질화 실리콘과 같은, 대량의 질소를 함유하는 무기 절연 재료를 포함하는 층이 절연층(228) 또는 절연층(230)에 포함될 수 있다. 따라서, 하부 트랜지스터(260)에 포함될 재료에 함유된 물 또는 수소와 같은 불순물의 나중 형성되는 상부 트랜지스터(262)의 산화물 반도체층(244)으로의 진입이 방지될 수 있다. 이러한 경우에, 나중 단계에서 수행된 CMP 처리에 의해서만 대량의 질소를 함유하는 무기 절연 재료를 포함하는 층을 제거하는 것은 어려우며; 따라서, CMP 처리와 에칭 처리가 함께 이용되는 것이 바람직하다는 것에 주의한다.
- [0213] 예를 들어, 산화질화 실리콘 및 산화 실리콘이 각각 절연층(228)과 절연층(230)을 형성하기 위해 이용될 수 있다. 이러한 방식으로, 산화질화 실리콘 또는 산화 실리콘과 같은, 대량의 산소를 함유하는 무기 절연 재료만이 상기 절연층(228)과 상기 절연층(230)을 형성하기 위해 이용될 때, 나중 단계에서 절연층(228)과 절연층(230) 상에서 CMP 처리가 쉽게 수행될 수 있다.
- [0214] 절연층(228)과 절연층(230)의 적층 구조가 여기서 채용되었으나; 여기서 개시된 본 발명의 일 실시예는 그에 제한되지 않는다는 것에 주의한다. 단층 구조 또는 셋 또는 그 이상의 층들을 포함하는 적층 구조가 또한 이용될 수 있다. 예를 들어, 다음 구조가 채용될 수 있다: 산화질화 실리콘 및 산화 실리콘이 상기 절연층(228)과 상기 절연층(230)을 위해 각각 이용되고, 질화산화 실리콘막이 상기 절연층(228)과 상기 절연층(230) 사이에 형성된

다.

- [0215] 그 후에, 트랜지스터(262)의 형성 전의 처리로서, CMP 처리가 절연층(228)과 절연층(230) 상에서 수행되어, 상기 절연층(228)과 상기 절연층(230)의 표면들이 평탄화되고 게이트 전극(210)의 상부 표면이 노출된다(도 7c 참조).
- [0216] CMP 처리는 한번 또는 복수회 수행될 수 있다. CMP 처리가 복수회 수행될 때, 제 1 폴리싱이 높은 폴리싱 속도로 수행되고, 뒤이어 낮은 폴리싱 속도의 마지막 폴리싱이 수행되는 것이 바람직하다. 상이한 폴리싱 속도들을 갖는 폴리싱을 조합하는 것에 의해, 상기 절연층(228)과 상기 절연층(230)의 표면들의 평탄화가 더욱 개선될 수 있다.
- [0217] 대량의 질소를 함유하는 무기 절연 재료가 절연층(228)과 절연층(230)의 적층 구조에 포함되는 경우에, CMP 처리에 의해서만 무기 절연 재료를 제거하는 것은 어려우며; 따라서, CMP 처리와 에칭 처리가 함께 사용되는 것이 바람직하다. 대량의 질소를 함유하는 무기 절연 재료를 위한 에칭 처리로서, 건식 에칭 또는 습식 에칭이 이용될 수 있다. 그러나, 소자들의 미세화의 관점에서, 건식 에칭이 이용되는 것이 바람직하다. 게다가, 에칭 조건들(에칭 가스, 에천트, 에칭 시간, 온도, 등)이 적절하게 설정되어 각각의 절연층들의 에칭 속도들이 균일해지고 게이트 전극(210)으로의 높은 에칭 선택도(selectivity)가 얻어질 수 있는 것이 바람직하다. 또한, 건식 에칭을 위한 에칭 가스로서, 예를 들어, 플루오르 원자를 함유하는 물질(삼불화메탄(CHF₃) 등), 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가되는 플루오르 원자를 함유하는 물질, 등이 이용될 수 있다.
- [0218] 게이트 전극(210)의 상부 표면이 절연층(230)으로부터 노출될 때, 상기 게이트 전극(210)의 상부 표면과 상기 절연층(230)의 표면이 하나의 표면에 제공되는 것이 바람직하다.
- [0219] 전극, 배선, 반도체층, 절연층, 등이 상기 단계들 전 및 후에 또한 형성될 수 있다는 것에 주의한다. 예를 들어, 금속 화합물 영역들(224)의 일부와 접촉되고 트랜지스터(260)의 소스 또는 드레인 전극으로 기능하는 전극이 형성될 수 있다. 게다가, 절연층과 도전층이 적층되는 다층 배선 구조가 배선 구조로 채용될 수 있으며, 따라서 고집적화된 반도체 장치가 실현될 수 있다.
- [0220] <상부 트랜지스터를 제작하는 방법>
- [0221] 이후, 도전층이 게이트 전극(210), 절연층(228), 절연층(230), 등의 위에 형성되고, 상기 도전층이 선택적으로 에칭되어, 소스 또는 드레인 전극으로 기능하는 제 1 전극(242a)과 소스 또는 드레인 전극으로 기능하는 제 2 전극(242b)이 형성된다(도 8a 참조). 상기 제 1 전극(242a)과 상기 제 2 전극(242b)은 실시예 2에서 설명된 소스 및 드레인 전극들로 기능하는 전극들의 것과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 따라서, 상세한 설명들을 위하여 실시예 2가 참조될 수 있다.
- [0222] 이 때, 에칭이 수행되어 제 1 전극(242a)과 제 2 전극(242b)의 단부들이 테이퍼 형상들(tapered shapes)을 갖는다. 상기 제 1 전극(242a)과 상기 제 2 전극(242b)의 단부들이 테이퍼 형상들을 갖는 경우에, 단부들은 나중에 형성될 산화물 반도체층에 의해 쉽게 덮여질 수 있고 상기 산화물 반도체층의 단절(disconnection)이 방지될 수 있다. 또한, 나중에 형성될 게이트 절연층의 커버리지(coverage)가 개선되고 게이트 절연층의 단절이 방지될 수 있다.
- [0223] 여기서, 테이퍼각(taper angle)은, 예를 들면, 30° 내지 60°이다. 층이 단면에 수직한 방향(기판의 표면과 수직한 평면)으로부터 관찰되는 경우에 테이퍼각은 테이퍼드 모양을 갖는 층(예를 들면, 제 1 전극(242a))의 측 표면과 하부 표면에 의해 형성된 틸트각(tilt angle)이라는 것에 주의한다.
- [0224] 상부 트랜지스터의 채널 길이(L)는 제 1 전극(242a)의 하부 에지부와 제 2 전극(242b)의 하부 에지부 사이의 거리에 의해 결정된다. 25nm보다 작은 채널 길이(L)를 갖는 트랜지스터가 형성되는 경우에 사용된 마스크를 형성하기 위한 광 노출을 위하여, 그의 파장이 몇 나노미터 내지 몇십 나노미터만큼 짧은 초자외선 광을 이용하는 것이 바람직하다는 것에 주의한다. 초자외선 광에 의한 광 노출에서, 해상도는 높고 초점 심도는 크다. 따라서, 나중에 형성될 트랜지스터의 채널 길이(L)는 10nm 내지 1000nm(1 μ m)일 수 있고, 그에 의해 회로의 동작 속도가 증가될 수 있다. 또한, 미세화가 반도체 장치의 낮은 전력 소비를 이끌 수 있다.
- [0225] 여기서, 트랜지스터(262)의 제 1 전극(242a)과 트랜지스터(260)의 게이트 전극(210)은 서로 직접 접촉된다(도 8a 참조).
- [0226] 다음, 절연층(243a)과 절연층(243b)이 제 1 전극(242a)과 제 2 전극(242b) 위에 각각 형성된다(도 8b 참조).

상기 절연층(243a)과 상기 절연층(243b)이 다음 방식으로 형성된다: 제 1 전극(242a)과 제 2 전극(242b)을 덮는 절연층이 형성되고 선택적으로 에칭된다. 상기 절연층(243a)과 상기 절연층(243b)은 나중에 형성된 게이트 전극의 일부와 중첩하도록 형성된다. 이러한 절연층이 제공될 때, 게이트 전극과 소스 또는 드레인 전극 사이의 커패시턴스가 감소될 수 있다.

- [0227] 절연층(243a)과 절연층(243b)이 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 또는 산화 알루미늄과 같은 무기 절연 재료를 포함하는 재료를 이용하여 형성될 수 있다. 특히, 게이트 전극과 소스 또는 드레인 전극 사이의 커패시턴스가 충분히 감소될 수 있기 때문에 낮은 유전 상수를 갖는 재료(낮은-k 재료)가 상기 절연층(243a)과 상기 절연층(243b)을 형성하는데 사용되는 것이 바람직하다. 이러한 재료를 이용하여 형성된 다공성 절연층이 상기 절연층(243a)과 상기 절연층(243b)으로 이용될 수 있다는 것에 주의한다. 다공성 절연층은 고밀도를 갖는 절연층보다 낮은 유전 상수를 가지며; 따라서, 게이트 전극과 소스 또는 드레인 전극 사이의 커패시턴스가 더욱 감소될 수 있다.
- [0228] 게이트 전극과 소스 또는 드레인 전극 사이의 커패시턴스의 감소의 관점에서, 절연층(243a)과 절연층(243b)이 형성되는 것이 바람직하지만; 상기 절연층(243a)과 상기 절연층(243b)이 없는 구조가 채용될 수 있다는 것에 주의한다.
- [0229] 다음, 제 1 전극(242a)과 제 2 전극(242b)을 덮도록 산화물 반도체층이 형성되고, 이후 산화물 반도체층이 선택적으로 에칭되어, 산화물 반도체층(244)이 형성된다(도 8c 참조). 상기 산화물 반도체층(244)이 실시예 2에서 설명된 산화물 반도체층의 것과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 따라서, 상세한 설명들을 위하여 실시예 2가 참조될 수 있다.
- [0230] 실시예 2에서 설명된 것과 같이, 산화물 반도체층이 스퍼터링법에 의해 형성되기 전에, 주입된 아르곤 가스로 플라즈마가 생성되는 역 스퍼터링이 수행되는 것이 바람직하고, 따라서 산화물 반도체층이 형성될 표면(예를 들면, 절연층(230)의 표면)에 부착된 먼지가 제거된다는 것에 주의한다.
- [0231] 열 처리(제 1 열 처리)가 형성된 산화물 반도체층 상에 수행된다. 열 처리(제 1 열 처리)의 방법으로, 실시예 2에서 설명된 장치들 및 방법들 중 임의의 것이 적용될 수 있다. 따라서, 상세한 설명들을 위하여 실시예 2가 참조될 수 있다.
- [0232] 할로겐 원소를 함유하는 물질이 막 형성 동안 가스 상태로 막 형성 챔버로 주입되고, 막 형성 챔버에 남아있는 수소 원자를 함유하는 불순물과 반응하여, 상기 수소 원자를 함유하는 안정한 물질로 변화되고, 이후 배기되는 방법에 따라, 수소 원자를 함유하는 안정한 물질이 산화물 반도체층의 금속 원자에 수소 원자를 제공하지 않고 배기된다. 따라서, 수소 원자 등이 상기 산화물 반도체층으로 들어가는 현상이 방지될 수 있다. 결과적으로, 매우 정제된 산화물 반도체층이 형성될 수 있다. 상기 잔류 불순물들이 감소되는 i-형(진성) 또는 실질적으로 i-형 산화물 반도체층을 포함하는 트랜지스터에서, 임계 전압의 편차가 억제될 수 있고 상기 오프 상태 전류가 감소될 수 있는데, 즉, 탁월한 특성들이 성취될 수 있다.
- [0233] 산화물 반도체층의 에칭은 열 처리(제 1 열 처리) 전 또는 후에 수행될 수 있다는 것에 주의한다. 건식 에칭이 소자의 미세화의 관점에서 바람직하지만, 습식 에칭이 또한 이용될 수 있다. 에칭 가스 및 에칭액은 에칭될 층의 재료에 따라 적절하게 선택될 수 있다. 소자의 누출이 문제가 아닌 경우에, 산화물 반도체층은 습형 산화물 반도체층으로 처리될 필요가 없다는 것에 주의한다.
- [0234] 다음, 산화물 반도체층(244)과 접하는 게이트 절연층(246)이 형성되고, 이후 게이트 전극(248a)과 전극(248b)이 각각 게이트 절연층(246) 위의 산화물 반도체층(244)과 중첩하는 영역과 제 1 전극(242a)과 중첩하는 영역에서 형성된다(도 8d 참조). 게이트 절연층(246)은 실시예 2에서 설명된 게이트 절연층의 것과 유사한 재료 및 방법을 이용하여 형성될 수 있다.
- [0235] 형성된 게이트 절연층(246)은 불활성 가스 분위기 또는 산소 분위기 하에서 제 2 열 처리를 거치게 되는 것이 바람직하다. 상기 제 2 열 처리는 실시예 2에서 설명된 것과 유사한 방식으로 수행될 수 있다. 상기 제 2 열 처리는 트랜지스터의 전기적 특성들의 변동을 감소시킬 수 있다. 또한, 상기 게이트 절연층(246)이 산소를 함유하는 경우에, 산소가 산화물 반도체층(244)의 산소 결손들을 감소시키도록 산화물 반도체층(244)으로 공급될 수 있으며, 따라서 i-형(진성) 또는 실질적으로 i-형 산화물 반도체층이 형성될 수 있다.
- [0236] 본 실시예에서, 게이트 절연층(246)의 형성 후에 제 2 열 처리가 수행되고; 상기 제 2 열 처리의 타이밍은 이에 제한되지 않는다는 것에 주의한다. 예를 들어, 상기 제 2 열 처리가 게이트 전극의 형성 후에 형성될 수 있다.

대안적으로, 상기 제 2 열 처리에 제 1 열 처리를 겹칠(doubling as)될 수 있다.

- [0237] 실시예 2에서 설명된 게이트 전극(611)의 것과 유사한 재료 및 방법을 이용하여 게이트 전극(248a)이 형성될 수 있다. 게다가, 게이트 전극(248a)의 형성과 동시에, 전극(248b)이 도전층을 선택적으로 에칭하는 것에 의해 형성될 수 있다. 상세한 설명들을 위해 실시예 2가 참조될 수 있다.
- [0238] 다음, 절연층(250)과 절연층(252)이 게이트 절연층(246), 게이트 전극(248a), 및 전극(248b) 위에 형성된다(도 9a 참조). 절연층(250)과 절연층(252)은 실시예 1에서 설명된 절연층(507)과 보호 절연층(508)의 것과 유사한 재료들 및 방법들을 이용하여 형성될 수 있다. 따라서, 상세한 설명들을 위하여 실시예 1이 참조될 수 있다.
- [0239] 다음, 제 2 전극(242b)에 도달하는 개구부가 게이트 절연층(246), 절연층(250), 및 절연층(252)에 형성된다(도 9b 참조). 개구부는 마스크 등을 이용한 선택적 에칭에 의해 형성된다.
- [0240] 이후, 전극(254)이 개구부에 형성되고, 전극(254)과 접하는 배선(256)이 절연층(252) 위에 형성된다(도 9c 참조).
- [0241] 예를 들어, 전극(254)이 다음 방식으로 형성될 수 있다: 도전층이 PVD법, CVD법, 등에 의해 개구부를 포함하는 영역에 형성되고, 이후, 도전층이 에칭 처리, CMP, 등에 의해 부분적으로 제거된다.
- [0242] 보다 구체적으로, PVD법에 의해 개구부들을 포함하는 영역에 얇은 티타늄막이 형성되고 CVD법에 의해 얇은 질화 티타늄막이 형성되며, 이후 텅스텐막이 형성되어 개구부로 매립되는(embedded) 방법을 채용하는 것이 바람직하다. 여기서, PVD 법에 의해 형성된 티타늄막은, 하부 전극(여기서, 제 2 전극(242b)) 등과의 접촉 저항을 감소시키기 위하여, 티타늄막이 형성되는 표면 상에서 형성된 산화물막(예를 들면, 자연 산화물막)을 감소시키는 기능을 갖는다. 티타늄막의 형성 후에 형성된 질화 티타늄막은 도전성 재료의 확산을 막는 배리어 기능을 갖는다. 배리어막이 티타늄, 질화 티타늄, 등을 이용하여 형성된 후, 구리막이 평탄화에 의해 형성될 수 있다.
- [0243] 전극(254)이 도전층의 일부를 제거하는 것에 의해 형성되는 경우에, 도전층의 표면이 처리되어 평탄해지는 것이 바람직하다는 것에 주의한다. 예를 들어, 얇은 티타늄막 또는 얇은 질화 티타늄막이 개구부들을 포함하는 영역에 형성되고 이후 텅스텐막이 개구부에 매립되도록 형성될 때, 과잉 텅스텐, 티타늄, 질화 티타늄, 등이 제거될 수 있으며 표면의 평탄화가 다음 CMP 처리에 의해 개선될 수 있다. 전극(254)의 표면을 포함하는 표면이 이러한 방식으로 평탄화되는 경우에, 전극, 배선, 절연층, 반도체층, 등이 나중 단계들에서 양호하게 형성될 수 있다.
- [0244] 실시예 2에서 설명된 게이트 전극(611)을 포함하는 배선의 것과 유사한 재료 및 방법을 이용하여 배선(256)이 형성될 수 있다. 상세한 설명들을 위해 실시예 2가 참조될 수 있다.
- [0245] 상기 단계들을 통하여, 매우 정제된 산화물 반도체층(244)을 포함하는 트랜지스터(262)와 커패시터(264)가 완성된다.
- [0246] 매우 정제된 진성 산화물 반도체층(244)의 사용으로, 트랜지스터의 오프 상태 전류가 충분히 감소될 수 있다. 이후, 이러한 트랜지스터를 이용하는 것에 의해, 극히 장시간 동안 메모리 데이터가 저장될 수 있는 반도체 장치가 얻어질 수 있다.
- [0247] 예로서 상술된 본 실시예의 방법을 이용하여, 산화물 반도체 이외의 반도체 재료를 포함하는 하부 트랜지스터와 산화물 반도체를 포함하는 트랜지스터를 포함하는 상부 반도체 장치가 제작될 수 있다.
- [0248] 게이트 전극(210)과 제 1 전극(242a)이 서로 직접 접촉될 때, 접촉 면적이 감소될 수 있으므로, 반도체 장치의 더 높은 집적화가 성취될 수 있다. 따라서, 메모리 장치로 이용될 수 있는 반도체 장치의 단위 면적당 저장 용량이 증가될 수 있다.
- [0249] 본 실시예에서 설명된 구조들, 방법들, 등은 다른 실시예들에서 설명된 구조들, 방법들, 등의 임의의 것과 적절하게 조합될 수 있다.
- [0250] [실시예 4]
- [0251] 본 실시예에서, 여기서 개시된 본 발명의 일 실시예에 따른 반도체 장치의 응용 예들이 도 10a1, 도 10a2, 및 도 10b를 참조하여 설명될 것이다. 여기서, 메모리 장치의 예들이 설명될 것이다. 회로도에서, 트랜지스터가 산화물 반도체를 포함한다는 것을 나타내기 위하여 "OS"가 트랜지스터 옆에 기록된다.
- [0252] 도 10a1에 도시된 반도체 장치에서, 제 1 배선(제 1 라인)이 트랜지스터(700)의 소스 전극으로 전기적으로 접속되고, 제 2 배선(제 2 라인)이 트랜지스터(700)의 드레인 전극으로 전기적으로 접속된다. 제 3 배선(제 3 라

인)이 트랜지스터(710)의 소스 전극과 드레인 전극 중 하나로 전기적으로 접속되고, 제 4 배선(제 4 라인)이 상기 트랜지스터(710)의 게이트 전극으로 전기적으로 접속된다. 제 5 배선(제 5 라인)이 커패시터(720)의 전극들 중 하나로 전기적으로 접속된다. 상기 트랜지스터(700)의 게이트 전극과 상기 트랜지스터(710)의 소스 전극 및 드레인 전극 중 다른 하나가 커패시터(720)의 전극들 중 다른 하나로 전기적으로 접속된다.

[0253] 여기서, 산화물 반도체를 포함하는 트랜지스터가 트랜지스터(710)로 이용된다. 여기서, 산화물 반도체를 포함하는 트랜지스터로서, 예를 들면, 상기 실시예에서 설명된 트랜지스터(262)가 이용될 수 있다. 산화물 반도체를 포함하는 트랜지스터는 상당히 낮은 오프 상태 전류의 특성을 갖는다. 따라서, 트랜지스터(710)가 꺼질 때, 상기 트랜지스터(700)의 게이트 전극의 포텐셜이 극히 장시간 동안 유지될 수 있다. 커패시터(720)를 제공하는 것에 의해, 트랜지스터(700)의 게이트 전극에 주어진 전하의 유지와 유지된 데이터의 관독이 쉽게 수행될 수 있다. 여기서, 커패시터(720)로서, 예를 들어, 상기 실시예에서 설명된 커패시터(264)가 이용될 수 있다.

[0254] 게다가, 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터가 트랜지스터(700)로 이용된다. 산화물 반도체 이외의 반도체 재료로서, 예를 들면, 실리콘, 게르마늄, 실리콘 게르마늄, 탄화 실리콘, 갈륨 비소, 등이 이용될 수 있고, 단결정 반도체가 사용되는 것이 바람직하다. 대안적으로, 유기 반도체 재료 등이 이용될 수 있다. 이러한 반도체 재료를 포함하는 트랜지스터는 고속으로 쉽게 동작할 수 있다. 여기서, 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터로서, 예를 들면, 상기 실시예에서 설명된 트랜지스터(260)가 이용될 수 있다.

[0255] 대안적으로, 도 10b에 도시된 바와 같은 커패시터(720)가 없는 구조가 채용될 수 있다.

[0256] 도 10a에 도시된 반도체 장치는 트랜지스터(700)의 게이트 전극의 포텐셜이 유지될 수 있는 장점이 사용되는 이러한 방식으로 데이터를 기록, 유지 및 관독할 수 있다.

[0257] 먼저, 데이터의 기록과 유지가 설명될 것이다. 먼저, 제 4 배선의 포텐셜이 트랜지스터(710)가 온(on)이 되는 포텐셜로 설정되어, 트랜지스터(710)가 온이 된다. 따라서, 제 3 배선의 포텐셜이 트랜지스터(700)의 게이트 전극과 커패시터(720)로 공급된다. 즉, 미리 정해진 전하가 상기 트랜지스터(700)의 게이트 전극으로 주어진다(기록). 여기서, 상이한 포텐셜들을 공급하는 두 전하들(이후로, 낮은 포텐셜을 공급하는 전하는 전하(Q_L)로 불리고 높은 포텐셜을 공급하는 전하는 전하(Q_H)로 불린다) 중 하나가 상기 트랜지스터(700)의 게이트 전극으로 주어진다. 셋 또는 그 이상의 상이한 포텐셜들을 주는 전하들이 저장 커패시터를 개선시키기 위해 인가될 수 있다는 것에 주의한다. 그 후, 제 4 배선의 포텐셜이 상기 트랜지스터(710)가 오프(off)되는 포텐셜로 설정되어, 상기 트랜지스터(710)가 턴 오프된다. 따라서, 상기 트랜지스터(700)의 게이트 전극으로 주어진 전하가 보유된다(보유).

[0258] 트랜지스터(710)의 오프 상태 전류가 상당히 낮기 때문에, 트랜지스터(700)의 게이트 전극의 전하가 장시간 동안 보유된다.

[0259] 둘째로, 데이터의 관독이 설명될 것이다. 미리 정해진 포텐셜(일정한 포텐셜)이 제 1 배선으로 공급되는 동안 적절한 포텐셜(관독 포텐셜)을 제 5 배선으로 공급할 때, 제 2 배선의 포텐셜은 트랜지스터(700)의 게이트 전극에서 유지된 전하의 양에 따라 변화한다. 이는 일반적으로, 트랜지스터(700)가 n-채널형 트랜지스터일 때, Q_H 가 상기 트랜지스터(700)의 상기 게이트 전극으로 주어진 경우의 명백한 임계 전압($V_{th,H}$)이 Q_L 이 상기 트랜지스터(700)의 상기 게이트 전극으로 주어지는 경우의 명백한 임계 전압($V_{th,L}$)보다 낮기 때문이다. 여기서, 명백한 임계 전압이란 상기 트랜지스터(700)를 턴 온하기 위해 필요한, 제 5 배선의 포텐셜을 의미한다. 따라서, 제 5 배선의 포텐셜이 $V_{th,H}$ 와 $V_{th,L}$ 사이의 중간 포텐셜인 포텐셜(V_0)로 설정될 때, 상기 트랜지스터(700)의 게이트 전극으로 주어진 전하가 결정될 수 있다. 예를 들어, Q_H 가 기록에 주어지는 경우에, 제 5 배선의 포텐셜이 $V_0(>V_{th,H})$ 으로 설정될 때, 상기 트랜지스터(700)가 턴 온된다. Q_L 이 기록에 주어지는 경우에, 제 5 배선의 포텐셜이 $V_0(<V_{th,L})$ 로 설정되는 때에라도, 트랜지스터(700)는 오프 상태에 머무른다. 따라서, 유지된 데이터가 제 2 배선의 포텐셜로부터 관독될 수 있다.

[0260] 메모리 셀들이 이용되도록 배열되는 경우에, 의도된 메모리 셀로부터만 데이터를 관독하는 것이 필요하다는 것에 주의한다. 따라서, 미리 정해진 메모리 셀의 데이터가 관독되고 다른 메모리 셀들의 데이터가 관독되지 않기 위하여, 트랜지스터들(700)이 메모리 셀들 중에 병렬로 접속되는 경우에, 게이트 전극의 상태에 상관없이 트랜지스터(700)가 오프되는 포텐셜, 즉, $V_{th,H}$ 보다 낮은 포텐셜이 그의 데이터가 관독되지 않은 메모리 셀들의 제 5

배선들로 공급될 수 있다. 트랜지스터들(700)이 메모리 셀들 사이에서 직렬로 접속되는 경우에, 게이트 전극의 상태에 상관없이 상기 트랜지스터(700)가 온되는 포텐셜, 즉, V_{thL} 보다 높은 포텐셜이 그의 데이터가 관독되지 않은 메모리 셀들의 제 5 배선들로 공급될 수 있다.

[0261] 세번째로, 데이터의 재기록이 설명될 것이다. 데이터의 재기록은 상기 데이터의 기록 및 보유의 것과 유사한 방식으로 수행된다. 즉, 제 4 배선의 포텐셜이 트랜지스터(710)가 온이 되는 포텐셜로 설정되어, 트랜지스터(710)가 온된다. 따라서, 제 3 배선의 포텐셜(새로운 데이터와 관련된 포텐셜)이 상기 트랜지스터(700)의 게이트 전극과 상기 커패시터(720)로 공급된다. 그 후에, 제 4 기록의 포텐셜이 트랜지스터(710)가 오프가 되는 포텐셜로 설정되어, 트랜지스터(710)가 턴 오프된다. 따라서, 새로운 데이터와 관련된 전하가 상기 트랜지스터(700)의 상기 게이트 전극으로 주어진다.

[0262] 여기서 개시된 본 발명에 따른 반도체 장치에서, 상술된 바와 같이 데이터의 다른 기록에 의해 데이터가 직접 재기록될 수 있다. 따라서, 플래시 메모리 등에서 요구된 높은 전압의 이용으로 플로팅 게이트로부터 전하를 추출하는 것은 불필요하고; 따라서, 소거 동작으로 인한 동작 속도의 감소가 억제될 수 있다. 다시 말하면, 반도체 장치의 고속 동작이 구현될 수 있다.

[0263] 트랜지스터(710)의 소스 전극 또는 드레인 전극이 트랜지스터(700)의 게이트 전극에 전기적으로 접속되어, 비휘발성 메모리 소자로 이용되는 플로팅 게이트 트랜지스터의 플로팅 게이트의 것과 유사한 기능을 갖게 된다는 것에 주의한다. 따라서, 상기 트랜지스터(710)의 소스 전극 또는 드레인 전극이 트랜지스터(700)의 게이트 전극으로 전기적으로 접속되는 도면의 일부가 일부 경우들에서 플로팅 게이트부(FG)라고 불린다. 상기 트랜지스터(710)가 오프일 때, 플로팅 게이트부(FG)는 절연체에 매립되는 것으로 여겨질 수 있고 따라서 플로팅 게이트부(FG)에서 전하가 보유된다. 산화물 반도체를 포함하는 상기 트랜지스터(710)의 오프 상태 전류의 양은 실리콘 반도체 등을 포함하는 트랜지스터의 오프 상태 전류의 양의 십만분의 일보다 낮거나 같고; 따라서 상기 트랜지스터(710)로부터의 누설 전류로 인해 플로팅 게이트부(FG)에 누적된 전하의 손실은 무시할만 하다. 즉, 산화물 반도체를 포함하는 트랜지스터(710)로, 전력이 공급되지 않고 데이터를 유지할 수 있는 비휘발성 메모리 장치가 구현될 수 있다.

[0264] 예를 들어, 트랜지스터(710)의 오프 상태 전류가 실온에서 10zA(1 zA(zeptoampere)는 1×10^{-21} A)보다 낮거나 같고 커패시터(720)의 커패시턴스는 약 10fF일 때, 데이터는 10^4 초 또는 그보다 길게 유지될 수 있다. 말할 필요도 없이, 보유 시간은 트랜지스터 특성들과 커패시턴스 값에 의존한다.

[0265] 또한, 그러한 경우에, 종래의 플로팅 게이트 트랜지스터에서 주목받지 못한, 게이트 절연막(터널 절연막)의 열화 문제가 일어나지 않는다. 즉, 종래에는 문제라고 여겨졌던, 플로팅 게이트로의 전자의 주입으로 인한 게이트 절연막의 열화가 해결될 수 있다. 이는 이론적으로 기록 횟수에 제한이 없다는 것을 의미한다. 또한, 종래 플로팅 게이트 트랜지스터에서 기록 또는 소거를 위해 필요한 고전압이 필요하지 않다.

[0266] 도 10a1의 반도체 장치의 트랜지스터들과 같은 구성성분들은 도 10a2에 도시된 바와 같은 저항 및 커패시터를 포함하는 것으로 여겨질 수 있다. 즉, 도 10a2에서, 트랜지스터(700)와 커패시터(720)는 각각 저항과 커패시터를 포함하는 것으로 여겨진다. R1과 C1은 각각 커패시터(720)의 저항 값과 커패시턴스 값을 나타낸다는 것에 주의한다. 저항 값(R1)은 커패시터(720)에 포함된 절연층의 저항 값에 대응한다. 또한, R2와 C2는 각각 상기 트랜지스터(700)의 저항 값과 커패시턴스 값을 나타낸다. 저항 값(R2)은 상기 트랜지스터(700)가 온일 때 게이트 절연층의 저항 값에 대응한다. 상기 커패시턴스 값(C2)은 소위 게이트 커패시턴스(게이트 전극과 소스 전극 및 드레인 전극의 각각의 사이에서 형성된 커패시턴스 및 게이트 전극과 채널 형성 영역 사이에서 형성된 커패시턴스)의 커패시턴스 값에 대응한다.

[0267] 트랜지스터(710)가 오프인 경우에 소스 전극과 드레인 전극 사이의 저항 값(또한 유효 저항이라고도 불림)은 ROS에 의해 표기된다. 상기 트랜지스터(710)의 게이트 누설이 상당히 작은 조건 하에서 R1과 R2가 $R1 \geq ROS$ 및 $R2 \geq ROS$ 의 관계들을 만족할 때, 전하를 보유하는 기간(또한 데이터 보유(retention) 기간이라고도 불림)이 상기 트랜지스터(710)의 오프 상태 전류에 의해 주로 결정된다.

[0268] 한편, 상기 관계들이 만족되지 않을 때, 상기 트랜지스터(710)의 오프 상태 전류가 충분히 낮을 때라도 충분한 보유 기간을 확보하는 것은 어렵다. 이는 상기 트랜지스터(710)의 오프 상태 전류 이외의 누설 전류(예를 들면, 소스 전극과 게이트 전극 사이에서 생성된 누설 전류)가 높기 때문이다. 따라서, 본 실시예에서 개시된 반도체 장치가 상기 관계들을 만족하는 것이 바람직하다.

- [0269] 또한, C1과 C2는 $C1 \geq C2$ 의 관계를 만족하는 것이 바람직하다. 이는, C1이 크다면, 제 5 배선에 의해 플로팅 게이트부(FG)의 포텐셜을 제어할 때 제 5 배선의 포텐셜이 플로팅 게이트부(FG)로 효율적으로 공급될 있기 때문이며, 따라서 제 5 배선으로 공급된 포텐셜들 사이(예를 들면, 관독 포텐셜과 비-관독 포텐셜)의 차이가 작게 억제될 수 있다.
- [0270] 상기 관계가 만족될 때, 보다 양호한 반도체 장치가 구현될 수 있다. R1과 R2는 트랜지스터(700)의 게이트 절연층과 커패시터(720)의 절연층에 의해 제어된다는 것에 주의한다. C1과 C2에 대해서도 동일하게 말할 수 있다. 따라서, 게이트 절연층의 재료, 두께, 등이 상기 관계들을 만족하도록 적절하게 설정되는 것이 바람직하다.
- [0271] 본 실시예의 반도체 장치에서, 플로팅 게이트부(FG)는 플래시 메모리 등의 플로팅 게이트 트랜지스터의 플로팅 게이트의 것과 동등한 기능을 갖지만, 본 실시예의 플로팅 게이트부(FG)는 플래시 메모리 등의 플로팅 게이트의 것과 본질적으로 상이한 특성을 갖는다. 플래시 메모리에서, 게이트를 제어하기 위해 인가된 전압이 높기 때문에, 포텐셜이 인근 셀의 플로팅 게이트에 악영향을 끼치는 것을 방지하기 위하여 셀들 사이에 적절한 거리를 유지할 필요가 있다. 이는 반도체 장치들의 고집적화를 저해하는 요소들 중 하나이다. 이러한 요소는 터널링 전류가 높은 전계의 인가에 의해 생성되는, 플래시 메모리의 기본 원리에 기인한다.
- [0272] 또한, 플래시 메모리의 상기 원리 때문에, 절연막의 열화가 진행되고 따라서 재기록 횟수들(대략 10^4 내지 10^5 회) 상의 제한의 다른 문제가 발생한다.
- [0273] 여기서 개시된 본 발명에 따른 반도체 장치는 산화물 반도체를 포함하는 트랜지스터의 스위칭에 의해 동작하며 터널링 전류에 의한 전하 주입의 상기 원리를 이용하지 않는다. 즉, 플래시 메모리와 달리, 전하의 주입을 위한 높은 전계는 필요하지 않다. 따라서, 고집적화를 용이하게 하는, 인근 셀 상의 제어 게이트로부터의 높은 전계의 영향을 고려할 필요가 없다.
- [0274] 또한, 터널링 전류에 의한 전하 주입이 사용되지 않기 때문에, 메모리 셀의 열화의 원인이 존재하지 않는다. 다시 말해, 여기서 개시된 본 발명에 따른 반도체 장치는 플래시 메모리보다 높은 내구성과 신뢰성을 갖는다.
- [0275] 게다가, 본 발명에 따른 반도체 장치는 높은 전계가 필요하지 않고 (부스터 회로(booster circuit)와 같은) 큰 주변 회로가 필요하지 않은 플래시 메모리에 대한 장점들을 갖는다.
- [0276] 커패시터(720)에 포함된 절연층의 유전 상수($\epsilon r1$)가 트랜지스터(700)에 포함된 절연층의 유전 상수($\epsilon r2$)와 다른 경우에, $2 \cdot S2 \geq S1$ (바람직하게, $S2 \geq S1$)이 만족되면서 $C1 \geq C2$ 를 만족시키는 것은 쉽고, 여기서 S1은 상기 커패시터(720)에 포함된 절연층의 면적이고 S2는 트랜지스터(700)의 게이트 커패시턴스를 형성하는 절연층의 면적이다. 즉, 상기 커패시터(720)에 포함된 상기 절연층의 면적이 작다는 것이 만족되면서 $C1 \geq C2$ 를 만족시키는 것은 쉽다. 구체적으로, 예를 들어, 산화 하프늄과 같은 높은-k 재료로 형성된 막 또는 산화 하프늄과 같은 높은 k-재료로 형성된 막과 산화물 반도체로 형성된 막을 포함하는 적층이 커패시터(720)에 포함된 절연층을 위해 이용되어 $\epsilon r1$ 이 10 또는 그 이상, 바람직하게는 15 또는 그 이상으로 설정될 수 있고, 산화 실리콘이 게이트 커패시턴스를 형성하는 절연층으로 이용되어 $\epsilon r2$ 가 3 내지 4로 설정될 수 있다.
- [0277] 이러한 구조들의 조합은 여기서 개시된 본 발명에 따른 반도체 장치의 더 높은 집적화를 가능하게 한다.
- [0278] 전자들이 다수 캐리어들인 n-채널형 트랜지스터가 상기 서술에서 이용되며; 정공들이 다수 캐리어들인 p-채널형 트랜지스터가 n-채널형 트랜지스터 대신 이용될 수 있다는 것은 말할 필요가 없다는 것에 주의한다.
- [0279] 상술된 바와 같이, 여기서 개시된 본 발명의 일 실시예에 따른 반도체 장치는 오프 상태에서 소스 및 드레인 사이의 누설 전류(오프 상태 전류)가 작은 기록 트랜지스터와, 상기 기록 트랜지스터의 것과는 상이한 반도체 재료를 포함하는 관독 트랜지스터와, 커패시터를 포함하는 비휘발성 메모리 셀을 갖는다.
- [0280] 기록 트랜지스터의 오프 상태 전류는 바람직하게는 주위 온도(예를 들면, 25°C)에서 바람직하게는 100 zA ($1 \times 10^{-19} \text{ A}$)보다 낮거나 같고, 더 바람직하게는 10 zA ($1 \times 10^{-20} \text{ A}$)보다 작거나 같고, 더욱 더 바람직하게는 1 zA ($1 \times 10^{-21} \text{ A}$)보다 작거나 같다. 일반적인 실리콘 반도체의 경우에, 이러한 낮은 오프 상태 전류를 성취하는 것은 어렵다. 그러나, 적절한 조건 하에서 산화물 반도체를 처리하는 것에 의해 얻어진 트랜지스터에서, 낮은 오프 상태 전류가 성취될 수 있다. 따라서, 산화물 반도체를 포함하는 트랜지스터가 기록 트랜지스터로 이용되는 것이 바람직하다.
- [0281] 게다가, 산화물 반도체를 포함하는 트랜지스터는 작은 서브임계 스윙(subthreshold swing)(S 값)을 갖고, 따라서 이동도가 비교적 낮을 때에라도 스위칭 속도가 충분히 높을 수 있다. 따라서, 기록 트랜지스터로서 상기 트

랜지스터를 이용하는 것에 의해, 플로팅 게이트부(FG)로 주어진 기록 펄스의 상승은 매우 가파르게 될 수 있다. 또한, 오프 상태 전류가 낮기 때문에, 플로팅 게이트부(FG)에서 보유된 전하의 양이 감소될 수 있다. 즉, 상기 기록 트랜지스터로서 산화물 반도체를 포함하는 트랜지스터를 이용하는 것에 의해, 데이터의 재기록이 고속으로 수행될 수 있다.

- [0282] 판독 트랜지스터의 오프 상태 전류에는 제한이 없지만, 판독 속도를 증가시키기 위하여 고속으로 동작하는 트랜지스터가 판독 트랜지스터로 이용되는 것이 바람직하다. 예를 들어, 1 나노초 또는 그보다 낮은 스위칭 속도를 갖는 트랜지스터가 판독 트랜지스터로 이용되는 것이 바람직하다.
- [0283] 이러한 방식으로, 산화물 반도체를 포함하는 트랜지스터가 기록 트랜지스터로 이용되고, 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터가 판독 트랜지스터로 이용될 때, 메모리 장치로 이용될 수 있는, 장시간 데이터를 유지하고 고속으로 데이터를 판독하는 것이 가능한 반도체 장치가 얻어질 수 있다.
- [0284] 본 실시예에서 설명된 구조들, 방법들, 등이 다른 실시예들에서 설명된 구조들, 방법들, 등 중 임의의 것과 적절하게 조합될 수 있다.
- [0285] [실시예 5]
- [0286] 본 실시예에서, 여기서 개시된 본 발명의 일 실시예에 따른 반도체 장치의 적용 예들이 도 11a 및 도 11b 및 도 12a 내지 도 12c를 참조하여 설명될 것이다.
- [0287] 도 11a 및 도 11b는 각각 도 10a1에 도시된 복수의 반도체 장치들(이후로 또한 메모리 셀들(750)로 불림)을 포함하는 반도체 장치들의 회로도들의 예들이다. 도 11a는 상기 메모리 셀들(750)이 직렬로 접속되는 소위 NAND 반도체 장치의 회로도이고, 도 11b는 상기 메모리 셀들(750)이 병렬로 접속되는 소위 NOR 반도체 장치의 회로도이다.
- [0288] 도 11a의 반도체 장치는 소스 라인(SL), 비트 라인(BL), 제 1 신호 라인(S1), 복수의 제 2 신호 라인들(S2), 복수의 워드 라인들(WL), 및 복수의 메모리 셀들(750)을 포함한다. 도 11a에서, 하나의 소스 라인(SL)과 하나의 비트 라인(BL)이 제공되었으나; 본 실시예는 이러한 구조에 제한되지 않는다. 복수의 소스 라인들(SL)과 복수의 비트 라인들(BL)이 제공될 수 있다.
- [0289] 메모리 셀들(750)의 각각에서, 트랜지스터(700)의 게이트 전극, 트랜지스터(710)의 소스 전극 및 드레인 전극 중 다른 하나, 및 커패시터(720)의 전극들 중 다른 하나가 서로 전기적으로 접속된다. 제 1 신호 라인(S1)과 트랜지스터(710)의 소스 전극 및 드레인 전극 중 하나가 서로 전기적으로 접속되며, 제 2 신호 라인(S2)과 상기 트랜지스터(710)의 게이트 전극이 서로 전기적으로 접속된다. 워드 라인(WL)과 상기 커패시터(720)의 전극들 중 하나가 서로 전기적으로 접속된다.
- [0290] 또한, 메모리 셀(750)에 포함된 트랜지스터(700)의 소스 전극이 인접한 메모리 셀(750)의 트랜지스터(700)의 드레인 전극에 전기적으로 접속된다. 메모리 셀(750)에 포함된 트랜지스터(700)의 드레인 전극은 인접한 메모리 셀(750)의 트랜지스터(700)의 소스 전극에 전기적으로 접속된다. 직렬로 접속된 복수의 메모리 셀들 중 한 단부의 메모리 셀(750)에 포함된 트랜지스터(700)의 드레인 전극은 비트 라인에 전기적으로 접속된다는 것에 주의한다. 직렬로 접속된 복수의 메모리 셀들 중 다른 단부의 메모리 셀(750)에 포함된 트랜지스터(700)의 소스 전극은 소스 라인에 전기적으로 접속된다.
- [0291] 도 11a에 도시된 반도체 장치에서, 기록 동작과 판독 동작이 행마다 수행된다. 상기 기록 동작은 다음과 같이 수행된다. 트랜지스터(710)가 온이 되는 포텐셜이 기록이 수행될 행의 제 2 신호 라인(S2)으로 인가되어, 기록이 수행될 행의 트랜지스터(710)가 턴 온된다. 따라서, 제 1 신호 라인(S1)의 포텐셜이 특정 행의 트랜지스터(700)의 게이트 전극으로 공급되고, 미리 정해진 전하가 게이트 전극으로 주어진다. 이러한 방식으로, 데이터가 특정 행의 메모리 셀로 기록될 수 있다.
- [0292] 또한, 판독 동작이 다음과 같이 수행된다. 먼저, 그의 게이트 전극으로 주어진 전하에 상관없이 트랜지스터(700)가 온이 되는 포텐셜이 판독이 수행될 행 이외의 행들의 워드 라인들(WL)로 공급되어, 판독이 수행될 행 이외의 행들의 트랜지스터들(700)이 턴 온된다. 이후, 트랜지스터(700)의 온 상태 또는 오프 상태가 트랜지스터(700)의 게이트 전극의 전하에 따라 결정되는 포텐셜(판독 포텐셜)이 판독이 수행될 행의 워드 라인(WL)으로 공급된다. 그 후, 일정한 포텐셜이 소스 라인(SL)으로 공급되어 비트 라인(BL)으로 접속된 판독 회로(도시되지 않음)가 동작한다. 여기서, 판독이 수행될 행의 트랜지스터(700)를 제외한 소스 라인(SL)과 비트 라인(BL) 사이의 복수의 트랜지스터들(700)이 온이 되고; 따라서, 소스 라인(SL)과 비트 라인(BL) 사이의 전도도(conductance)가

판독이 수행될 행의 트랜지스터(700)의 상태(온 상태 또는 오프 상태)에 의해 결정된다. 판독이 수행되는 행의 상기 트랜지스터(700)의 전도도는 그의 게이트 전극의 전하에 따라 변화한다. 그러므로, 비트 라인(BL)의 전계가 따라서 변화한다. 판독 회로로 비트 라인의 포텐셜을 판독하는 것에 의해, 특정 행의 메모리 셀로부터 데이터가 판독될 수 있다.

- [0293] 도 11b에 도시된 반도체 장치는 복수의 소스 라인들(SL), 복수의 비트 라인들(BL), 복수의 제 1 신호 라인들(S1), 복수의 제 2 신호 라인들(S2), 복수의 워드 라인들(WL), 및 복수의 메모리 셀들(750)을 포함한다. 각 메모리 셀에서, 트랜지스터(700)의 게이트 전극, 트랜지스터(710)의 소스 전극 및 드레인 전극 중 다른 하나, 및 커패시터(720)의 전극들 중 다른 하나가 서로 전기적으로 접속된다. 소스 라인(SL)과 트랜지스터(700)의 소스 전극은 서로 전기적으로 접속된다. 비트 라인(BL)과 트랜지스터(700)의 드레인 전극은 서로 전기적으로 접속된다. 제 1 신호 라인(S1)과 트랜지스터(710)의 소스 전극 및 드레인 전극 중 하나가 서로 전기적으로 접속되고, 제 2 신호 라인(S2)과 트랜지스터(710)의 게이트 전극이 전기적으로 서로 접속된다. 워드 라인(WL)과 커패시터(720)의 전극들 중 하나가 서로 전기적으로 접속된다.
- [0294] 도 11b에 도시된 반도체 장치에서, 기록 동작과 판독 동작이 행마다 수행된다. 기록 동작은 도 11a의 반도체 장치의 것과 유사한 방식으로 수행된다. 판독 동작이 다음과 같이 수행된다. 먼저, 트랜지스터(700)의 게이트 전극에 주어진 전하에 상관없이 트랜지스터(700)가 오프가 되는 포텐셜이 판독이 수행될 행 이외의 행들의 워드 라인들(WL)로 공급되어, 판독이 수행될 행 이외의 행들의 트랜지스터들(700)이 턴 오프된다. 이후, 트랜지스터(700)의 온 상태 또는 오프 상태가 트랜지스터(700)의 게이트 전극의 전하에 따라 결정되는 포텐셜(판독 포텐셜)이 판독이 수행될 행의 워드 라인(WL)으로 공급된다. 그 후에, 일정한 포텐셜이 소스 라인들(SL)로 공급되어 비트 라인들(BL)로 접속된 판독 회로(도시되지 않음)가 동작한다. 여기서, 소스 라인들(SL)과 비트 라인들(BL) 사이의 전도도가 판독이 수행되는 행의 트랜지스터들(700)의 상태(온 상태 또는 오프 상태)에 의해 결정된다. 즉, 비트 라인들(BL)의 포텐셜이 판독이 수행되는 행의 트랜지스터들(700)의 게이트 전극들에서의 전하에 따라 변화한다. 판독 회로로 비트 라인들의 포텐셜을 판독하는 것에 의해, 특정 행의 메모리 셀들로부터 데이터가 판독될 수 있다.
- [0295] 메모리 셀들(750)의 각각에서 보유될 수 있는 데이터의 양은 상기 설명에서 1 비트이지만, 본 실시예의 메모리 장치의 구조는 그에 제한되지 않는다. 메모리 셀들(750)의 각각에서 보유되는 데이터의 양은 트랜지스터(700)의 게이트 전극으로 공급된 포텐셜들의 셋 또는 그 이상의 레벨들을 설정하는 것에 의해 증가될 수 있다. 예를 들어, 포텐셜들의 4개의 레벨들이 상기 트랜지스터(700)의 게이트 전극으로 공급되는 경우에, 2 비트들의 데이터가 메모리 셀들의 각각에 저장될 수 있다.
- [0296] 다음, 도 11a 및 도 11b의 반도체 장치들 등을 위해 이용될 수 있는 판독 회로의 예들이 도 12a 내지 도 12c를 참조하여 설명될 것이다.
- [0297] 도 12a는 판독 회로를 개략적으로 도시한다. 상기 판독 회로는 트랜지스터와 감지(sense) 증폭기 회로를 포함한다.
- [0298] 데이터의 판독시, 단자(A)이 데이터가 판독되는 메모리 셀이 접속되는 비트 라인으로 접속된다. 또한, 바이어스 포텐셜(V_{bias})이 트랜지스터의 게이트 전극으로 인가되어 단자(A)의 포텐셜이 제어된다.
- [0299] 메모리 셀(750)의 저항은 저장된 데이터에 따라 변화한다. 구체적으로, 선택된 메모리 셀(750)의 트랜지스터(700)가 온일 때, 메모리 셀은 낮은 저항을 갖고; 반면에 선택된 메모리 셀(750)의 트랜지스터(700)가 오프일 때, 메모리 셀은 높은 저항을 갖는다.
- [0300] 메모리 셀이 높은 저항을 가질 때, 단자(A)의 포텐셜은 기준 포텐셜(V_{ref})보다 높고 감지 증폭기 회로는 단자(A)의 포텐셜에 대응하는 포텐셜을 출력한다. 한편, 메모리 셀이 낮은 저항을 가질 때, 단자(A)의 포텐셜은 기준 포텐셜(V_{ref})보다 낮고 감지 증폭기 회로는 단자(A)의 포텐셜에 대응하는 포텐셜을 출력한다.
- [0301] 따라서, 판독 회로를 이용하는 것에 의해, 데이터가 메모리 셀로부터 판독될 수 있다. 본 실시예의 판독 회로는 예들 중 하나라는 것에 주의한다. 다른 회로가 이용될 수 있다. 판독 회로는 또한 프리차지(precharge) 회로를 포함할 수 있다. 기준 포텐셜(V_{ref})의 설정 대신, 기준 비트 라인이 감지 증폭기 회로에 접속될 수 있다.
- [0302] 도 12b는 감지 증폭기 회로들의 예인 차동 감지 증폭기를 도시한다. 차동 감지 증폭기는 입력 단자들($V_{in}(+)$ 와 $V_{in}(-)$), 및 출력 단자(V_{out})을 갖고, $V_{in}(+)$ 와 $V_{in}(-)$ 사이의 차이를 증폭시킨다. V_{out} 은 $V_{in}(+) > V_{in}(-)$ 일 때 대략적

으로 높은 출력이며, $V_{in}(+) < V_{in}(-)$ 일 때는 대략적으로 낮은 출력이다. 차동 감지 증폭기가 판독 회로로 이용되는 경우에, $V_{in}(+)$ 와 $V_{in}(-)$ 중 하나가 입력 단자(A)에 접속되고, 기준 포텐셜(V_{ref})가 $V_{in}(+)$ 와 $V_{in}(-)$ 중 다른 하나로 공급된다.

[0303] 도 12c는 감지 증폭기 회로들의 예인 래치(latch) 감지 증폭기를 도시한다. 래치 감지 증폭기는 입력-출력 단자들(V_1 및 V_2)과 제어 신호들(S_p 및 S_n)의 입력 단자들을 갖는다. 먼저, 제어 신호들(S_p 및 S_n)이 신호(High)와 신호(Low)로 각각 설정되고, 전원 포텐셜(V_{dd})이 차단된다. 이후, 비교될 포텐셜들이 V_1 과 V_2 로 인가된다. 그 후에, 제어 신호들(S_p 및 S_n)이 신호(Low) 및 신호(High)로 각각 설정되고, 전원 포텐셜(V_{dd})이 공급된다. 비교를 위한 포텐셜들(V_{1in} 및 V_{2in})에 대해 관계($V_{1in} > V_{2in}$)가 만족되면, V_1 으로부터의 출력은 신호(High)이고 V_2 로부터의 출력은 신호(Low)이며, 관계($V_{1in} < V_{2in}$)가 만족되면, V_1 으로부터의 출력은 신호(Low)이고 V_2 로부터의 출력은 신호(High)이다. 이러한 관계들을 사용하는 것에 의해, V_{1in} 과 V_{2in} 사이의 차이가 증폭될 수 있다. 래치 감지 증폭기가 판독 회로를 위해 이용되는 경우에, V_1 과 V_2 중 하나가 스위치를 통해 단자(A)와 출력 단자로 접속되고, 기준 포텐셜(V_{ref})이 V_1 과 V_2 중 다른 하나로 공급된다.

[0304] 본 실시예에서 설명된 구조들, 방법들, 등이 다른 실시예들에서 설명된 구조들, 방법들, 등 중 임의의 것과 적절하게 조합될 수 있다.

[0305] [실시예 6]

[0306] 본 실시예에서, 상기 실시예들 중 임의의 것에서 설명된 반도체 장치의 전자 기기로서의 응용이 도 13a 내지 도 13f를 참조하여 설명될 것이다. 본 실시예에서, 상기 반도체 장치가 컴퓨터, 이동 전화(또한 이동 전화기 또는 이동 전화기 장치로도 불림), 휴대용 정보 단말(휴대용 게임 머신, 오디오 재생 디바이스, 등을 포함), 디지털 카메라 또는 디지털 비디오 카메라와 같은 카메라, 전자 페이퍼, 또는 텔레비전 장치(또한 텔레비전 또는 텔레비전 수신기로도 불림)와 같은 전자 기기들로 적용되는 경우들이 설명될 것이다.

[0307] 도 13a는 하우징(601), 하우징(605), 표시부(603), 키보드(604), 등을 포함하는 랩탑 개인용 컴퓨터를 도시한다. 하우징(601)과 하우징(605)에, 산화물 반도체를 포함하는 트랜지스터와 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터의 조합을 포함하는 상기 실시예들 중 임의의 것의 반도체 장치가 제공된다. 따라서, 장시간동안 데이터를 보유할 수 있고 고속으로 데이터를 판독할 수 있는 랩탑 개인용 컴퓨터가 얻어질 수 있다.

[0308] 도 13b는 표시부(613), 외부 인터페이스(615), 동작 버튼들(614), 등이 제공된 본체(610)를 포함하는 휴대용 정보 단말(개인 디지털 보조장치(PDA))을 도시한다. 또한, 휴대용 정보 단말을 제어하는 스타일러스(stylus; 612) 등이 제공된다. 본체(610)에서, 산화물 반도체를 포함하는 트랜지스터와 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터의 조합을 포함하는 상기 실시예들 중 임의의 반도체 장치가 제공된다. 따라서, 장시간동안 데이터를 보유할 수 있고 고속으로 데이터를 판독할 수 있는 휴대용 정보 단말이 얻어질 수 있다.

[0309] 도 13c는 전자 페이퍼가 탑재되고 두개의 하우징들, 하우징(621)과 하우징(623)을 포함하는, 전자 서적 판독기(620)를 도시한다. 상기 하우징(621)과 상기 하우징(623)에는 각각 표시부(625)와 표시부(627)가 제공된다. 상기 하우징(621)은 힌지(637)에 의해 상기 하우징(623)에 접속되어, 전자 서적 판독기(620)가 축으로서 힌지(637)를 이용하여 열리고 닫힐 수 있다. 상기 하우징(621)에는 전원 버튼(631), 동작 키들(633), 스피커(635), 등이 제공된다. 상기 하우징(621)과 상기 하우징(623) 중 적어도 하나에, 산화물 반도체를 포함하는 트랜지스터와 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터의 조합을 포함하는 상기 실시예들 중 임의의 것의 반도체 장치가 제공된다. 따라서, 장시간 동안 데이터를 보유할 수 있고 고속으로 데이터를 판독할 수 있는 전자 서적 판독기가 얻어질 수 있다.

[0310] 도 13d는 두개의 하우징들, 하우징(640)과 하우징(641)을 포함하는 이동 전화를 도시한다. 또한, 도 13d에 도시된 바와 같이 전개된 하우징(640)과 하우징(641)은 슬라이드될 수 있어서 하나가 다른 것 위로 래핑(lapped)된다. 따라서, 이동 전화의 크기가 감소될 수 있고, 이는 이동 전화를 들고 돌아다니기에 적절하게 한다. 상기 하우징(641)은 표시 패널(642), 스피커(643), 마이크로폰(644), 포인팅 디바이스(646), 카메라 렌즈(647), 외부 접속 단자(648), 등을 포함한다. 하우징(640)은 이동 전화를 충전하기 위한 태양 전지 셀(649), 외부 메모리 슬롯(651), 등을 포함한다. 상기 표시 패널(642)에 터치 패널 기능이 제공된다. 이미지들로서 표시되는 복수의 동작 키들(645)이 도 13d에 점선들에 의해 도시된다. 또한, 안테나가 상기 하우징(641)에 통합된다. 하우징(640)

과 하우징(641) 중 적어도 하나에, 산화물 반도체를 포함하는 트랜지스터와 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터의 조합을 포함하는 상기 실시예들 중 임의의 것의 반도체 장치가 제공된다. 따라서, 장시간 동안 데이터를 보유할 수 있고 고속으로 데이터를 판독할 수 있는 이동 전화가 얻어질 수 있다.

[0311] 도 13e는 본체(661), 표시부(667), 접안부(663), 동작 스위치(664), 표시부(665), 배터리(666), 등을 포함하는 디지털 카메라를 도시한다. 상기 본체(661)에, 산화물 반도체를 포함하는 트랜지스터와 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터의 조합을 포함하는 상기 실시예들 중 임의의 것의 반도체 장치가 제공된다. 따라서, 장시간 동안 데이터를 보유할 수 있고 고속으로 데이터를 판독할 수 있는 디지털 카메라가 얻어질 수 있다.

[0312] 도 13f는 하우징(671), 표시부(673), 스탠드(675), 등을 포함하는 텔레비전 장치(670)을 도시한다. 상기 텔레비전 장치(670)는 상기 하우징(671)의 동작 스위치 또는 원격 제어기(680)로 동작될 수 있다. 상기 하우징(671)과 상기 원격 제어기(680)에, 산화물 반도체를 포함하는 트랜지스터와 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터의 조합을 포함하는 상기 실시예들 중 임의의 것의 반도체 장치가 제공된다. 따라서, 장시간 동안 데이터를 보유할 수 있고 고속으로 데이터를 판독할 수 있는 텔레비전 장치가 얻어질 수 있다.

[0313] 상술된 바와 같이, 본 실시예에서 설명된 전자 기기들에 각각 상기 실시예들 중 임의의 것에 따른 반도체 장치가 탑재된다. 이러한 방식으로, 작은 크기, 고속 동작, 및 낮은 전력 소비의 특성들을 갖는 전자 기기들이 구현될 수 있다.

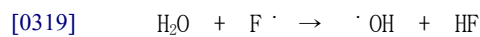
[0314] [실시예 7]

[0315] 본 실시예에서, 플루오르 원자를 함유하는 물질이 가스 상태로 막 형성 챔버로 주입되고, 막 형성 챔버에 남아 있는 수분과 반응하여, 수소 원자를 함유하는 안정한 물질로 변화되는 공정의 확률이 양자 화학 계산에 의해 확인된다.

[0316] 본 실시예는 막 형성 챔버에서 플라즈마에 노출되는 플루오르 원자를 함유하는 물질로부터 생성되는 플루오르 라디칼과 물 분자의 가스 위상 반응에 집중한다. 구체적으로, 수소 플루오르화물을 생성하기 위하여 플루오르 라디칼과 물 분자가 서로 반응되는 공정이 분석되었다. 본 실시예에서, 활성화 에너지는 양자 화학 계산을 이용하여 얻어졌으며, 반응의 확률은 활성화 에너지를 이용하여 평가되었다는 것에 주의한다. 플루오르 라디칼(F \cdot)과 물 분자(H₂O) 사이의 반응으로서, 이하로 설명된 제 1 반응, 제 2 반응, 및 제 3 반응이 가정되었다.

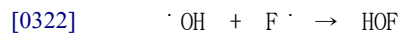
[0317] 상기 제 1 반응이 반응식 1에 도시된다. 상기 제 1 반응은 수산기 라디칼(\cdot OH)과 플루오르화 수소 분자(HF)를 생성하기 위하여 플루오르 라디칼과 물 분자가 서로 반응되는 반응이다.

[0318] [화학식 1]



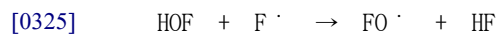
[0320] 상기 제 2 반응이 반응식 2에 도시된다. 상기 제 2 반응은 수소 원자가 결합된 산소 원자와 플루오르 원자를 결합시키기 위하여 플루오르 라디칼과 수산기 라디칼(\cdot OH)이 서로 반응되는 반응이다.

[0321] [화학식 2]



[0323] 상기 제 3 반응이 반응식 3에 도시된다. 상기 제 3 반응은 플루오르 원자와 산소 원자가 서로 결합되는 라디칼(FO \cdot)과 플루오르화 수소 분자(HF)를 생성하기 위하여, 플루오르 라디칼과, 수소 원자와 플루오르 원자가 산소 원자에 결합되는 물질(HOF)이 서로 반응되는 반응이다.

[0324] [화학식 3]



[0326] 가우스 기저(Gaussian basis)를 이용하는 밀도 함수 이론(DFT)이 계산을 위해 채용되었다는 것에 주의한다. DFT에서 또한, 고속의 고정밀 계산들을 가능하게 하기 위하여 전자 밀도로 표현된 하나의 전자 포텐셜의 함수(즉, 다른 함수의 함수)에 의해 교환-상관(exchange-correlation) 상호작용이 근사된다. 여기서, 혼합 함수인 B3LYP가 교환-상관 에너지와 관련된 각 파라미터의 가중을 규정하는데 이용되었다. 또한, 기본 함수로서, 6-311G(각 밸런스 오비탈에 대해 세개의 단축 함수들을 이용하는 트리플-스플릿 밸런스(triple-split valence) 기본 세트의 기본 함수)이 모든 원자들에 적용된다. 상기 기본 함수에 의해, 예를 들어, 1s 내지 3s의 오비탈들이 수소

원자들의 경우에 고려되며, 1s 내지 4s와 2p 내지 4p의 오비탈들이 산소 원자들의 경우에 고려된다. 또한, 계산의 정밀성을 개선시키기 위하여, 분극 기본 세트들로서 p 함수와 d 함수가 수소 원자들과 산소 원자들 이외의 원자들에 상대적으로 부가되었다.

- [0327] 양자 화학 계산 프로그램으로 Gaussian 09가 이용되었다는 것에 주의한다. 고성능의 컴퓨터(SGI Japan, Ltd.에 의해 제작된 Altix 4700)가 계산들을 위해 이용되었다.
- [0328] 상기 제 1 반응에 대하여, 도 14의 에너지도는 제 2 상태(2), 제 3 상태(3), 및 제 4 상태(4)를 통하는 제 1 상태(1) 내지 제 5 상태(5)의 반응 경로를 도시하며, 각각의 상태들의 에너지의 결과들이 계산되었다.
- [0329] 상기 제 1 상태(1)에서, 물 분자(H₂O)와 플루오르 라디칼(F[·])이 서로 무한대로 떨어져 있다. 상기 제 1 상태(1)의 에너지가 에너지도에서 기준으로 이용된다는 것에 주의한다.
- [0330] 상기 제 2 상태(2)에서, 물 분자(H₂O)와 플루오르 라디칼(F[·])이 서로 가까워 올 때 중간체가 형성된다. 이러한 상태에서, 포텐셜 에너지는 상기 제 1 상태(1)와 상기 제 2 상태(2) 사이의 상호작용으로 인해 약 0.63eV만큼 상기 제 1 상태(1)의 것보다 낮아진다.
- [0331] 제 3 상태(3)는 물 분자(H₂O)의 수소 원자가 플루오르 라디칼(F[·])에 의해 끌려가는 전이 상태이며, 수소를 끌어당기는 반응의 활성화 에너지는 0.15eV로 계산되었다.
- [0332] 상기 제 4 상태(4)에서, 생성된 수산기 라디칼([·]OH)과 플루오르화 수소 분자(HF) 사이의 상호작용에 의해 중간체가 형성된다.
- [0333] 상기 제 5 상태(5)에서, 수산기 라디칼([·]OH)과 플루오르화 수소 분자(HF)가 서로 무한대로 떨어져 있다.
- [0334] 상기 제 1 반응에서, 상기 제 3 상태(3)의 활성화 에너지는 0.15eV로 낮으며, 이는 플루오르 라디칼(F[·])에 의해 수소를 끌어당기는 반응이 쉽게 일어나는 확률이 높다는 것을 나타낸다. 또한, 전체적인 제 1 반응은 발열 반응이며, 이는 자발적으로 진행되는 경향이 있다.
- [0335] 상기 제 2 반응에서, 플루오르 라디칼(F[·])과 수산기 라디칼([·]OH)이 활성화 배리어를 형성하지 않고 서로 결합된다. 플루오르 원자와 산소 원자 사이의 결합 에너지는 2.11eV로 계산되었다.
- [0336] 상기 제 3 반응에 대하여, 도 15는 제 7 상태(7), 제 8 상태(8), 및 제 9 상태(9)를 통하는 제 6 상태(6) 내지 제 10 상태(10)의 반응 경로를 도시하며, 에너지도의 결과들을 분석한다.
- [0337] 상기 제 3 반응의 상기 제 6 상태(6)에서, 수소 원자와 플루오르 원자가 산소 원자에 결합되는 물질(HOF)과 플루오르 라디칼(F[·])이 서로 무한대로 떨어져 있다. 상기 제 6 상태(6)의 에너지가 에너지도에서 기준으로 이용된다는 것에 주의한다.
- [0338] 상기 제 7 상태(7)에서, 수소 원자와 플루오르 원자가 산소 원자에 결합되는 물질(HOF)과 플루오르 라디칼(F[·])이 서로 가까워질 때 중간체가 형성된다. 이러한 상태에서, 포텐셜 에너지는 수소 원자와 플루오르 원자가 산소 원자에 결합되는 물질(HOF)과 플루오르 라디칼(F[·]) 사이의 상호작용으로 인하여 대략 0.21eV만큼 상기 제 6 상태(6)의 것보다 낮아진다.
- [0339] 상기 제 8 상태(8)는 수소 원자와 플루오르 원자가 산소 원자로 결합되는 물질(HOF)의 수소 원자가 플루오르 라디칼(F[·])에 의해 끌려가는 전이 상태이며, 산소를 끌어당기는 반응의 활성화 에너지는 0.16eV로 계산되었다.
- [0340] 상기 제 9 상태(9)에서, 생성되는 산소 원자와 플루오르 원자가 서로 결합되는 라디칼(FO[·])과 플루오르화 수소 분자(HF) 사이의 상호작용에 의해 중간체가 형성된다.
- [0341] 상기 제 10 상태(10)에서, 산소 원자와 플루오르 원자가 서로 결합되는 라디칼(FO[·])과 플루오르화 수소 분자(HF)가 서로 무한대로 떨어져 있다.
- [0342] 상기 제 3 반응에서, 상기 제 8 상태(8)의 활성화 에너지는 0.16eV 만큼 낮으며, 이는 플루오르 라디칼(F[·])로 인해 수소를 끌어당기는 반응이 쉽게 일어나는 확률이 높다는 것을 나타낸다. 또한, 전체적인 제 3 반응은 발열 반응이며, 이는 자발적으로 진행되는 경향이 있다.
- [0343] 상기 반응에서 생성되는 플루오르화 수소 분자(HF)의 수소 원자와 플루오르 원자 사이의 결합 에너지는 5.82eV라는 것에 주의한다. 따라서, 플루오르화 수소 분자(HF)는 거의 분해되지 않을 것이다.

- [0344] 상술된 바와 같이, 플루오르 라디칼(F·)은 물 분자(H₂O)로부터 쉽게 수소 원자를 끌어내어 플루오르화 수소 분자(HF)를 형성한다. 생성된 플루오르화 수소 분자(HF)는 거의 분해되지 않을 것이며, 수소 원자가 지지되기(supported) 때문에 산화물 반도체막으로의 수소의 진입을 억제하는 효과를 갖는다.
- [0345] 따라서, 수소 또는 수분으로부터 나온 수소 원자의 막으로의 진입이 할로겐 원소를 함유하는 물질이 막 형성 챔버로 가스 상태로 주입되는 동안 산화물 반도체막을 형성하는 것에 의해 억제될 수 있다.
- [0346] 본 실시예는 본 명세서에서 설명된 다른 실시예들 중 임의의 것과 적절하게 조합될 수 있다.
- [0347] [실시예 8]
- [0348] 본 실시예에서, 낮은 전력 소비를 성취할 수 있는 액정 표시 장치와 그의 구동 방법의 일 실시예가 도 16, 도 17, 도 18, 도 19a 및 도 19b, 및 도 20을 참조하여 설명될 것이다. 본 실시예에 적용된 트랜지스터는 할로젠 원소를 함유한 물질이 막 형성 챔버로 가스 상태로 주입되는 동안 산화물 반도체층이 형성되며 매우 정제된 산화물 반도체층을 형성하기 위해 나중에 열 처리를 거치게 되는 방법에 의해 제작된다.
- [0349] 도 16의 블록도는 본 실시예에서 설명된 액정 표시 장치(100)의 구성성분들을 도시한다. 액정 표시 장치(100)는 이미지 처리 회로(110), 전원(116), 표시 제어 회로(113), 및 표시 패널(120)을 포함한다. 액정 표시 장치(100)가 투과형 액정 표시 장치 또는 반투과형 액정 표시 장치인 경우에, 백라이트 유닛(130)이 광원으로 제공된다.
- [0350] 이미지 신호(이미지 신호(Data))가 그에 접속된 외부 디바이스로부터 액정 표시 장치(100)로 공급된다. 전원(116)이 켜질 때 전원 포텐셜들(높은 전원 포텐셜(V_{dd}), 낮은 전원 포텐셜(V_{ss}), 및 공통 포텐셜(V_{com}))이 표시 제어 회로(113)로 공급된다. 제어 신호들(시작 펄스(SP) 및 클럭 신호(CK))가 표시 제어 회로(113)에 의해 공급된다.
- [0351] 높은 전원 포텐셜(V_{dd})은 기준 포텐셜보다 높은 포텐셜이고, 낮은 전원 포텐셜(V_{ss})은 기준 포텐셜보다 낮거나 같은 포텐셜이라는 것에 주의한다. 높은 전원 포텐셜(V_{dd})과 낮은 전원 포텐셜(V_{ss}) 모두는 트랜지스터가 동작할 수 있는 포텐셜들인 것이 바람직하다. 높은 전원 포텐셜(V_{dd})과 낮은 전원 포텐셜(V_{ss})은 일부 경우들에서 전원 전압으로 총괄하여 불릴 수 있다는 것에 주의한다.
- [0352] 공통 포텐셜(V_{com})은 그것이 화소 전극으로 공급된 이미지 신호의 포텐셜에 대해 기준이 되는 고정된 포텐셜인 한 어떠한 포텐셜도 될 수 있다. 예를 들어, 공통 포텐셜(V_{com})은 접지(ground) 포텐셜일 수 있다.
- [0353] 이미지 신호(Data)는 도트 인버전(dot inversion) 구동, 소스 라인 인버전 구동, 게이트 라인 인버전 구동, 프레임 인버전 구동, 등에 따라 적절하게 인버트되어 액정 표시 장치(100)로 입력될 수 있다. 이미지 신호(Data)가 아날로그 신호인 경우에, 이미지 신호가 A/D 변환기 등에 의해 디지털 신호로 변환되고 액정 표시 장치(100)로 공급되는 이러한 구조가 채용되는 것이 바람직하다.
- [0354] 본 실시예에서, 고정된 포텐셜인 공통 포텐셜(V_{com})이 표시 제어 회로(113)를 통하여 전원(116)으로부터 공통 전극(128)과 커패시터(211)의 전극들 중 하나로 공급된다.
- [0355] 표시 제어 회로(113)는 이미지 처리 회로(110)에서 처리된 이미지 신호, 제어 신호들(구체적으로, 시작 펄스(SP)와 클럭 신호(CK)와 같은, 제어 신호의 공급과 정지 사이의 스위칭을 제어하기 위한 신호들), 전원 포텐셜들(높은 전원 포텐셜(V_{dd}), 낮은 전원 포텐셜(V_{ss}), 및 공통 포텐셜(V_{com}))을 표시 패널(120)로 공급하고, 또한 백라이트 제어 신호(구체적으로, 백라이트 제어 회로(131)가 백라이트(132)의 온과 오프를 제어하는 신호)를 백라이트 유닛(130)으로 공급하는 회로이다.
- [0356] 이미지 처리 회로(110)는 입력 이미지 신호(이미지 신호(Data))를 분석, 계산, 및/또는 처리하고 처리된 이미지 신호를 제어 신호와 함께 표시 제어 회로(113)로 출력한다.
- [0357] 예를 들어, 이미지 처리 회로(110)는 입력된 이미지 신호(Data)를 분석하여 신호가 움직이는 이미지(moving image)를 위한 것인지 또는 정지 이미지(still image)를 위한 것인지를 결정하고, 결정 결과를 포함하는 제어 신호를 표시 제어 회로(113)로 출력한다. 또한, 상기 이미지 처리 회로(110)는 정지 이미지를 위한 데이터를 포함하는 이미지 신호(Data)로부터 하나의 프레임의 정지 이미지를 위한 데이터를 추출하고, 추출된 데이터를 추출된 데이터가 정지 이미지를 위한 것임을 나타내는 제어 신호와 함께 상기 표시 제어 회로(113)로 출력할 수

있다. 또한, 상기 이미지 처리 회로(110)는 움직이는 이미지를 위한 데이터를 포함하는 이미지 신호(Data)로부터 움직이는 이미지를 위한 데이터를 감지하고, 연속적인 프레임들을 위한 데이터를 감지된 데이터가 움직이는 이미지를 위한 것임을 나타내는 제어 신호와 함께 상기 표시 제어 회로(113)로 출력할 수 있다.

- [0358] 이미지 처리 회로(110)는 입력 이미지 신호(Data)에 따라 상이한 방식으로 본 실시예의 액정 표시 장치가 동작하도록 만든다. 본 실시예에서, 이미지 처리 회로(110)가 이미지를 정지 이미지로 결정할 때 수행된 동작 모드는 정지 이미지 표시 모드이며, 이미지 처리 회로(110)가 이미지를 움직이는 이미지로 결정할 때 수행된 동작 모드는 움직이는 이미지 표시 모드이다. 본 명세서에서, 정지 이미지 표시 모드로 표시된 이미지는 정지 이미지로 불린다.
- [0359] 본 실시예의 예로 설명된 이미지 처리 회로(110)는 표시 모드를 스위칭하는 기능을 가질 수 있다. 표시 모드를 스위칭하는 기능은 사용자가 손으로 또는 외부 접속 디바이스를 이용하는 것에 의해 액정 표시 장치의 동작 모드를 선택하는 방식으로 이미지 처리 회로(110)에 의한 판단 없이 움직이는 이미지 표시 모드와 정지 이미지 표시 모드 사이에서 표시 모드를 스위칭하는 기능이다.
- [0360] 상기 기능은 이미지 처리 회로(110)가 갖는 기능들 중 하나의 예이며, 다양한 이미지 처리 기능들이 표시 장치의 사용에 따라 선택될 수 있다는 것에 주의한다.
- [0361] 디지털 신호로 변환되는 이미지 신호는 쉽게 계산되므로(예를 들면, 이미지 신호들 사이의 차이가 검출됨), 입력 이미지 신호(이미지 신호(Data))가 아날로그 신호인 경우에, A/D 변환기 등이 이미지 처리 회로(110)에 제공될 수 있다는 것에 주의한다.
- [0362] 표시 패널(120)은 한 쌍의 기관들(제 1 기관과 제 2 기관)을 포함한다. 액정층이 한 쌍의 기관들 사이에 개재되어, 액정 소자(215)가 형성된다. 제 1 기관 위에, 구동 회로부(121), 화소부(122), 단자부(126), 및 스위칭 소자(127)가 제공된다. 제 2 기관 상에, 공통 전극(128)(또한 공통 전극 또는 카운터 전극이라고 불림)이 제공된다. 본 실시예에서, 공통 접속부(또한 공통 콘택트(common contact)라고도 불림)가 상기 제 1 기관 또는 상기 제 2 기관에 제공되어 상기 제 1 기관 위의 접속부가 상기 제 2 기관 상의 공통 전극(128)과 접속될 수 있다.
- [0363] 복수의 게이트 라인들(124)(스캔 라인들) 및 복수의 소스 라인들(125)(신호 라인들)이 화소부(122)에 제공되고 복수의 화소들(123)이 매트릭스로 제공되어 화소들이 게이트 라인들(124)과 소스 라인들(125)에 의해 둘러싸인다. 본 실시예에서 예로 설명된 표시 패널에서, 상기 게이트 라인들(124)이 게이트 라인 구동 회로(121A)로부터 연장되고, 소스 라인들(125)이 소스 라인 구동 회로(121B)로부터 연장된다는 것에 주의한다.
- [0364] 화소들(123)은 각각 스위칭 소자로서의 트랜지스터(214)와, 상기 트랜지스터(214)에 접속되는 커패시터(211)와 액정 소자(215)를 포함한다(도 17 참조).
- [0365] 트랜지스터(214)에서, 게이트 전극이 화소부(122)에 제공된 복수의 게이트 라인들(124) 중 하나에 접속되고, 소스 전극 및 드레인 전극 중 하나가 복수의 소스 라인들(125) 중 하나에 접속되고, 소스 전극 및 드레인 전극 중 다른 하나가 커패시터(211)의 전극들 중 하나와 액정 소자(215)의 전극들 중 하나(화소 전극)에 접속된다.
- [0366] 트랜지스터(214)로서, 그의 오프 상태 전류가 감소되는 트랜지스터가 이용되는 것이 바람직하며; 실시예 1 및 실시예 2에서 설명된 트랜지스터들 중 임의의 것이 바람직하다. 트랜지스터(214)의 오프 상태 전류가 감소될 때, 전하가 오프 상태의 액정 소자(215)와 커패시터(211)에서 안정적으로 유지될 수 있다. 그의 오프 상태 전류가 충분히 감소되는 트랜지스터(214)의 경우에, 화소(123)이 또한 커패시터(211) 없이 형성될 수 있다.
- [0367] 이러한 구성으로, 화소(123)가 트랜지스터(214)가 턴 오프되기 전에 기록된 데이터의 상태를 장시간 유지할 수 있고, 따라서 전력 소비가 감소될 수 있다.
- [0368] 상기 액정 소자(215)는 액정의 광 변조 작용을 사용하여 광의 전송과 비전송을 제어하는 소자이다. 액정의 광학적 변조 작용은 액정에 인가된 전계에 의해 제어된다. 액정에 인가된 전계의 방향은 액정 재료, 구동 방법, 및 전극 구조에 의존하여 적절하게 선택될 수 있다. 예를 들어, 전계가 액정의 두께의 방향(소위 수직 방향)으로 인가되는 구동 방법이 이용되는 경우에, 화소 전극과 공통 전극이 제 1 기관과 제 2 기관 상에 각각 제공되어, 액정이 제 1 기관과 제 2 기관 사이에 개재된다. 전계가 기관의 면내 방향(in-plane direction)(소위 수평 방향)으로 액정에 인가되는 구동 방법이 이용되는 경우에, 화소 전극과 공통 전극은 액정에 대해 동일층 상에 제공될 수 있다. 화소 전극과 공통 전극은 다양한 개구 패턴들을 가질 수 있다.
- [0369] 액정 소자에 인가된 액정의 예들로서, 다음이 주어질 수 있다: 네마틱(nematic) 액정, 콜레스테릭 액정, 스멕틱(smectic) 액정, 디스코틱(discotic) 액정, 서모트로픽(thermotropic) 액정, 리오토트로픽(lyotropic) 액정, 저

분자 액정, 고분자 분산형 액정(PDLC), 강유전성 액정, 반-강유전성 액정, 주쇄형(main-chain) 액정, 측쇄형(side-chain) 고분자 액정, 바나나형 액정, 등.

- [0370] 게다가, 다음 중 임의의 것이 액정의 구동 모드로 이용될 수 있다: TN(twisted nematic) 모드, STN(super twisted nematic) 모드, OCB(optically compensated birefringence) 모드, ECB(electrically controlled birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(anti-ferroelectric liquid crystal) 모드, PDLC(polymer dispersed liquid crystal) 모드, PNLC(polymer network liquid crystal) 모드, 게스트-호스트 모드, 등. 대안적으로, IPS(in-plane switching) 모드, FFS(fringe field switching) 모드, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, ASM(axially symmetric aligned micro-cell) 모드, 등이 이용될 수 있다. 말할 필요도 없이, 액정 소자가 광학적 변조 작용에 의해 광의 전송과 비전송을 제어하는 한 본 실시예의 액정 재료, 구동 방법, 및 전극 구조에 특별한 제한은 없다.
- [0371] 본 실시예에서 예로 설명된 액정 소자에서, 액정의 배향(orientation)은 제 1 기관층 상에 제공된 화소 전극과 제 2 기관층 상에 제공된 공통 전극 사이에서 생성되고 화소 전극과 대면하는 수직 방향의 전계에 의해 제어된다.
- [0372] 단자부(126)는 표시 제어 회로(113)로부터 출력되는 미리 정해진 신호들(높은 전원 포텐셜(V_{dd}), 낮은 전원 포텐셜(V_{ss}), 시작 펄스(SP), 클럭 신호(CK), 이미지 신호(Data), 공통 포텐셜(V_{com}), 등)을 구동 회로부(121)로 공급하는 입력 단자이다.
- [0373] 구동 회로부(121)는 게이트 라인 구동 회로(121A)와 소스 라인 구동 회로(121B)를 포함한다. 상기 게이트 라인 구동 회로(121A)와 상기 소스 라인 구동 회로(121B)는 복수의 화소들을 포함하는 화소부(122)를 구동하기 위한 구동 회로들이며 각각이 시프트 레지스터 회로(또한 시프트 레지스터라고도 불림)를 포함한다.
- [0374] 게이트 라인 구동 회로(121A)와 소스 라인 구동 회로(121B)는 화소부(122)와 동일한 기관 위에 형성될 수 있거나 다른 기관 위에 형성될 수 있다는 것에 주의한다.
- [0375] 표시 제어 회로(113)에 의해 제어되는 높은 전원 포텐셜(V_{dd}), 낮은 전원 포텐셜(V_{ss}), 시작 펄스(SP), 클럭 신호(CK), 및 이미지 신호(Data)가 구동 회로부(121)로 공급된다.
- [0376] 트랜지스터가 스위칭 소자(127)로서 이용될 수 있다. 상기 스위칭 소자(127)의 게이트 전극이 단자(126A)로 접속되고, 상기 스위칭 소자(127)는 표시 제어 회로(113)로부터 출력되는 제어 신호에 따라 공통 포텐셜(V_{com})를 공통 전극(128)으로 공급한다. 스위칭 소자(127)의 소스 전극 및 드레인 전극 중 하나가 단자(126B)에 접속될 수 있고, 상기 소스 전극 및 상기 드레인 전극 중 다른 하나가 공통 전극(128)에 접속될 수 있어서, 공통 포텐셜(V_{com})가 표시 제어 회로(113)로부터 공통 전극(128)으로 공급된다. 상기 스위칭 소자(127)는 구동 회로부(121) 또는 화소부(122)와 동일한 기관 위에 형성될 수 있거나 다른 기관 위에 형성될 수 있다.
- [0377] 또한, 스위칭 소자(127)로서 실시예 1 및 실시예 2에서 설명된 그의 오프 상태 전류가 감소되는 트랜지스터들 중 임의의 것을 이용하는 것에 의해, 액정 소자(215)의 양 단자들로 인가된 전압의 시간에 따른 감소가 억제될 수 있다.
- [0378] 공통 전극(128)은 공통 접속부를 통해 표시 제어 회로(113)에 의해 제어된 공통 포텐셜(V_{com})를 공급하는 공통 포텐셜 라인으로 전기적으로 접속된다.
- [0379] 공통 접속부의 특정 예로써, 절연구(insulating sphere)가 얇은 금속막으로 덮이는 도전성 입자가 공통 전극(128)과 공통 포텐셜 라인 사이에 개재되고, 따라서 공통 전극(128)과 공통 포텐셜 라인이 서로 전기적으로 접속될 수 있다. 복수의 공통 접속부들이 표시 패널(120)에 제공될 수 있다는 것에 주의한다.
- [0380] 액정 표시 장치는 측광(photometric) 회로를 포함할 수 있다. 측광 회로가 제공된 액정 표시 장치는 액정 표시 장치가 위치되는 환경의 밝기를 검출할 수 있다. 측광 회로가 액정 표시가 어두운 환경에서 이용된다는 것을 검출할 때, 표시 제어 회로(113)는 더 높은 강도를 갖도록 백라이트(132)로부터의 광을 제어하여 표시 화면의 가시성이 확보된다. 반대로, 측광 회로가 액정 표시 장치가 극히 밝은 외부 광 하에서(예를 들면, 외부의 직접적인 태양광 하에서) 이용된다는 것을 검출할 때, 표시 제어 회로(113)는 더 낮은 강도를 갖도록 백라이트(132)로부터의 광을 제어하여 백라이트(132)의 전력 소비가 감소된다. 따라서, 표시 제어 회로(113)는 측광 회로로부터 입력된 신호에 따라 백라이트 또는 사이드라이트(sidelight)와 같은 광원의 구동 방법을 제어할 수 있다.

- [0381] 백라이트 유닛(130)은 백라이트 제어 회로(131)와 백라이트(132)를 포함한다. 상기 백라이트(132)는 액정 표시 장치(100)의 이용에 따라 선택되고 조합될 수 있다. 상기 백라이트(132)를 위하여, 발광 다이오드(LED) 등이 이용될 수 있다. 예를 들어, 백색 광을 방출하는 발광 소자(예를 들면, LED)가 상기 백라이트(132)에 제공될 수 있다. 백라이트를 제어하는 백라이트 신호와 전원 포텐셜이 표시 제어 회로(113)로부터 상기 백라이트 제어 회로(131)로 공급된다.
- [0382] 필요하다면, 광학 필름(편광 필름, 위상차(retardation) 필름, 또는 반사 방지 필름)이 적절하게 조합하여 이용될 수 있다. 반투과형 액정 표시 장치에서 이용되는 백라이트와 같은 광원이 액정 표시 장치(100)의 이용에 따라 선택되고 조합될 수 있으며, 냉음극관, 발광 다이오드(LED), 등이 이용될 수 있다. 또한, 복수의 LED 광원들, 복수의 일렉트로루미네선스(EL) 광원들, 등을 이용하여 면 광원이 형성될 수 있다. 면 광원으로서, 셋 또는 그 이상의 종류들의 LED들이 이용될 수 있으며 백색 광을 방출하는 LED가 이용될 수 있다. RGB의 발광 다이오드들 등이 백라이트에 배치되어 컬러 표시가 시간 분할에 의해 수행되는 계시가법혼색법(successive additive color mixing method)(field sequential method; 필드 시퀀셜 방법)이 채용되는 경우에는 컬러 필터가 항상 제공되지는 않는다는 것에 주의한다.
- [0383] 다음, 도 16에 도시된 액정 표시 장치(100)의 구동 방법도 도 17, 도 18, 도 19a 및 도 19b, 및 도 20를 참조하여 설명될 것이다. 본 실시예에서 설명된 액정 표시 장치의 구동 방법은 표시 이미지의 특성들에 따라 표시 패널의 기록 빈도가 변화하는 표시 방법이다. 구체적으로, 연속적인 프레임들의 이미지 신호들이 서로 상이한(즉, 움직이는 이미지가 표시되는) 경우에, 각 프레임 기간에서 이미지 신호가 기록되는 표시 모드가 이용된다. 한편, 연속적인 프레임들의 이미지 신호들이 동일한 이미지를 갖는(즉, 정지 이미지가 표시되는) 경우에, 동일한 이미지가 표시되는 기간에서 이미지 신호들의 기록이 수행되지 않거나 또는 기록 빈도가 극히 감소되는 표시 모드가 이용되고; 액정 소자로 인가된 전압은 전압을 액정 소자로 인가하는 화소 전극과 공통 전극의 포텐셜들을 플로팅 상태로 설정하는 것에 의해 유지되며; 따라서 포텐셜의 부가적인 공급 없이도 정지 이미지가 표시된다.
- [0384] 액정 표시 장치는 움직이는 이미지와 정지 이미지를 조합하며 이미지들을 스크린 상에 표시한다. 움직이는 이미지는 복수의 프레임들로 시간 분할에 의해 얻어지는 복수의 상이한 이미지들을 빠르게 스위칭하는 것에 의해 사람 눈들에 의해 움직이는 이미지로 인식되는 이미지를 말한다. 구체적으로, 적어도 초당 60 회(60 프레임들)로 이미지들을 스위칭하는 것에 의해, 이미지는 사람 눈들에 의해 거의 깜빡임이 없는 움직이는 이미지로 인식된다. 반대로, 움직이는 이미지 및 부분적으로 움직이는 이미지와 달리, 정지 이미지는 복수의 프레임 기간들로 시간 분할되는 복수의 이미지들이 고속으로 스위칭되어도 연속적인 프레임 기간들, 예를 들면, 제 n 프레임과 제 (n+1) 프레임 사이에서 변하지 않는 이미지를 말한다.
- [0385] 먼저, 액정 표시 장치의 전원(116)을 켜는 것에 의해 전원이 공급된다. 표시 제어 회로(113)는 전원 포텐셜들(높은 전원 포텐셜(V_{dd}), 낮은 전원 포텐셜(V_{ss}), 및 공통 포텐셜(V_{com}))과 제어 신호들(시작 펄스(SP)와 클럭 신호(CK))을 표시 패널(120)로 공급한다.
- [0386] 이미지 신호(이미지 신호(Data))가 그에 접속된 외부 디바이스로부터 액정 표시 장치(100)로 공급된다. 액정 표시 장치(100)의 이미지 처리 회로(110)는 그에게 입력되는 이미지 신호를 분석한다. 여기서, 이미지 신호가 움직이는 이미지를 위한 것인지 또는 정지 이미지를 위한 것인지가 판단되고 이미지 신호가 움직이는 이미지를 위한 것인지 또는 정지 이미지를 위한 것인지에 따라 상이한 신호가 출력되는 상기 경우가 설명될 것이다.
- [0387] 예를 들어, 입력 이미지 신호(이미지 신호(Data))가 움직이는 이미지 신호에서 정지 이미지 신호로 스위칭될 때, 이미지 처리 회로(110)는 입력된 이미지 신호로부터 정지 이미지를 위한 데이터를 추출하고, 추출된 데이터를 추출된 데이터가 정지 이미지를 위한 것임을 나타내는 제어 신호와 함께 표시 제어 회로(113)로 출력한다. 또한, 상기 입력된 이미지 신호(이미지 신호(Data))가 정지 이미지 신호로부터 움직이는 이미지 신호로 스위칭될 때, 이미지 처리 회로(110)는 움직이는 이미지를 위한 데이터를 포함하는 이미지 신호를 이미지 신호가 움직이는 이미지를 위한 것임을 나타내는 제어 신호와 함께 표시 제어 회로(113)로 출력한다.
- [0388] 다음, 화소들로 공급된 신호들이 도 17에 도시된 액정 표시 장치의 동등 회로도도 도 18에 도시된 타이밍도를 참조하여 설명될 것이다.
- [0389] 도 18에, 표시 제어 회로(113)가 게이트 라인 구동 회로(121A)로 공급하는 클럭 신호(GCK)와 시작 펄스(GSP)가 도시된다. 게다가, 상기 표시 제어 회로(113)가 소스 라인 구동 회로(121B)로 공급하는 클럭 신호(SCK)와 시작 펄스(SSP)가 도 18에 도시된다. 클럭 신호들의 출력 타이밍을 설명하기 위하여, 도 18에서 클럭 신호들의 파형

들이 단순한 사각파들로 표시된다.

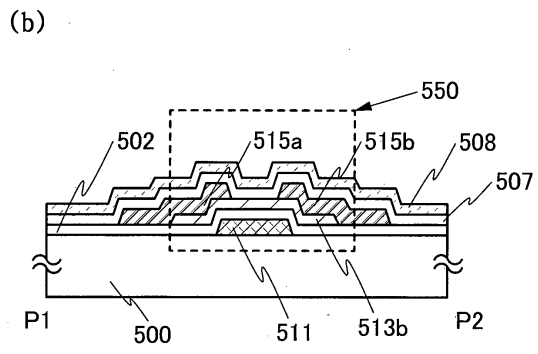
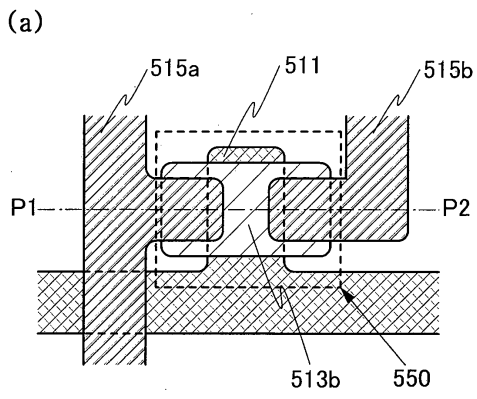
- [0390] 도 18에, 소스 라인(125)의 포텐셜, 화소 전극의 포텐셜, 단자(126A)의 포텐셜, 단자(126B)의 포텐셜, 및 공통 전극의 포텐셜이 도시된다.
- [0391] 도 18에서, 기간(1401)은 움직이는 이미지를 표시하기 위한 이미지 신호들이 기록되는 기간에 대응한다. 기간(1401)에서, 이미지 신호들과 공통 포텐셜이 화소부(122)의 각 화소과 공통 전극으로 공급된다.
- [0392] 또한, 기간(1402)은 정지 이미지가 표시되는 기간에 대응한다. 기간(1402)에서, 화소부(122)의 각 화소로의 이미지 신호들의 공급과 공통 전극으로의 공통 포텐셜의 공급이 정지된다. 도 18은 신호들의 공급이 수행되어 구동 회로부가 기간(1402) 동안 동작을 정지하는 구조를 도시하지만; 이미지 신호들이 기간(1402)의 길이와 리프레시 속도(refresh rate)에 의존하여 규칙적으로 기록되는 구조가 채용되어 정지 이미지의 열화를 방지하는 것이 바람직하다는 것에 주의한다.
- [0393] 먼저, 움직이는 이미지를 표시하기 위해 이미지 신호들이 기록되는 기간(1401)에서의 타이밍도가 설명될 것이다. 상기 기간(1401)에서, 클록 신호가 클록 신호(GCK)로서 항상 공급되고 수직 동기화 주파수에 대응하는 펄스가 시작 펄스(GSP)로서 공급된다. 또한, 기간(1401)에서, 클록 신호가 클록 신호(SCK)로서 항상 공급되고 하나의 게이트 선택 기간에 대응하는 펄스가 시작 펄스(SSP)로서 공급된다.
- [0394] 이미지 신호(Data)가 소스 라인(125)을 통해 각 행의 화소들로 공급되고 소스 라인(125)의 포텐셜이 게이트 라인(124)의 포텐셜에 따라 화소 전극으로 공급된다.
- [0395] 표시 제어 회로(113)는 스위칭 소자(127)가 도통 상태가 되도록 하는 포텐셜을 스위칭 소자(127)의 단자(126A)로 공급하고, 또한 단자(126B)를 통해 공통 전극으로 공통 포텐셜을 공급한다.
- [0396] 다음, 정지 이미지가 표시되는 기간(1402)에서의 타이밍도가 설명될 것이다. 기간(1402)에서, 클록 신호(GCK), 시작 펄스(GSP), 클록 신호(SCK), 및 시작 펄스(SSP)의 공급이 정지된다. 또한, 기간(1402)에서, 이미지 신호(Data)의 소스 라인(125)으로의 공급이 정지된다. 클록 신호(GCK)와 시작 펄스(GSP)의 공급이 정지되는 기간(1402)에서, 트랜지스터(214)가 오프되고, 화소 전극의 포텐셜은 플로팅 상태에 있게 된다.
- [0397] 게다가, 표시 제어 회로(113)는 스위칭 소자(127)가 비도통 상태가 되도록 하는 포텐셜을 스위칭 소자(127)의 단자(126A)로 공급하여, 공통 전극의 포텐셜이 플로팅 상태가 되게 된다.
- [0398] 기간(1402)에서, 액정 소자(215)의 두 전극들 모두, 즉, 화소 전극과 공통 전극이 플로팅 상태에 있게 되고; 따라서, 정지 이미지가 포텐셜의 부가적인 공급 없이 표시될 수 있다.
- [0399] 클럭 신호와 시작 펄스의 게이트 라인 구동 회로(121A)와 소스 라인 구동 회로(121B)로의 공급의 정지는 낮은 전력 소비를 가능하게 한다.
- [0400] 특히, 그의 오프 상태 전류가 감소되는 트랜지스터가 트랜지스터(214)와 스위칭 소자(127)에 이용되는 경우에, 액정 소자(215)의 양 단자들로 인가된 전압의 시간에 따른 감소가 억제될 수 있다.
- [0401] 다음, 표시된 이미지가 움직이는 이미지로부터 정지 이미지로 스위치되는 기간(도 18의 기간(1403))과 표시된 이미지가 정지 이미지로부터 움직이는 이미지로 스위치되는 기간(도 18의 기간(1404))에서의 표시 제어 회로의 동작들이 도 19a 및 도 19b를 참조하여 설명될 것이다. 도 19a 및 도 19b에서, 표시 제어 회로로부터 출력되는 높은 전원 포텐셜(V_{dd}), 클록 신호(여기서, GCK), 시작 펄스 신호(여기서, GSP), 및 단자(126A)의 포텐셜이 도시된다.
- [0402] 표시된 이미지가 움직이는 이미지로부터 정지 이미지로 스위치되는 기간(1403)에서의 표시 제어 회로의 동작이 도 19a에 도시된다. 표시 제어 회로는 시작 펄스(GSP)의 공급을 정지한다(도 19a의 E1, 제 1 단계). 이후, 시작 펄스(GSP)의 공급이 정지된 후 펄스 출력이 시프트 레지스터의 마지막 스테이지에 도달하고, 이후 복수의 클록 신호들(GCK)의 공급이 정지된다(도 19a의 E2, 제 2 단계). 이후, 전원 전압이 높은 전원 포텐셜(V_{dd})에서 낮은 전원 포텐셜(V_{ss})로 변화된다(도 19a의 E3, 제 3 단계). 다음, 단자(126A)의 포텐셜이 스위칭 소자(127)가 비도통 상태로 되도록 하는 포텐셜로 변화된다(도 19a의 E4, 제 4 단계).
- [0403] 상기 절차들을 통해, 구동 회로부(121)로의 신호들의 공급이 구동 회로부(121)의 오작동을 유발시키지 않고 정지될 수 있다. 표시된 이미지가 움직이는 이미지로부터 정지 이미지로 스위치될 때 생성된 오작동이 노이즈를 유발하고 노이즈는 정지 이미지로서 유지되기 때문에, 거의 오작동들이 없는 표시 제어 회로를 탑재한 액정 표

- 124 : 게이트 라인
- 126 : 단자부
- 126B : 단자
- 128 : 공통 전극
- 131 : 백라이트 제어 회로
- 200 : 기관
- 204 : 반도체 영역
- 208 : 게이트 절연층
- 211 : 커패시터
- 215 : 액정 소자
- 220 : 불순물 영역
- 224 : 금속 화합물 영역
- 230 : 절연층
- 242b : 전극
- 243b : 절연층
- 246 : 게이트 절연층
- 248b : 전극
- 252 : 절연층
- 256 : 배선
- 262 : 트랜지스터
- 500 : 기관
- 507 : 절연층
- 511 : 게이트 전극
- 513b : 산화물 반도체층
- 515b : 전극
- 600 : 기관
- 602 : 게이트 절연층
- 604 : 키보드
- 608 : 보호 절연층
- 611 : 게이트 전극
- 613 : 표시부
- 613b : 산화물 반도체층
- 615 : 외부 인터페이스
- 615b : 전극
- 621 : 하우징
- 625 : 표시부
- 125 : 소스 라인
- 126A : 단자
- 127 : 스위칭 소자
- 130 : 백라이트 유닛
- 132 : 백라이트
- 202 : 보호층
- 206 : 소자 분리 절연층
- 210 : 게이트 전극
- 214 : 트랜지스터
- 216 : 채널 형성 영역
- 222 : 금속층
- 228 : 절연층
- 242a : 전극
- 243a : 절연층
- 244 : 산화물 반도체층
- 248a : 게이트 전극
- 250 : 절연층
- 254 : 전극
- 260 : 트랜지스터
- 264 : 커패시터 소자
- 502 : 게이트 절연층
- 508 : 보호 절연층
- 513a : 산화물 반도체층
- 515a : 전극
- 550 : 트랜지스터
- 601 : 하우징
- 603 : 표시부
- 605 : 하우징
- 610 : 본체
- 612 : 스타일러스
- 613a : 산화물 반도체층
- 614 : 동작 버튼
- 615a : 전극
- 620 : 전자 서적 판독기
- 623 : 하우징
- 627 : 표시부

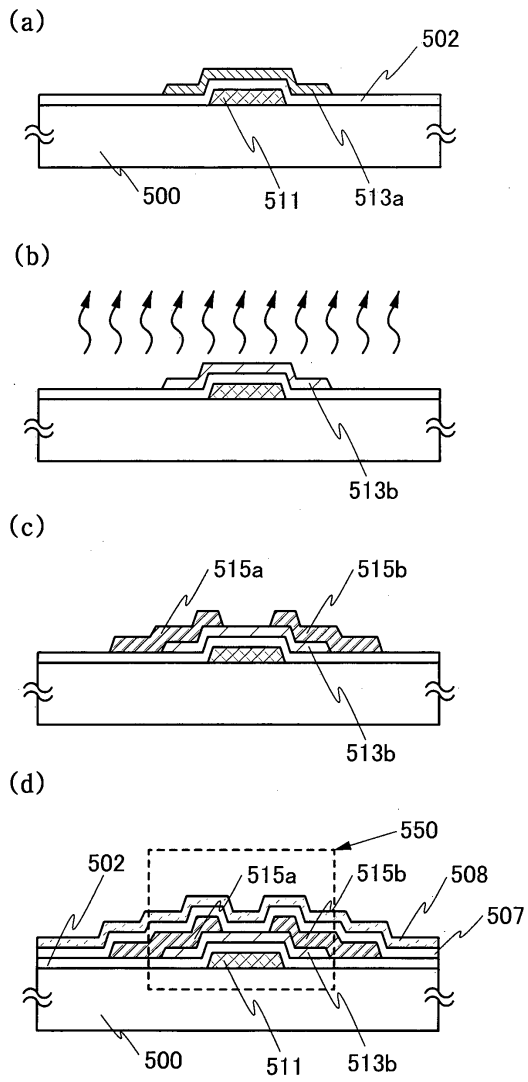
- | | |
|----------------|-----------------|
| 631 : 전원 버튼 | 633 : 동작 키 |
| 635 : 스피커 | 637 : 힌지 |
| 640 : 하우징 | 641 : 하우징 |
| 642 : 표시 패널 | 643 : 스피커 |
| 644 : 마이크로폰 | 645 : 동작 키 |
| 646 : 포인팅 디바이스 | 647 : 카메라 렌즈 |
| 648 : 외부 접속 단자 | 649 : 태양 전지 셀 |
| 650 : 트랜지스터 | 651 : 외부 메모리 슬롯 |
| 661 : 본체 | 663 : 접안부 |
| 664 : 동작 스위치 | 665 : 표시부 |
| 666 : 배터리 | 667 : 표시부 |
| 670 : 텔레비전 장치 | 671 : 하우징 |
| 673 : 표시부 | 675 : 스탠드 |
| 680 : 원격 제어기 | 700 : 트랜지스터 |
| 710 : 트랜지스터 | 720 : 커패시터 소자 |
| 750 : 메모리 셀 | 1401 : 기간 |
| 1402 : 기간 | 1403 : 기간 |
| 1404 : 기간 | 1601 : 기간 |
| 1602 : 기간 | 1603 : 기간 |
| 1604 : 기간 | |

도면

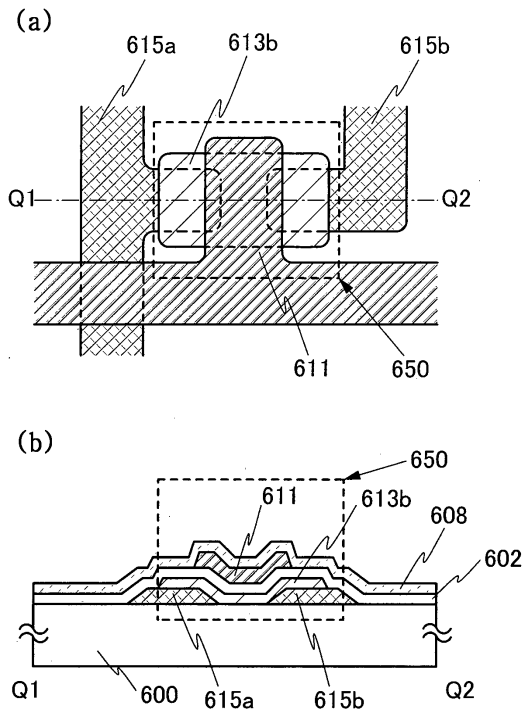
도면1



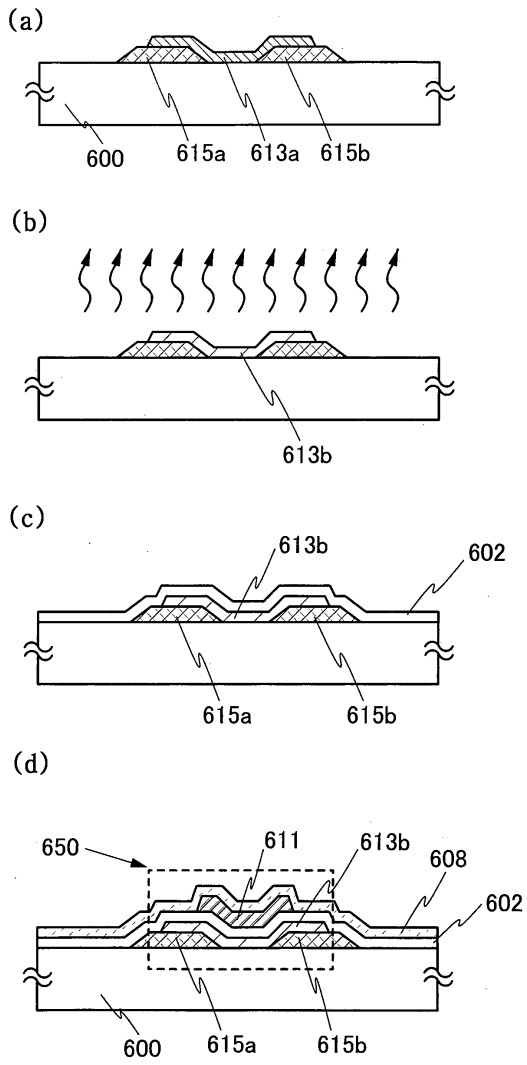
도면2



도면3

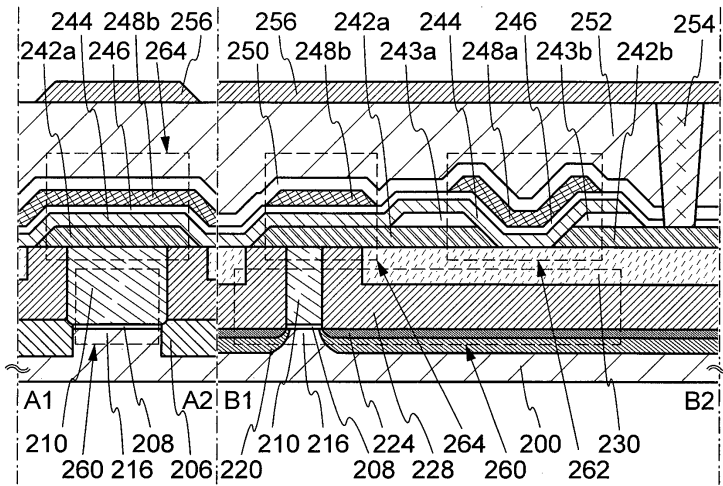


도면4

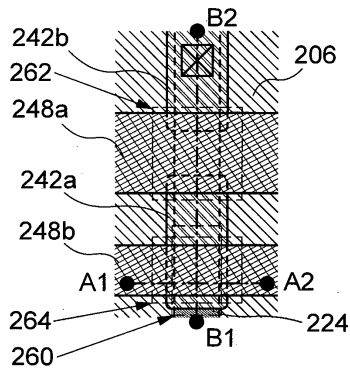


도면5

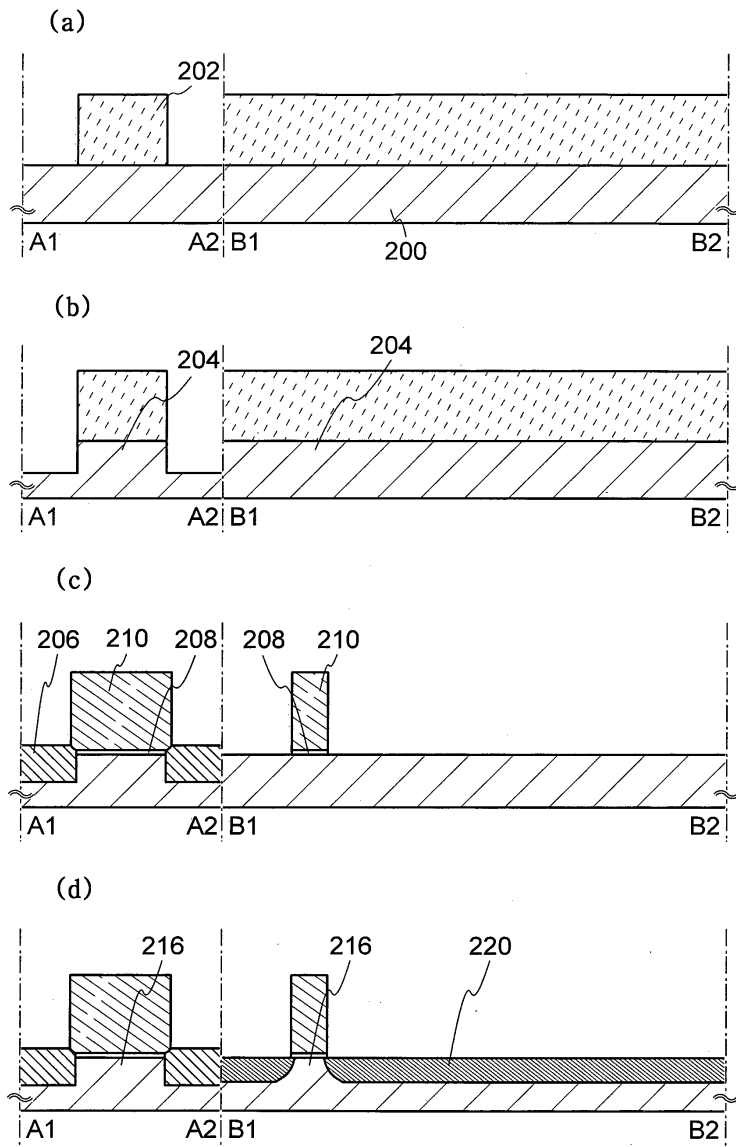
(a)



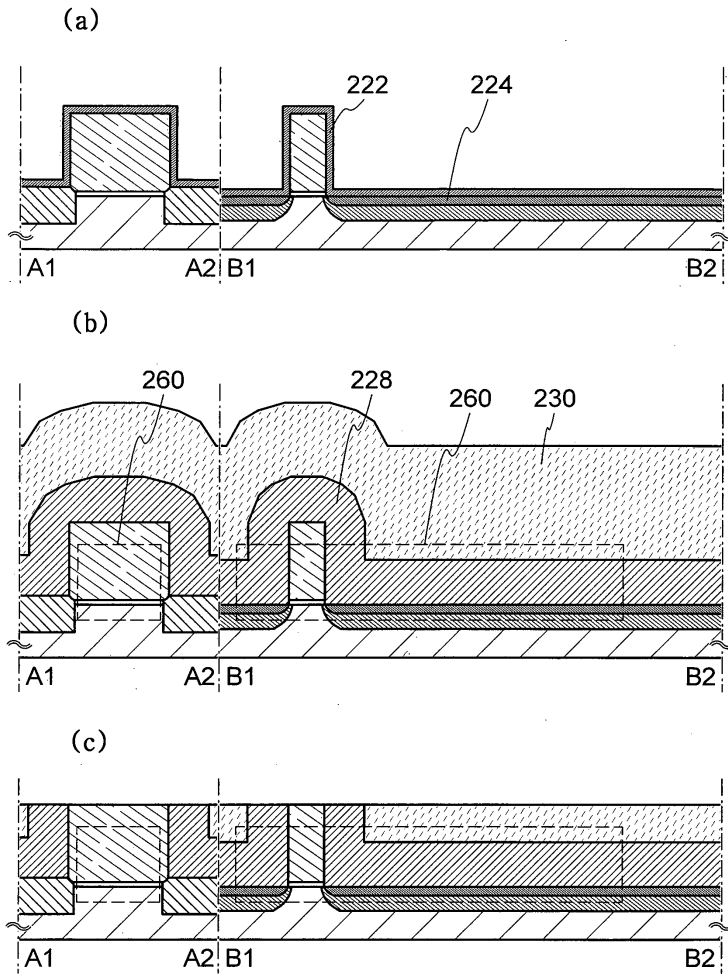
(b)



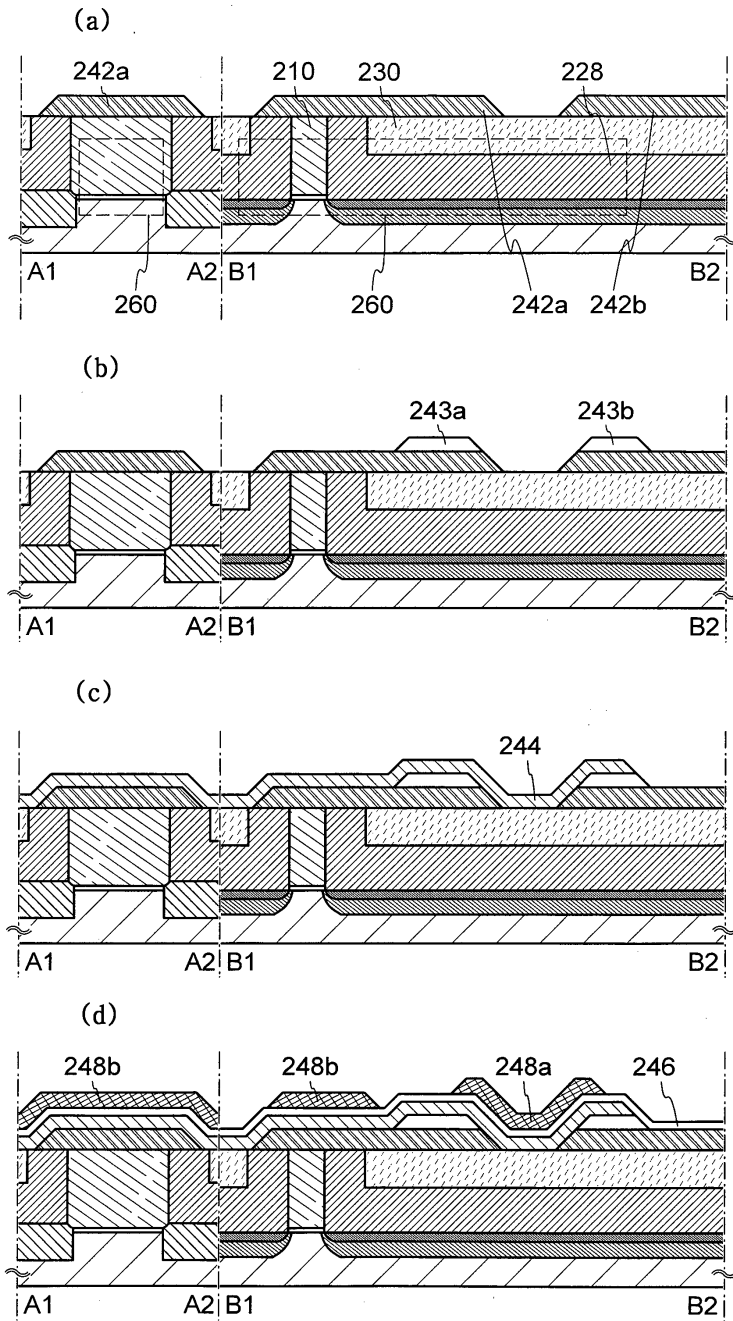
도면6



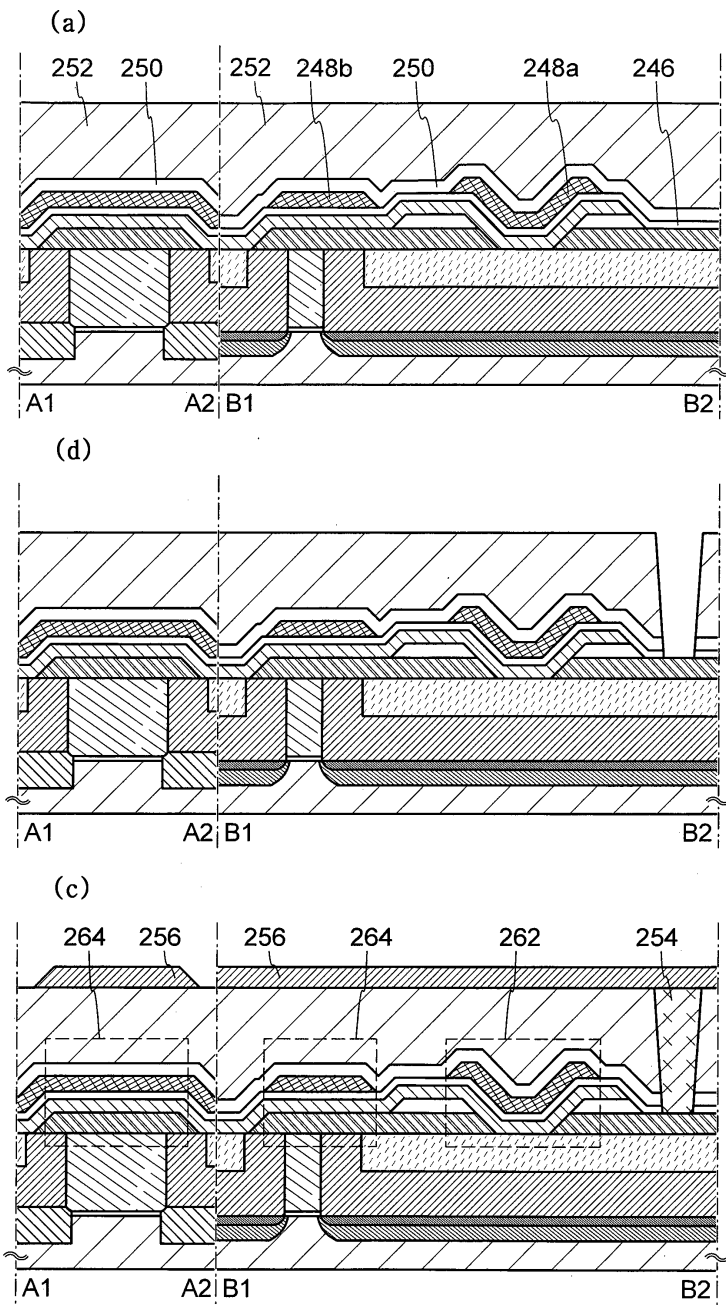
도면7



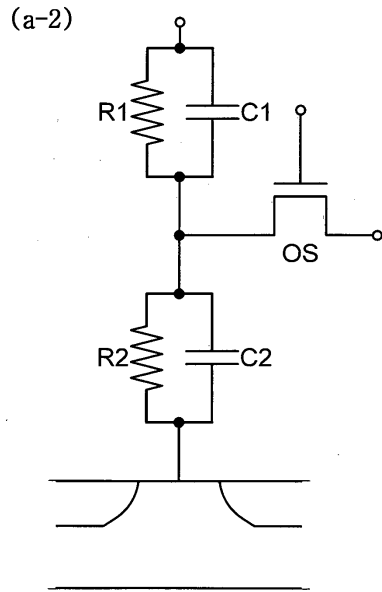
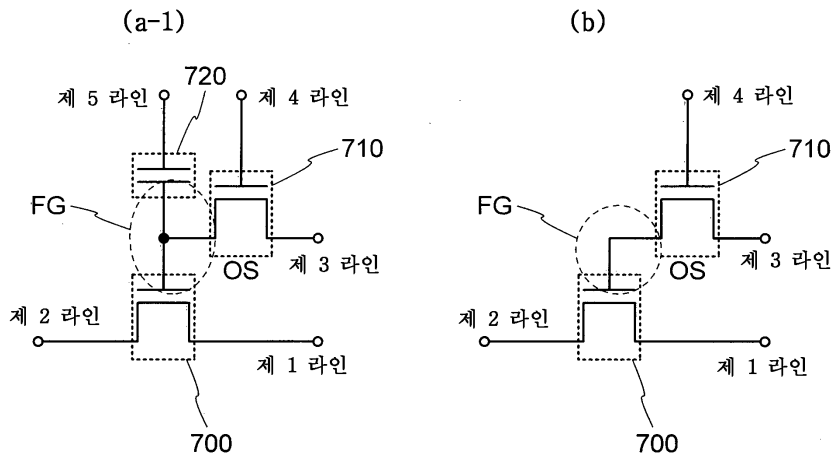
도면8



도면9

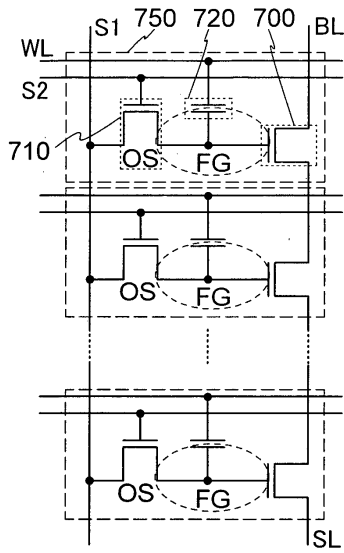


도면10

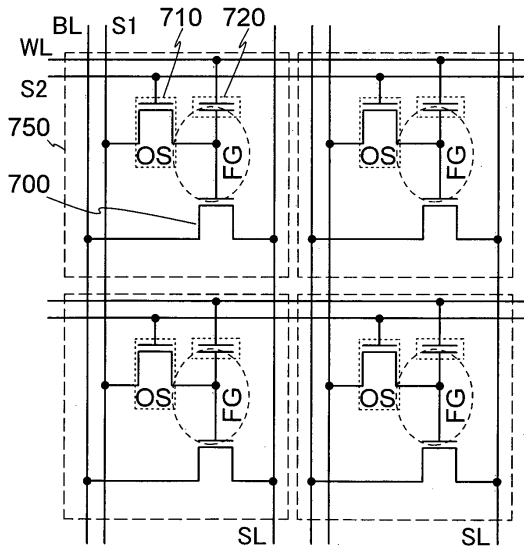


도면11

(a)

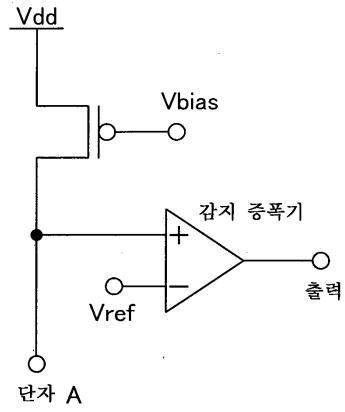


(b)

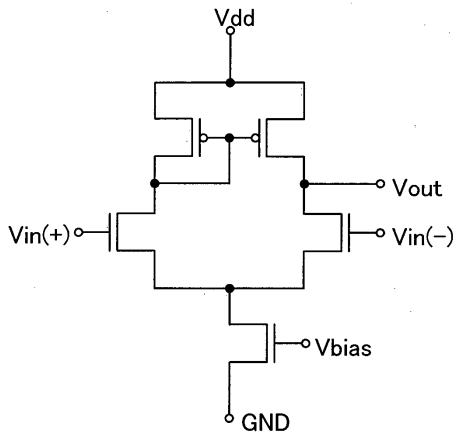


도면12

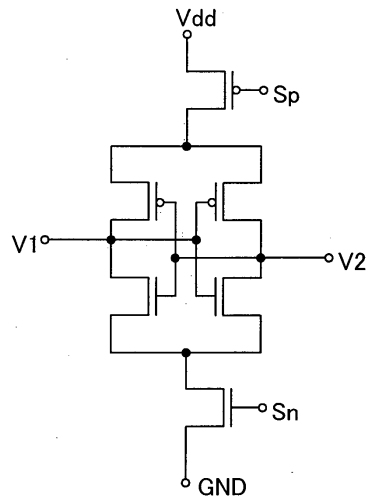
(a)



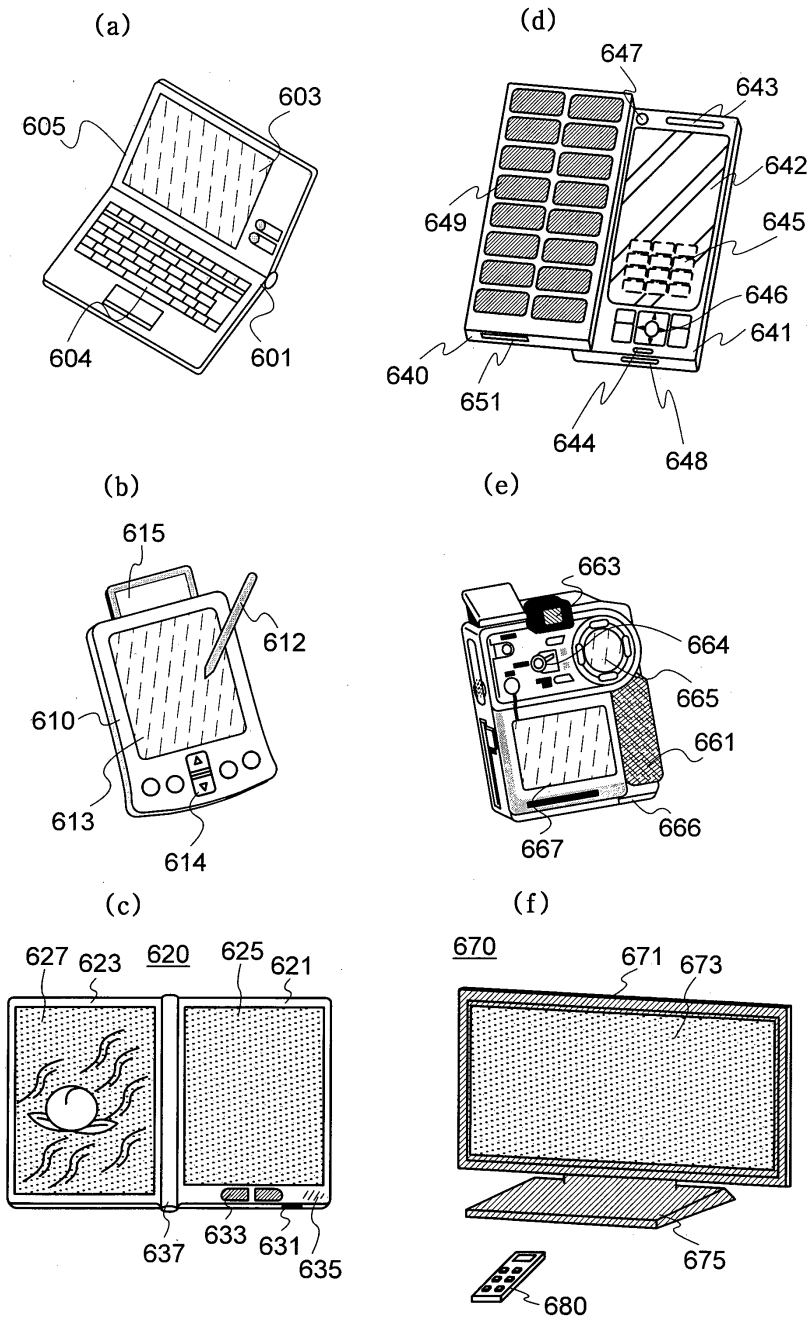
(b)



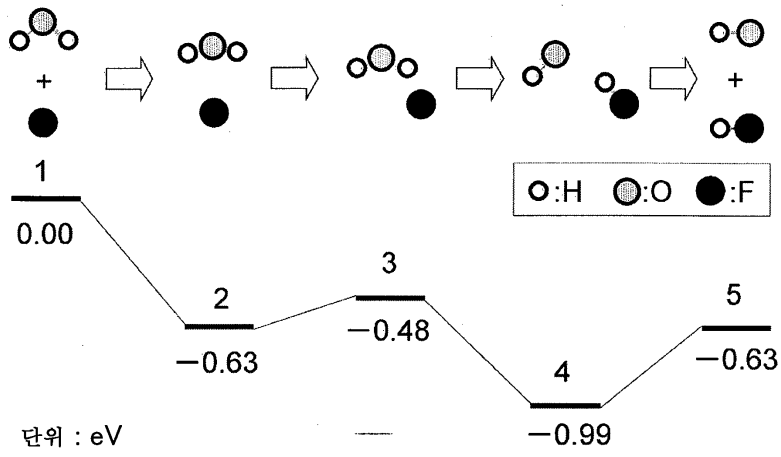
(c)



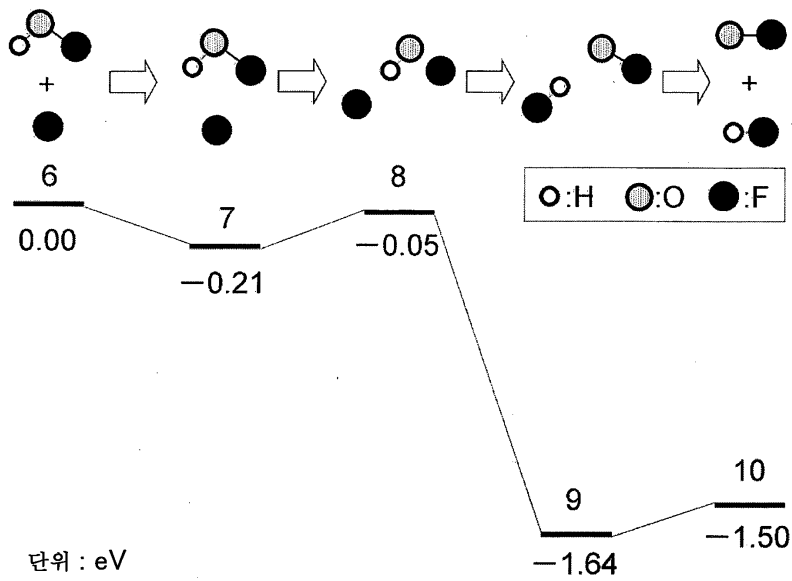
도면13



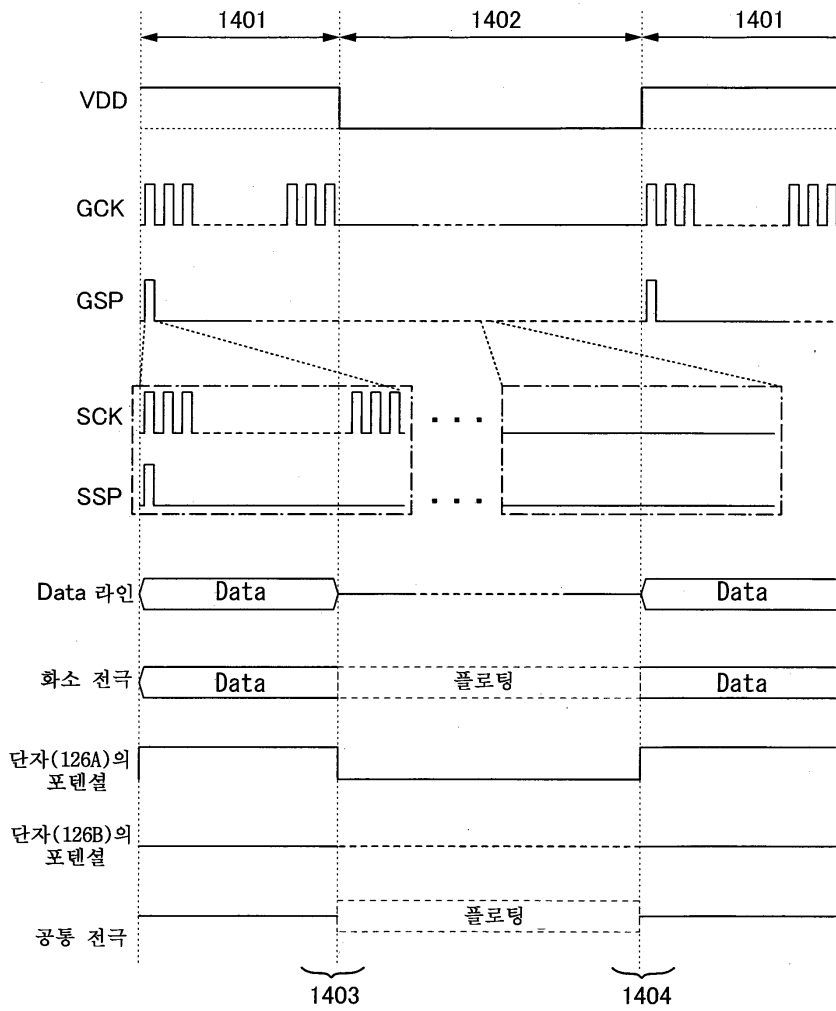
도면14



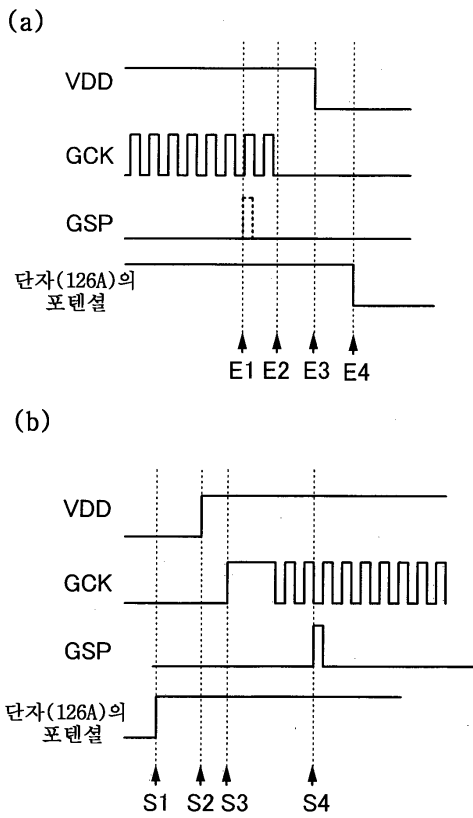
도면15



도면18



도면19



도면20

