

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-222777

(P2009-222777A)

(43) 公開日 平成21年10月1日(2009.10.1)

(51) Int.Cl.			F I			テーマコード (参考)		
G09G	3/36	(2006.01)	G09G	3/36		2H093		
G09G	3/20	(2006.01)	G09G	3/20	622A	2H193		
G02F	1/133	(2006.01)	G09G	3/20	622C	5C006		
			G09G	3/20	622D	5C080		
			G09G	3/20	621L			

審査請求 有 請求項の数 5 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2008-64406 (P2008-64406)
 (22) 出願日 平成20年3月13日 (2008. 3. 13)

(71) 出願人 503002765
 統寶光電股▲ふん▼有限公司
 台湾新竹科學工業園區苗栗縣竹南鎮科中路
 12號
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (72) 発明者 吉賀 正博
 兵庫県神戸市西区高塚台4-3-1
 Fターム(参考) 2H093 NA16 NA33 NB12 NC10 NC12
 NC18 ND10 NH12 NH13
 2H193 ZC15 ZF22 ZF36 ZF59
 最終頁に続く

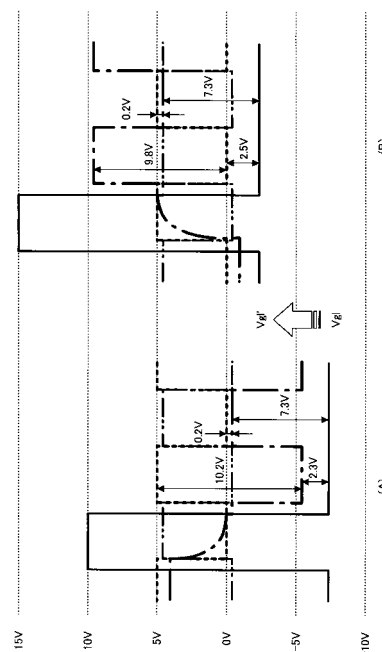
(54) 【発明の名称】 表示装置、電子装置、システム

(57) 【要約】

【課題】本発明は、画素電極と、画素電極に駆動電圧を印加するトランジスタと、トランジスタにゲート電圧を供給するゲート線駆動回路を含み、画素電極に印加する駆動電圧をゲート線駆動回路によってトランジスタを介して反転駆動する表示装置、電子装置、システムに関し、フリッカを低減できる表示装置、電子装置、システムを提供することを目的とする。

【解決手段】本発明は、画素電極と、画素電極に駆動電圧を印加するトランジスタと、トランジスタにゲート電圧を供給するゲート線駆動回路を含み、画素電極に印加する駆動電圧をゲート線駆動回路によってトランジスタを介して反転駆動する表示装置であって、ゲート線駆動回路は一方の駆動電圧でトランジスタを駆動する第1の駆動状態と他方の駆動電圧でトランジスタを駆動される第2の駆動状態とで前記ゲート電圧の電位を異ならせることを特徴とする。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

画素電極と、画素電極に駆動電圧を印加するトランジスタと、前記トランジスタにゲート電圧を供給するゲート駆動回路を含み、前記画素電極に印加する駆動電圧を反転駆動する表示装置であって、

前記ゲート駆動回路は、一方の駆動電圧で前記トランジスタを駆動する第 1 の駆動期間と他方の駆動電圧で前記トランジスタを駆動される第 2 の駆動期間とで前記ゲート電圧の基底電位を異ならせる表示装置。

【請求項 2】

前記ゲート駆動回路は、一方の駆動電圧で前記トランジスタを駆動する第 1 の駆動期間と他方の駆動電圧で前記トランジスタを駆動される第 2 の駆動期間とで前記ゲート電圧の最大電位を異ならせる請求項 1 記載の表示装置。

10

【請求項 3】

前記ゲート駆動回路は、前記一方の駆動電圧を供給するゲート電圧生成回路と、

前記ゲート電圧生成回路で生成された前記一方の駆動電圧を前記他方の駆動電圧にシフトするレベルシフト回路と、

前記第 1 の駆動期間で前記ゲート電圧回路から出力された前記一方の駆動電圧を出力させ、前記第 2 の駆動期間で前記ゲート電圧回路から出力された前記一方の駆動電圧を、前記レベルシフト回路により前記他方の駆動電圧にシフトさせて出力するスイッチ回路とを有する請求項 1 記載の表示装置。

20

【請求項 4】

請求項 1 乃至 3 のいずれか一項記載の表示装置を含む電子装置。

【請求項 5】

請求項 3 記載の電子装置を含むシステム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は表示装置、電子装置、システムに係り、特に、画素電極と、画素電極に駆動電圧を印加するトランジスタと、トランジスタにゲート電圧を供給するゲート駆動回路を含み、画素電極に印加する駆動電圧を反転駆動する表示装置、電子装置、システムに関する。

30

【背景技術】**【0002】**

薄型、低消費電力の観点から、コンピュータ、携帯電話などの表示装置として液晶表示装置が用いられている。

【0003】

画素電極への電圧の印加を T F T (thin film transistor) を用いたアクティブマトリックス方式の液晶表示装置では、画素電極とデータ線との間に T F T を配置し、ゲート線により T F T をスイッチングして、データ線に印加された電圧を画素電極に供給している (例えば、特許文献 1 参照)。

40

【0004】

液晶表示装置では、寿命を延ばすため、液晶が一方向にだけ旋回しないように画素電極とコモン電極との間に印加される電圧を、例えば、フレーム毎に反転させ、液晶に印加する電圧をフレーム毎に反転させている。また、このとき、例えば、同じフレームで、ライン毎に反対の電圧が液晶に印加されるように制御している。

【0005】

図 6 は従来のゲート線駆動方法の一例を説明するための図を示す。図 6 (A) は第 1 の液晶状態、図 6 (B) は第 2 の液晶駆動状態における画素に印加する電圧を制御するための T F T のゲート電圧 V_g 、ドレイン電圧 V_d 、ソース電圧 V_s の状態を示している。

【0006】

50

従来のゲート線駆動方法は、図6に示すようにゲート電圧 V_g は第1の液晶駆動状態と第2の液晶駆動状態とによらず固定であった。このため、図6(A)に示す第1の液晶駆動状態においてTFTのオフのときにゲート電圧 V_g が基底電圧 V_{gl} となると、ゲート電圧 V_g の基底電圧 V_{gl} とドレイン電圧 V_d との差は2.3Vであるが、図6(B)に示す第2の液晶駆動状態においてTFTのオフのときにゲート電圧 V_g が基底電圧 V_{gl} となると、ゲート電圧 V_g の基底電圧 V_{gl} とソース電圧 V_s との差が7.5Vに拡大する。これによって、第1の液晶駆動状態と第2の液晶駆動状態とでTFTのオフ電流 I_{off} に差が生じる。

第1の液晶駆動状態と第2の液晶駆動状態とでTFTのオフ電流 I_{off} の差が液晶表示装置の画質を劣化させる原因の一つであり、画面をちらつかせる原因であるフリッカという現象が発生していた。

【特許文献1】特開2007-188079号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は上記の点に鑑みてなされたもので、フリッカを低減できる表示装置、電子装置、システムを提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明は、画素電極と、画素電極に駆動電圧を印加するトランジスタと、トランジスタにゲート電圧を供給するゲート駆動回路を含み、画素電極に印加する駆動電圧を反転駆動する表示装置であって、ゲート駆動回路は一方の駆動電圧でトランジスタを駆動する第1の駆動期間と他方の駆動電圧でトランジスタを駆動される第2の駆動期間とで前記ゲート電圧の基底電位を異ならせることを特徴とする。

【0009】

また、ゲート駆動回路は、一方の駆動電圧でトランジスタを駆動する第1の駆動期間と他方の駆動電圧でトランジスタを駆動される第2の駆動期間とでゲート電圧の最大電位を異ならせることを特徴とする。

【0010】

さらに、ゲート駆動回路は、前記一方の駆動電圧を供給するゲート電圧生成回路と、ゲート電圧生成回路で生成された前記一方の駆動電圧を前記他方の駆動電圧にシフトするレベルシフト回路と、第1の駆動期間でゲート電圧回路から出力された一方の駆動電圧を出力させ、第2の駆動期間でゲート電圧回路から出力された一方の駆動電圧を、レベルシフト回路により他方の駆動電圧にシフトさせて出力するスイッチ回路とを有することを特徴とする。

【発明の効果】

【0011】

本発明によれば、画素電極に駆動電圧を印加するトランジスタのゲート電圧の基底電圧を、一方の駆動電圧でトランジスタを駆動する第1の駆動期間と他方の駆動電圧でトランジスタを駆動される第2の駆動期間とで異ならせることにより、第1の駆動期間と第2の駆動期間とで、トランジスタのゲート-ソース間電圧、あるいは、ゲート-ドレイン間電圧の変動を小さくでき、よって、フリッカを低減できる。

【発明を実施するための最良の形態】

【0012】

図1は本発明の一実施例のシステム構成図を示す。

【0013】

本実施例では表示装置として液晶表示装置100を例に説明を行う。

【0014】

液晶表示装置100は、アクティブマトリクス方式の液晶表示装置であり、表示部111、ゲート線駆動回路112、データ線駆動回路113、インタフェース回路114を含

10

20

30

40

50

む構成とされている。

【 0 0 1 5 】

図 2 は表示部 1 1 1 の要部の構成図を示す。

【 0 0 1 6 】

表示部 1 1 1 は、下部ガラス基 1 2 1 上に直接、あるいは、保護膜などを介して画素電極 1 3 1、T F T (thin film transistor) 1 3 2、ゲート線 1 3 3、データ線 1 3 4 がマトリクス状に形成されている。更に、画素電極 1 3 1、T F T 1 3 2、ゲート線 1 3 3、データ線 1 3 4 は、配向膜 1 3 5 により覆われている。配向膜 1 3 5 は、図示しないスペーサを介して上部ガラス基板 1 4 1 に対向する。

【 0 0 1 7 】

上部ガラス基板 1 4 1 には、下部ガラス基板 1 2 1 に対向する面に共通電極 1 4 2、配向膜 1 4 3 が略全面に亘って形成されている。下部ガラス基板 1 2 1 と上部ガラス基板 1 4 1 との間に液晶 1 5 1 が封入される。

【 0 0 1 8 】

T F T 1 3 2 は、ゲート線 1 3 3 にゲート線駆動回路 1 2 3 から供給されるゲート電圧に応じてスイッチングする、T F T 1 3 2 がオンすることにより、データ線 1 3 4 の電圧が画素電極 1 3 1 に印加される。画素電極 1 3 1 に印加される駆動電圧によって、画素電極 1 3 1 と共通電極 1 4 2 との電位差に応じて液晶 1 5 1 の配列が変化して、光学的特性が変化する。これによって、画素表現を行っている。

【 0 0 1 9 】

ゲート線駆動回路 1 1 2 は、ゲート線 1 3 3 を介して T F T 1 3 2 のゲートに接続されており、T F T 2 2 2 をスイッチングする。

【 0 0 2 0 】

図 3 はゲート線駆動回路 1 1 2 のブロック構成図を示す。

【 0 0 2 1 】

ゲート線駆動回路 1 1 2 は、ゲート電圧供給回路 2 1 1、スイッチ回路 2 1 2、レベルシフト回路 2 1 3 から構成されている。ゲート電圧供給回路 2 1 1 は、インタフェース回路 1 1 4 から供給されるタイミング信号に応じてゲート線 1 3 3 毎にゲート電圧を生成し、スイッチ回路 2 1 2 に供給する。また、ゲート電圧供給回路 2 1 1 は、スイッチ回路 2 1 2 にスイッチング制御信号を供給する。

【 0 0 2 2 】

スイッチ回路 2 1 2 は、ゲート線駆動回路 1 1 2 からのスイッチング制御信号によりスイッチングされる。スイッチ回路 2 1 2 は、例えば、所定ライン Lg1 にゲート線駆動回路 1 1 2 の出力が供給されているときには、隣接するライン Lg2 にゲート線駆動回路 1 1 2 の出力をレベルシフト回路 2 1 3 でレベルシフトしたゲート電圧が印加されるように、切換制御されている。

【 0 0 2 3 】

このとき、ゲート電圧供給回路 2 1 1 で生成されるゲート電圧 V_g であり、レベルシフト回路 2 1 3 はゲート電圧供給回路 2 1 1 で生成されるゲート電圧 V_g をゲート電圧 V_g' にレベルシフトする。このとき、例えば、ゲート電圧供給回路 2 1 1 で生成されるゲート電圧 V_g の基底電圧 V_{gl} が -7.5V であるとすると、レベルシフト回路 2 1 3 は、ゲート電圧 V_g の基底電圧 V_{gl} を 2.1V シフトアップした、 -5.1V のゲート電圧 V_g' を出力する。

【 0 0 2 4 】

図 4 は T F T 1 3 2 の動作特性図を示す。図 4 (A) は第 1 の液晶駆動状態、図 4 (B) は第 2 の液晶駆動状態を示している。なお、図 4 において、実線はゲート電圧 V_g 、破線はソース電圧 V_s 、一点鎖線はドレイン電圧 V_d 、二点鎖線は共通電極 1 4 2 に印加されるコモン電圧 V_{com} を示している。

【 0 0 2 5 】

本実施例のゲート線駆動回路 1 1 2 では、T F T 1 3 2 のゲート電圧を第 1 の液晶駆動

10

20

30

40

50

状態では図4(A)に示すようにゲート電圧 $V_g = \text{略} + 10 \sim -7.5 \text{ V}$ で駆動し、第2の液晶駆動状態では図4(B)に示すようにゲート電圧 $V_{g'} = \text{略} + 15 \sim -2.5 \text{ V}$ で駆動する。これにより、TFT132を駆動することにより図4(A)に示す第1の液晶駆動状態におけるゲート電圧 V_g の基底電圧 V_{gl} とドレイン電圧 V_d の基底電圧 V_{dl} と電圧の差(2.3V)に対して図4(B)に示す第2の液晶駆動状態におけるゲート電圧 $V_{g'}$ の基底電圧 $V_{gl'}$ とソース電圧 V_s の基底電圧 V_{sl} との電圧の差(2.5V)にでき、第1の液晶駆動状態と第2の液晶駆動状態とで電圧の差を略0.2Vに近似させることができる。これにより、第2の液晶駆動状態におけるオフ電流を低減できる。また、第1の液晶駆動状態と第2の液晶駆動状態とでオフ電流の差を低減できる。したがって、フリッカを小さくできる。

10

【0026】

図5は表示階調に対するTFT132のオフ電流の特性を示す図である。同図中、実線、破線は本実施例のゲート線駆動回路112により駆動したときの第1の液晶駆動状態と第2の液晶駆動状態での階調に対するオフ電流 I_{off} の差 I_{off} 、一点鎖線、二点鎖線はゲート電圧 V_g の基底電圧 V_{gl} 、 $V_{gl'}$ を -7.5 V に固定としたときの第1の液晶駆動状態と第2の液晶駆動状態でのオフ電流 I_{off} の差 I_{off} の特性を示している。

【0027】

図5に示すように本実施例のゲート線駆動回路112によりゲート線133を駆動することにより、第1の液晶駆動状態と第2の液晶駆動状態とでのTFT132のオフ電流 I_{off} の差 I_{off} を小さくできることがわかる。

20

【0028】

このように、本実施例によれば、TFTのゲート電圧をTFTの駆動極性に依りて切り換えることにより、第1の液晶駆動状態と第2液晶駆動状態とでTFTのオフ時のリーク電流の差を小さくできるため、フリッカを低減できる。

【0029】

また、上記実施例の表示装置100は、コンピュータ、テレビジョンなどの電子装置に適用可能である。さらに、本実施例の表示装置100を搭載した電子装置により情報処理システムなどを構築することも可能である。

【0030】

なお、本発明は上記実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変形例が考えられることは言うまでもない。

30

【図面の簡単な説明】

【0031】

【図1】本発明の一実施例のシステム構成図である。

【図2】表示部111の要部の構成図である。

【図3】ゲート線駆動回路112の要部のブロック構成図である。

【図4】TFT132の動作特性図である。

【図5】表示階調に対するTFT132のオフ電流の特性を示す図である。

【図6】従来のゲート線駆動方法を説明するための図を示す。

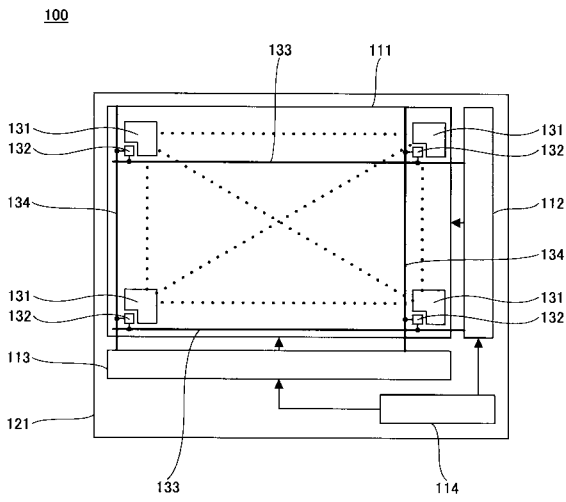
【符号の説明】

40

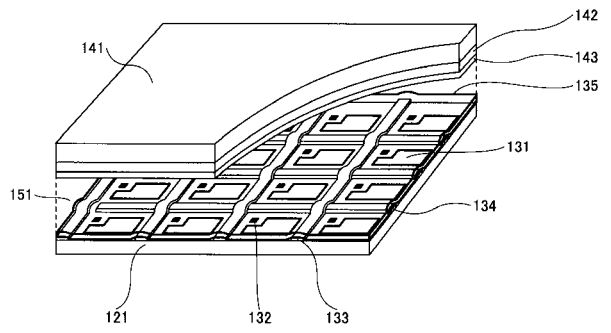
【0032】

- 100 液晶表示装置
- 111 表示部、112 ゲート線駆動回路、113 データ線駆動回路
- 121 下部ガラス基板
- 131 画素電極、132 TFT、133 ゲート線、134 データ線
- 135 配向膜
- 141 上部ガラス基板、142 共通電極、143 配向膜
- 151 液晶

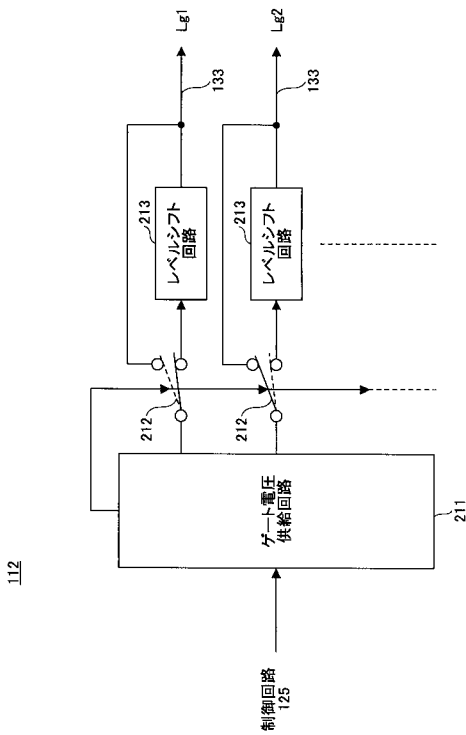
【図1】



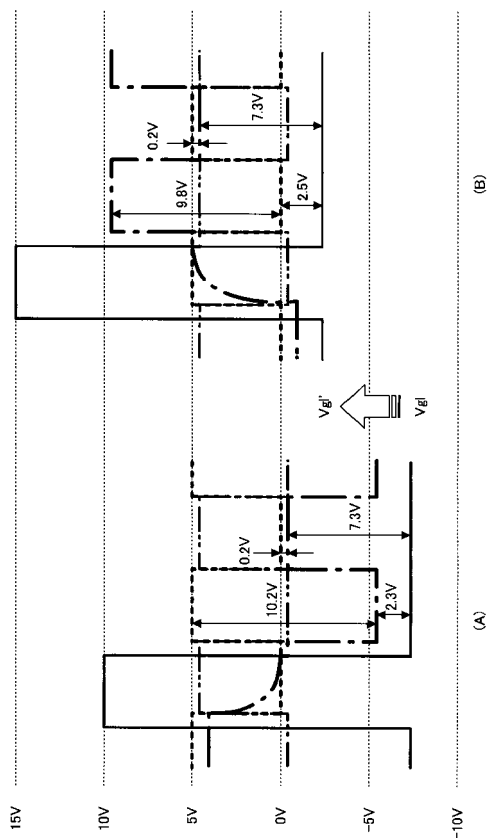
【図2】



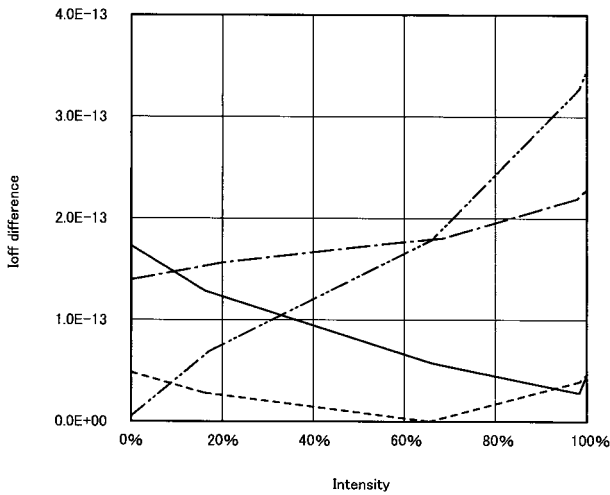
【図3】



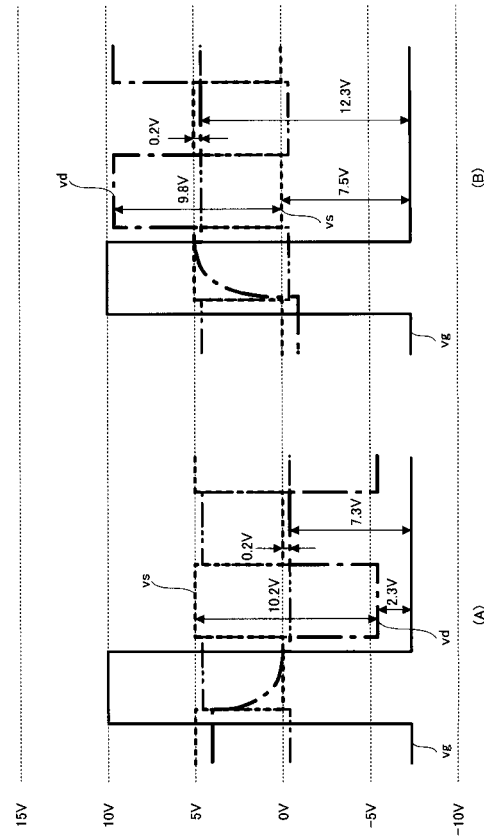
【図4】



【 図 5 】



【 図 6 】



【 手続補正書 】

【 提出日 】平成21年3月19日(2009.3.19)

【 手続補正 1 】

【 補正対象書類名 】特許請求の範囲

【 補正対象項目名 】全文

【 補正方法 】変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

画素電極と、画素電極に駆動電圧を印加するトランジスタと、前記トランジスタにゲート電圧を供給するゲート線駆動回路を含み、前記画素電極に印加する駆動電圧を前記ゲート線駆動回路によって前記トランジスタを介して反転駆動する表示装置であって、

前記ゲート線駆動回路は、一方の駆動電圧で前記トランジスタを駆動する第1の駆動状態と他方の駆動電圧で前記トランジスタを駆動する第2の駆動状態とで、前記ゲート電位の電位を異ならせる表示装置。

【 請求項 2 】

前記ゲート線駆動回路は、一方の駆動電圧で前記トランジスタを駆動する第1の駆動状態と他方の駆動電圧で前記トランジスタを駆動する第2の駆動状態とで前記ゲート電圧の基底電位を異ならせる請求項1記載の表示装置。

【 請求項 3 】

前記ゲート線駆動回路は、前記一方の駆動電圧で前記トランジスタを駆動する一方のゲート電圧を生成するゲート電圧生成回路と、

前記ゲート電圧生成回路で生成された前記一方のゲート電圧を前記他方の駆動電圧で前記トランジスタを駆動するゲート電圧にシフトするレベルシフト回路と、

前記第1の駆動状態で前記ゲート電圧生成回路から出力された前記一方のゲート電圧を

出力し、前記第2の駆動状態で前記レベルシフト回路でシフトされた前記他方のゲート電圧を出力するスイッチ回路とを有する請求項1記載の表示装置。

【請求項4】

請求項1乃至3のいずれか一項記載の表示装置を含む電子装置。

【請求項5】

請求項3記載の電子装置を含むシステム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置、電子装置、システムに係り、特に、画素電極と、画素電極に駆動電圧を印加するトランジスタと、トランジスタにゲート電圧を供給するゲート線駆動回路を含み、画素電極に印加する駆動電圧をゲート線駆動回路によってトランジスタを介して反転駆動する表示装置、電子装置、システムに関する。

【背景技術】

【0002】

薄型、低消費電力の観点から、コンピュータ、携帯電話などの表示装置として液晶表示装置が用いられている。

【0003】

画素電極への電圧の印加をTFT(thin film transistor)を用いたアクティブマトリクス方式の液晶表示装置では、画素電極とデータ線との間にTFTを配置し、ゲート線によりTFTをスイッチングして、データ線に印加された電圧を画素電極に供給している(例えば、特許文献1参照)。

【0004】

液晶表示装置では、寿命を延ばすため、液晶が一方向にだけ旋回しないように画素電極とコモン電極との間に印加される電圧を、例えば、フレーム毎に反転させ、液晶に印加する電圧をフレーム毎に反転させている。また、このとき、例えば、同じフレームで、ライン毎に反対の電圧が液晶に印加されるように制御している。

【0005】

図6は従来 of ゲート線駆動方法の一例を説明するための図を示す。図6(A)は第1の液晶状態、図6(B)は第2の駆動状態における画素に印加する電圧を制御するためのTFTのゲート電圧 V_g 、ドレイン電圧 V_d 、ソース電圧 V_s の状態を示している。

【0006】

従来 of ゲート線駆動方法は、図6に示すようにゲート電圧 V_g は第1の駆動状態と第2の駆動状態とによらず固定であった。このため、図6(A)に示す第1の駆動状態においてTFTのオフのときにゲート電圧 V_g が基底電圧 V_{gl} となると、ゲート電圧 V_g の基底電圧 V_{gl} とドレイン電圧 V_d との差は2.3Vであるが、図6(B)に示す第2の駆動状態においてTFTのオフのときにゲート電圧 V_g が基底電圧 V_{gl} となると、ゲート電圧 V_g の基底電圧 V_{gl} とソース電圧 V_s との差が7.5Vに拡大する。これによって、第1の駆動状態と第2の駆動状態とでTFTのオフ電流 I_{off} に差が生じる。

第1の駆動状態と第2の駆動状態とでTFTのオフ電流 I_{off} の差が液晶表示装置の画質を劣化させる原因の一つであり、画面をちらつかせる原因であるフリッカという現象が発生していた。

【特許文献1】特開2007-188079号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は上記の点に鑑みてなされたもので、フリッカを低減できる表示装置、電子装置、システムを提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明は、画素電極と、画素電極に駆動電圧を印加するトランジスタと、トランジスタにゲート電圧を供給するゲート線駆動回路を含み、画素電極に印加する駆動電圧をゲート線駆動回路によってトランジスタを介して反転駆動する表示装置であって、ゲート線駆動回路は一方の駆動電圧でトランジスタを駆動する第1の駆動状態と他方の駆動電圧でトランジスタを駆動される第2の駆動状態とで前記ゲート電圧の電位を異ならせることを特徴とする。

【0009】

また、ゲート駆動回路は、一方の駆動電圧でトランジスタを駆動する第1の駆動状態と他方の駆動電圧でトランジスタを駆動される第2の駆動状態とでゲート電圧の基底の電位を異ならせることを特徴とする。

さらに、前記ゲート線駆動回路は、前記一方の駆動電圧で前記トランジスタを駆動する一方のゲート電圧を生成するゲート電圧生成回路と、

前記ゲート電圧生成回路で生成された前記一方のゲート電圧を前記他方の駆動電圧で前記トランジスタを駆動するゲート電圧にシフトするレベルシフト回路と、

前記第1の駆動状態で前記ゲート電圧生成回路から出力された前記一方のゲート電圧を出力し、前記第2の駆動状態で前記レベルシフト回路でシフトされた前記他方のゲート電圧を出力するスイッチ回路とを有する。

【発明の効果】

【0010】

本発明によれば、画素電極に駆動電圧を印加するトランジスタのゲート電圧の上位電位又は基底電位を、一方の駆動電圧でトランジスタを駆動する第1の駆動状態と他方の駆動電圧でトランジスタを駆動される第2の駆動状態とで異ならせることにより、第1の駆動状態と第2の駆動状態とで、トランジスタのゲート-ソース間電圧、あるいは、ゲート-ドレイン間電圧の変動を小さくでき、よって、フリッカを低減できる。

【発明を実施するための最良の形態】

【0011】

図1は本発明の一実施例のシステム構成図を示す。

【0012】

本実施例では表示装置として液晶表示装置100を例に説明を行う。

【0013】

液晶表示装置100は、アクティブマトリクス方式の液晶表示装置であり、表示部111、ゲート線駆動回路112、データ線駆動回路113、インタフェース回路114を含む構成とされる。

【0014】

図2は表示部111の要部の構成図を示す。

【0015】

表示部111は、下部ガラス基121上に直接、あるいは、保護膜などを介して画素電極131、TFT(thin film transistor)132、ゲート線133、データ線134がマトリクス状に形成されている。更に、画素電極131、TFT132、ゲート線133、データ線134は、配向膜135により覆われている。配向膜135は、図示しないスペーサを介して上部ガラス基板141に対向する。

【0016】

上部ガラス基板141には、下部ガラス基板121に対向する面に共通電極142、配

向膜 143 が略全面に亘って形成されている。下部ガラス基板 121 と上部ガラス基板 141 との間に液晶 151 が封入される。

【0017】

TFT132 は、ゲート線 133 にゲート線駆動回路 123 から供給されるゲート電圧に応じてスイッチングする、TFT132 がオンすることにより、データ線 134 の電圧が画素電極 131 に印加される。画素電極 131 に印加される駆動電圧によって、画素電極 131 と共通電極 142 との電位差に応じて液晶 151 の配列が変化して、光学的特性が変化する。これによって、画素表現を行っている。

【0018】

ゲート線駆動回路 112 は、ゲート線 133 を介して TFT132 のゲートに接続されており、TFT222 をスイッチングする。このとき、ゲート線駆動回路 112 は、TFT222 を介して画素電極 131 に印加する駆動電圧を、例えば、フレーム毎に極性を反転して駆動している。

【0019】

図 3 はゲート線駆動回路 112 のブロック構成図を示す。

【0020】

ゲート線駆動回路 112 は、ゲート電圧生成回路 211、スイッチ回路 212、レベルシフト回路 213 から構成されている。ゲート電圧生成回路 211 は、インタフェース回路 114 から供給されるタイミング信号に応じてゲート線 133 毎に一方のゲート電圧 V_g を生成し、スイッチ回路 212 に供給する。また、ゲート電圧生成回路 211 は、スイッチ回路 212 にスイッチング制御信号を供給する。

【0021】

スイッチ回路 212 は、ゲート線駆動回路 112 からのスイッチング制御信号によりスイッチングされる。スイッチ回路 212 は、例えば、所定ライン L_{g1} にゲート線駆動回路 112 の出力が供給されているときには、隣接するライン L_{g2} にゲート線駆動回路 112 の出力をレベルシフト回路 213 でレベルシフトした他方のゲート電圧 $V_{g'}$ が印加されるように、切換制御されている。

【0022】

このとき、ゲート電圧生成回路 211 で生成される一方のゲート電圧 V_g であり、レベルシフト回路 213 はゲート電圧生成回路 211 で生成される一方のゲート電圧 V_g を、他方のゲート電圧 $V_{g'}$ にレベルシフトする。このとき、例えば、ゲート電圧生成回路 211 で生成される一方のゲート電圧 V_g の基底電圧 V_{g1} が -7.5 V であるとすると、レベルシフト回路 213 は、ゲート電圧 V_g の基底電圧 V_{g1} を 2.4 V シフトアップした、 -5.1 V の他方のゲート電圧 $V_{g'}$ を出力する。

【0023】

図 4 は TFT132 の動作特性図を示す。図 4 (A) は第 1 の駆動状態、図 4 (B) は第 2 の駆動状態を示している。なお、図 4 において、実線はゲート電圧 V_g 、破線はソース電圧 V_s 、一点鎖線はドレイン電圧 V_d 、二点鎖線は共通電極 142 に印加される共通電圧 V_{com} を示している。

【0024】

本実施例のゲート線駆動回路 112 では、TFT132 のゲート電圧を第 1 の駆動状態で図 4 (A) に示すようにゲート電圧 $V_g = \text{略} + 10 \sim -7.5$ V で駆動し、第 2 の駆動状態では図 4 (B) に示すようにゲート電圧 $V_{g'} = \text{略} + 15 \sim -2.5$ V で駆動する。これにより、TFT132 を駆動することにより図 4 (A) に示す第 1 の駆動状態におけるゲート電圧 V_g の基底電圧 V_{g1} とドレイン電圧 V_d の基底電圧 V_{d1} と電圧の差 (2.3 V) に対して図 4 (B) に示す第 2 の駆動状態におけるゲート電圧 $V_{g'}$ の基底電圧 $V_{g1'}$ とソース電圧 V_s の基底電圧 V_{s1} との電圧の差 (2.5 V) にでき、第 1 の駆動状態と第 2 の駆動状態とで電圧の差を略 0.2 V に近似させることができる。これにより、第 2 の駆動状態におけるオフ電流を低減できる。また、第 1 の駆動状態と第 2 の駆動状態とでオフ電流の差を低減できる。したがって、フリッカを小さくできる。

【 0 0 2 5 】

図 5 は表示階調に対する T F T 1 3 2 のオフ電流の特性を示す図である。同図中、実線、破線は本実施例のゲート線駆動回路 1 1 2 により駆動したときの第 1 の駆動状態と第 2 の駆動状態での階調に対するオフ電流 I_{off} の差 I_{off} 、一点鎖線、二点鎖線はゲート電圧 V_g の基底電圧 V_{gl} 、 V_{gl}' を $-7.5V$ に固定としたときの第 1 の駆動状態と第 2 の駆動状態でのオフ電流 I_{off} の差 I_{off} の特性を示している。

【 0 0 2 6 】

図 5 に示すように本実施例のゲート線駆動回路 1 1 2 によりゲート線 1 3 3 を駆動することにより、第 1 の駆動状態と第 2 の駆動状態とでの T F T 1 3 2 のオフ電流 I_{off} の差 I_{off} を小さくできることがわかる。

【 0 0 2 7 】

このように、本実施例によれば、T F T 1 3 2 のゲート電圧 V_g 、 V_g' の基底電圧 V_{gl} 、 V_{gl}' を T F T 1 3 2 の駆動極性に依じて切り換えることにより、第 1 の駆動状態と第 2 の駆動状態とで T F T 1 3 2 のオフ時のリーク電流の差を小さくできるため、フリッカを低減できる。

【 0 0 2 8 】

また、上記実施例の表示装置 1 0 0 は、コンピュータ、テレビジョンなどの電子装置に適用可能である。さらに、本実施例の表示装置 1 0 0 を搭載した電子装置により情報処理システムなどを構築することも可能である。

なお、本発明は上記実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変形例が考えられることは言うまでもない。

【 図面の簡単な説明 】

【 0 0 2 9 】

【 図 1 】 本発明の一実施例のシステム構成図である。

【 図 2 】 表示部 1 1 1 の要部の構成図である。

【 図 3 】 ゲート線駆動回路 1 1 2 の要部のブロック構成図である。

【 図 4 】 T F T 1 3 2 の動作特性図である。

【 図 5 】 表示階調に対する T E T 1 3 2 のオフ電流の特性を示す図である。

【 図 6 】 従来 of ゲート線駆動方法を説明するための図を示す。

【 符号の説明 】

【 0 0 3 0 】

- 1 0 0 液晶表示装置
- 1 1 1 表示部、 1 1 2 ゲート線駆動回路、 1 1 3 データ線駆動回路
- 1 2 1 下部ガラス基板
- 1 3 1 画素電極、 1 3 2 T F T、 1 3 3 ゲート線、 1 3 4 データ線
- 1 3 5 配向膜
- 1 4 1 上部ガラス基板、 1 4 2 共通電極、 1 4 3 配向膜
- 1 5 1 液晶

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 1 1 E
G 0 2 F 1/133 5 5 0
G 0 2 F 1/133 5 0 5

Fターム(参考) 5C006 AC11 AC22 AF42 AF71 BB16 BC03 BC06 FA23
5C080 AA10 BB05 DD06 EE01 EE17 EE29 EE30 FF11 JJ02 JJ04
JJ05 JJ06 KK02 KK07 KK43