

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-207343

(P2007-207343A)

(43) 公開日 平成19年8月16日(2007.8.16)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 4 E	5 B 1 2 5
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 0 1 B	
	G 1 1 C 17/00 6 4 1	

審査請求 未請求 請求項の数 10 O L (全 33 頁)

(21) 出願番号	特願2006-24690 (P2006-24690)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(22) 出願日	平成18年2月1日(2006.2.1)	(74) 代理人	100064746 弁理士 深見 久郎
		(74) 代理人	100085132 弁理士 森田 俊雄
		(74) 代理人	100083703 弁理士 仲村 義平
		(74) 代理人	100096781 弁理士 堀井 豊
		(74) 代理人	100098316 弁理士 野田 久登
		(74) 代理人	100109162 弁理士 酒井 将行

最終頁に続く

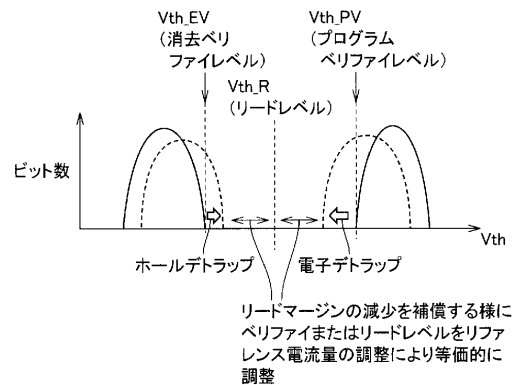
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】フローティングゲート型メモリトランジスタを有する不揮発性半導体記憶装置のデトラップ耐性を改善する。

【解決手段】トンネル絶縁膜の劣化によりフローティングゲート下のトンネル絶縁膜にトラップされたトラップ電荷がデトラップして、メモリセルのしきい値電圧がシフトする際、そのしきい値電圧シフトを補償するように、ベリファイ時または読出時に用いられるリファレンス電流量を調整して、ベリファイ電圧レベルまたは読出電圧レベルを等価的に調整する。

【選択図】 図 8



【特許請求の範囲】

【請求項 1】

複数のメモリセル、

前記複数のメモリセルのうちの選択メモリセルのデータセンス時の基準電流を生成する、各々が異なる値の電流を供給する複数の基準電流源を含む基準電流発生回路、および前記複数の基準電流源のうちの1つと前記複数のメモリセルのうちの選択メモリセルの電流とを比較するデータ読出回路を備え、前記1つの基準電流源として、前記複数の基準電流源のうちの前記選択メモリセルに対する読出マージンが大きい電流源が択一的に選ばれて用いられる、不揮発性半導体記憶装置。

【請求項 2】

各前記基準電流源は、前記メモリセルと同一構造のリファレンスセルで構成される、請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

各前記基準電流源は、ゲートに基準電圧を受けるトランジスタを備える、請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】

複数のメモリセル、

前記複数のメモリセルのうちの選択メモリセルのデータセンス時の基準電流を生成する、互いに供給電流の異なる複数の電流源を含む基準電流発生回路、

前記複数のメモリセルのデータの書換回数をカウントするカウンタ回路、および前記カウンタ回路のカウント値と動作モードとに応じて前記複数の電流源を切換える電流源切換回路を備える、不揮発性半導体記憶装置。

【請求項 5】

前記電流源切換回路は、前記カウント値が所定値以上のときには、ベリファイ動作時には第 1 の電流源を選択し、かつ外部へのデータ読出動作時には、前記第 1 の電流源よりも供給電流量の小さな電流源を選択する、請求項 4 記載の不揮発性半導体記憶装置。

【請求項 6】

前記電流源切換回路は、前記カウント値が前記所定値よりも小さいときには、ベリファイ動作および外部データ読出時に前記第 1 の電流源を選択する、請求項 5 記載の不揮発性半導体記憶装置。

【請求項 7】

前記電流源切換回路は、前記カウント値が前記所定値よりも小さいときには、前記ベリファイ動作および外部データ読出時には前記第 1 の電流源よりも供給電流の小さな電流源を選択する、請求項 5 記載の不揮発性半導体記憶装置。

【請求項 8】

前記複数の電流源は、第 1 の電流源と、前記第 1 の電流源の供給電流に対して互いに異なる大きさのバイアス電流を与える複数のバイアス電流源とを備え、

前記電流源切換回路は、前記複数のバイアス電流源を前記カウンタ回路のカウント値と動作モードとに応じて切換える、請求項 4 記載の不揮発性半導体記憶装置。

【請求項 9】

複数のメモリセル、

前記複数のメモリセルのうちの選択メモリセルのデータセンス時の基準電流を生成する基準電流発生回路、

前記複数の不揮発性メモリセルの書換回数をカウントするカウンタ回路、および前記カウンタ回路のカウント値と動作モードとに応じて前記基準電流発生回路の供給する基準電流の大きさを切換える電流量切換回路とを備える、不揮発性半導体記憶装置。

【請求項 10】

前記基準電流発生回路は、コントロールゲートに印加される電圧に応じて流す電流量が設定されるトランジスタ素子を備え、

前記電流量切換回路は、前記トランジスタ素子のコントロールゲートの電圧レベルを切

10

20

30

40

50

換える、請求項9記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、不揮発性半導体記憶装置に関し、特に、フローティングゲートの蓄積電荷量に応じて情報を記憶するフラッシュメモリに関する。より特定的には、この発明は、フローティングゲート下部の絶縁膜劣化時のデータ誤読出を回避するための構成に関する。

【背景技術】

【0002】

電氣的に書込および消去が可能な不揮発性半導体記憶装置の1つに、フローティングゲート型半導体記憶装置がある。このフローティングゲート型半導体記憶装置は、メモリセルが、フローティングゲートを有する積層ゲート型トランジスタで構成され、このフローティングゲート内の蓄積電荷(電子)量を制御することにより、データのプログラム(書込)/消去を行なう。フローティングゲート型半導体記憶装置の1つであるフラッシュメモリにおいては、フローティングゲートへ電子を注入すると、メモリセルトランジスタのしきい値電圧 V_{th} が高くなり、逆にフローティングゲートから電子を引抜くとしきい値電圧 V_{th} が低くなる。本明細書においては、このフローティングゲートへの電子の注入をプログラムと称し、逆に電子を引抜く操作を消去と称す。

【0003】

一般的なフラッシュメモリの場合、メモリセルの論理しきい値は、ある大きさの電圧をメモリセルのコントロールゲートに印加し、そのときにメモリセルのソース-ドレイン間を流れる電流と基準電流との大小をセンスアンプで比較することにより決定される。この基準電流を生成するために参照用メモリセル(以下、リファレンスセルと称す)を使用しているNOR型フラッシュメモリを例にとって説明すると、メモリセルを流れる電流が、リファレンスセルを流れる電流よりも多い場合には、論理値が“1”(消去状態)、少ない場合は、記憶データの論理値が“0”(プログラム状態)と判定される。

【0004】

フラッシュメモリが製品として出荷される前に、このリファレンスセルは、所望の電流値が得られるように書込が行なわれる。理想的には、リファレンスセルが流す電流(基準電流)は、設定値と等しい値となる。しかしながら、現実には、この基準電流は、セル特性および書込のばらつきにより、設定値に対してある範囲内で分布した値を取る。この基準電流のばらつきにより、データ読出時のリードマージン(基準電流とメモリセル電流の差)が減少し、フラッシュメモリの信頼性を低下させる要因の1つとなっている。

【0005】

また、フラッシュメモリにおいては、書込/消去時においては、フローティングゲート下部の絶縁膜に大きな電圧ストレスが印加される。このため、書換回数が増大するにつれて、絶縁膜の劣化または絶縁膜中の電子のトラップが生じ、書込/消去に要する時間が長くなり、初期のしきい値電圧分布よりもずれる可能性が生じ、データの誤読出が生じる問題がある。

【0006】

この書換回数増大によるデータ誤読出を回避することを目的とする構成が、特許文献1(特開2004-296077号公報)に示されている。この特許文献1に示されるフラッシュメモリは、多値フラッシュメモリであり、多値の各値対応にマスタ参照セルを有するマスタ参照セルの組を用いる。マスタ参照セルとメモリセルのそれぞれ流れる電流を逐次または並列に比較して、メモリセルのデータを読出す。マスタ参照セルに対応して、各セクタ内にメモリセルと同様の書換時の電圧ストレスを受けるように、ローカル参照セルが設けられる。ローカル参照セルそれぞれには、予め、多値の各値に対応するデータがプログラムされる。データ読出時、ローカル参照セルとマスタ参照セルの対応のセルの電流を比較し、マスタ参照セルのバイアスを調整する。これにより、メモリセルのしきい値電圧の変動を反映して基準電流を生成する。データ読出時、メモリセルとマスタ参照セルそ

10

20

30

40

50

れぞれを流れる電流の比較により、データを読み出す。

【0007】

このマスタ参照セルを流れる電流量の調整は、補助電流源により、駆動電流量のバイアスを調整することにより、行なわれる。

【0008】

また、フラッシュメモリセルのトンネル絶縁膜のストレスに起因する劣化により、トンネル絶縁膜を介してリーク電流が生じるのを防止することを図る構成が、特許文献2（特開平10-275488号公報）に示されている。この特許文献2においては、フローティングゲート型トランジスタと直列にさらに、フローティングゲートを共有するトランジスタ対を接続する。メモリセルを流れる電流を、ダミーセルを流れる電流と比較する。ダミーセルは、1つのフローティングゲート型トランジスタと2つのフローティングゲート型トランジスタの直列体との並列接続で構成される。このダミーセルとの電流比較時、メモリセルのコントロールゲートは、行列接続されるフローティングゲート型トランジスタとともにオン状態となる電圧レベルに設定して、メモリセルのデータの記憶状態を判定する。この判定結果に従って、再度、メモリセルに、読出用の基準電圧を供給する。2つのフローティングゲート型トランジスタを直列に接続することにより、いわゆるスプリット型フローティングゲートトランジスタを構成し、これらのフローティングゲートの電荷のリークの有無を判定して、データ保持の不良を識別する。

10

【0009】

また、トンネル絶縁膜の耐久性テストの信頼性を改善することを図る構成が、特許文献3（特開2000-268586号公報）に示されている。この特許文献3に示される構成においては、出荷前のテスト時において、消去ペリファイ電圧の下限値および上限値を高くして消去ペリファイを行なう。通常動作時においては、消去時のペリファイ電圧を、このテスト時の上限および下限消去ペリファイ電圧よりも低い電圧レベルにシフトさせる。これらのシフト量は同じとする。テスト時に、消去時のしきい値電圧を高い方向にシフトすることにより、いわゆるしきい値電圧の自己収束過程を不要とし、テスト時間を短縮することを図る。通常動作時には、消去ペリファイ時に自己収束を行なう。また、書込時のペリファイ電圧をテスト時に併せて高くすることにより、トンネル絶縁膜の電荷通過量をテスト状態時および通常動作状態時で同じとし、このトンネル絶縁膜の耐久性テストの信頼性を改善することを図る。

20

30

【0010】

また、書換回数に応じてトンネル絶縁膜が劣化して消去に要する時間が長くなるのを防止することを図る構成が、特許文献4（特開2000-182383号公報）に示されている。この特許文献4に示される構成においては、書換回数をカウントし、このカウント値が所定値を超えると、書込用高電圧の電圧レベルを変更する。トンネル絶縁膜のストレスを緩和する場合には、この書込高電圧および消去高電圧の電圧レベルを低下させる。一方、書込/消去時間を短くする場合には、これらの書込および消去高電圧の電圧レベルを高くする。

【0011】

また、消去/書込サイクル（書換サイクル）による電圧ストレスに起因する素子特性の劣化を防止することを図る構成が、特許文献5（特開平9-91979号公報）に示されている。この特許文献5に示される構成においては、書換回数が所定値を超えると、その後の各書込において初回の書込時間を長くする。これにより、ペリファイおよび再書込の回数を低減し、ストレスの印加を抑制し、また書込時間を短縮することを図る。トンネル絶縁膜劣化時、書込時間が長くなるため、非劣化時と同様の書込を行なった場合、1回目は書込不良となる可能性が高い。したがって、特許文献5においては、この書込不良状態を防止するために、初回の書込時間を長くする。

40

【0012】

また、トンネル絶縁膜の経時劣化を補償してデータ読出の信頼性を向上することを図る構成が特許文献6（特開平7-98988号公報）に示されている。この特許文献6に示

50

される構成においては、多値メモリセルのしきい値電圧に対して、それぞれしきい値電圧が異なる複数のリファレンスセルを準備する。この場合、メモリセルのデータ読出に必要な数よりも多くのリファレンスセルが用いられる。リファレンスセルとメモリセルの電流を比較し、その比較結果を合成して2ビットの検出情報を生成することにより、メモリセルのしきい値電圧の変化の有無および変化方向を検出し、元のしきい値電圧レベルを検出する。しきい値電圧の変化の有無およびその方向を検出することにより、以後のプログラム時間またはパルス进行调整する。

【0013】

この特許文献6は、ノーマルセルのしきい値電圧が、論理値が変化するしきい値電圧レベルを越えて変化する前に、ビット単位でこのしきい値電圧の変化を検出することを図る。すなわち、リファレンスセルを、メモリセルデータの読出に必要な基準電圧の組よりも多くの数を設け、それぞれ、メモリセルデータ読出用の基準電圧の間のしきい値電圧を有するリファレンスセルを準備する。メモリセルのしきい値電圧の変化前に、リファレンスセルの組の読出データが変化し、その論理合成によりメモリセルのしきい値電圧の変化を検出することを図る。

10

【0014】

また、ゲート絶縁膜の劣化によるデータの誤読出を防止することを図る構成が、特許文献7(特開平11-213682号公報)に示されている。この特許文献7に示される構成においては、多値データの各データ値を複数のリファレンスセルそれぞれに書込む。このリファレンスセルの記憶値は固定的に設定される。データ読出時、リファレンスセルを讀出用の基準電圧を用いて読出し、その読出結果をリファレンスセルの記憶データと比較し、その比較結果に応じて基準電圧レベルを調整する。この基準電圧をワード線読出電圧として用いて、メモリセルのデータ読出を行なう。リファレンスセルの経時変化を、メモリセルのトンネル絶縁膜の経時変化と同様とみなし、このリファレンスセルのしきい値電圧変化に応じて基準電圧レベルを調整することにより、メモリセルのしきい値変化を補償してデータの読出を行なうことを図る。

20

【特許文献1】特開2004-296077号公報

【特許文献2】特開平10-275488号公報

【特許文献3】特開2000-268586号公報

【特許文献4】特開2000-182383号公報

30

【特許文献5】特開平9-91979号公報

【特許文献6】特開平7-98988号公報

【特許文献7】特開平11-213682号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

特許文献1に示される構成においては、マスタ参照セルを流れる電流を、補助電流源を用いてバイアス調整して、参照電流を調整している。したがって、各データ読出時において、マスタ参照セルの供給電流を、ローカル参照セルのしきい値に応じて調整する必要があり、データ読出時の調整が、煩瑣となるという問題が生じる。

40

【0016】

また、特許文献2に示される構成においては、1つのフローティングゲート型トランジスタを直列に接続することにより、一方のフローティングゲートにおいて電荷リークが生じても、他方のフローティングゲート型トランジスタにおいてフローティングゲートの電荷リークが生じない場合において、データを正確に読出すことを図り、これにより、信頼性を改善することを図る。また、1つのフローティングゲートのうち的一方において電子のリークが生じた場合、正常時よりも、そのインピーダンスが低くなり、メモリセルをフローティングゲート型トランジスタをととも導通状態として、そのメモリセルを流れる電流を検出することにより、電荷保持不良状態を識別する。

【0017】

50

また、別のダミーセルとして、2つのフローティングゲートのうちの一方のフローティングから電子の抜け（電荷リーク）が生じた時と同じインピーダンスのダミーセルを設け、このダミーセルおよびメモリセルを流れる電流を識別することにより、電荷リーク発生の有無を識別する。このダミーセルの構成においては、メモリセルと同じ形式のダミーセルトランジスタと1つのフローティングゲート型トランジスタを有する第2のダミーセルトランジスタとを並列に接続し、中間状態のインピーダンスを生成する。メモリセル電流とこのダミーセル電流とを比較することにより、メモリセルのしきい値電圧のシフトを識別することが示されている。

【0018】

しかしながら、この特許文献2に示される構成においては、電荷保持不良を識別することが考慮されており、その判定結果に基づいて、メモリセルのデータ読出時、メモリセルへ与えられる電圧レベルを調整する（電荷リーク時には、その基準電圧レベルを低くする）。したがって、この特許文献2の構成の場合には、電荷保持不良判定を行なう読出と、記憶データの読出を行なう動作の2つの動作が必要となり、データ読出に要する時間が長くなる。

10

【0019】

また特許文献3に示される構成においては、トンネル絶縁膜の耐久性テストの信頼性を改善することを目的として、テスト時と実使用時とで、消去ペリファイ電圧の上限値および下限値をシフトしている。しかしながら、実使用時におけるトンネル絶縁膜劣化によるしきい値電圧のシフトおよび書込特性および消去特性の変化に対する補償を行なう構成については考慮していない。

20

【0020】

特許文献4に示される構成においては、書換回数が所定値よりも高くなると書込/消去電圧レベルを高くすることを図る。しかしながら、この場合においても、ペリファイ電圧およびデータ読出時のデータ判別用の基準電圧に対する補償を行なう構成は示されていない。

【0021】

特許文献5においても、書換回数が所定値を超えると初回の書込時間を長くする構成が示されているものの、ペリファイ動作時およびデータ読出時のデータ論理値判別用の基準電圧とメモリセルのしきい値電圧の関係に対する補償を行なう構成については考察されていない。

30

【0022】

特許文献6に示される構成においては、多値データの識別に必要な基準電圧よりもレベルの多いリファレンスセルを設け、これらのリファレンスセルとメモリセルとを並行して読出すことにより、メモリセルのしきい値電圧の変化の有無および方向を検出している。しかしながら、リファレンスセルとして、多値データの識別に必要なレベルよりも多くのリファレンスレベルを生成する必要があり、多値データ記録時、このリファレンスレベルを設定するのが困難となる。

【0023】

特許文献7においては、リファレンスセルに固定の記憶値データを書込み、読出時、リファレンスセルと基準電圧とを比較し（基準電圧印加によりリファレンスセルのデータの読出を行う）、その比較結果に応じて読出時にワード線に印加される基準電圧レベルを設定してメモリセルデータを読出している。従って、データ読出前にリファレンスセルとの比較に基づいて基準電圧レベルを調整する必要があり、データ読出に要する時間が長くなる。

40

【0024】

また、信頼性を低下させる1つの要因として、デトラップの問題がある。絶縁膜を介してフローティングゲートへ電荷の注入/引拔を行なう書換動作を繰返した場合、トンネル絶縁膜が徐々に劣化し、この絶縁膜内にトラップサイトが形成される。チャネルホットエレクトロン（CHE）を利用した書込（プログラム）または消去時に、このトラップサイ

50

トに電荷がトラップされて、絶縁膜中に電荷が蓄積される。この電荷がトラップされた状態に対応するしきい値電圧の状態で行なうベリファイ動作を行なってプログラムおよび消去が完了した場合、この絶縁膜と基板との界面付近の準位にトラップされた電荷は、短時間 (μ s から ms のオーダー) でデトラップ (放出) される。

【0025】

メモリセルは、そのしきい値電圧 V_{th} が、紫外線消去時のしきい値電圧 UVV_{th} (フローティングゲートに電荷がない中性の状態のしきい値電圧) に近づこうと電荷を放出する。したがって、プログラム状態のメモリセルは、高いしきい値電圧状態から電子が抜けた低いしきい値電圧の方向にそのしきい値電圧がシフトする。一方、消去状態のメモリセルにおいては、ホールが抜けやすく、低いしきい値電圧の状態から高いしきい値電圧の方向にそのしきい値電圧がシフトする。

10

【0026】

最終的に、界面付近の電荷がデトラップした後は、プログラム状態のメモリセルのしきい値分布および消去時のメモリセルのしきい値電圧分布はともに読出時の基準電圧 (記憶データ判別用) の方向にシフトし、リードマージンが低下する。この結果、メモリセルの誤読出が生じる可能性が生じ、信頼性に悪影響が生じる。このメモリが不良となるまでの時間は、デトラップ寿命と呼ばれ、フラッシュメモリのデータ保持寿命を決定する要因の1つである。多値メモリの場合には、1つのセルに2ビット以上のデータが格納され、このしきい値電圧の分布の間隔がより狭くなり、デトラップによるしきい値電圧の変動の影響がさらに大きくなる。

20

【0027】

前述の特許文献1から7においては、このトンネル絶縁膜のトラップサイトの電荷のデトラップによるしきい値電圧変動の影響については特に考慮していない。

【0028】

それゆえ、この発明の目的は、フローティングゲート下部の絶縁膜の劣化時においても、信頼性が低下することのない不揮発性半導体記憶装置を提供することである。

【0029】

この発明の他の目的は、トンネル絶縁膜劣化時の電荷のデトラップによるしきい値電圧の変動を補償して正確にデータの読出およびベリファイを行なうことのできる信頼性の高い不揮発性半導体記憶装置を提供することである。

30

【課題を解決するための手段】

【0030】

この発明の第1の観点に係る不揮発性半導体記憶装置は、複数のメモリセルと、これら複数のメモリセルのうちの選択メモリセルのデータセンス時のデータ判定用の基準電流を生成する基準電流発生回路とを含む。この基準電流発生回路は、各々が異なる値の電流を供給する複数の基準電流源を含む。

【0031】

この発明の第1の観点に係る不揮発性半導体記憶装置は、さらに、複数の基準電流源のうちの選択された基準電流源の供給する基準電流と複数のメモリセルのうちの選択されたメモリセルを流れる電流とを比較してデータをセンスするデータ読出回路を備える。この1つの選択されて使用される基準電流源は、複数の基準電流源のうち、読出マージンが大きい電流源が択一的に選ばれて用いられる。

40

【0032】

この発明の第2の観点に係る不揮発性半導体記憶装置は、複数のメモリセルと、これら複数のメモリセルのうちの選択されたメモリセルのデータセンス時の基準電流を生成する基準電流発生回路を含む。この基準電流発生回路は、互いに供給電流の異なる複数の電流源を含む。

【0033】

この発明の第2の観点に係る不揮発性半導体記憶装置は、さらに、メモリセルの書換回数をカウントするカウンタ回路と、このカウンタ回路のカウント値と動作モードとに応じ

50

て複数の電流源を切換える電流源切換回路とを備える。

【0034】

この発明の第3の観点に係る不揮発性半導体記憶装置は、複数のメモリセルと、これら複数のメモリセルのうちの選択されたメモリセルのデータセンス時の基準電流を生成する基準電流発生回路と、複数のメモリセルの消去/書込回数をカウントするカウンタ回路と、このカウンタ回路のカウント値と動作モードとに応じて基準電流発生回路が供給する基準電流の大きさを切換える電流源切換回路とを備える。

【発明の効果】

【0035】

第1の観点に係る発明に従えば、複数の基準電流源のうち読出マージンの大きな基準電流源を選択して利用しており、デトラップが生じて、安定にデータの読出を行なうことができ、デトラップ耐性を改善することができる。

10

【0036】

第2の観点に係る発明に従えば、書換回数と動作モードとに応じて電流源を切換えている。したがって、トンネル絶縁膜劣化時において、デトラップによるしきい値電圧のシフト量を考慮してベリファイ時またはデータ読出時のリファレンスレベルを切換えることができ、デトラップによりしきい値電圧のシフトが発生しても、このしきい値電圧シフトを保証して正常にデータの読出を行なうことができ、デトラップ耐性が改善される。

【0037】

第3の観点に係る発明に従えば、書換回数と動作モードとに応じて基準電流源の電流量を切換えており、デトラップによるしきい値電圧のしきい値電圧のシフト量を考慮してベリファイ時とデータ読出時とのリファレンスレベルを切換えることができ、デトラップによるしきい値電圧シフトを補償した基準電流を用いてデータの読出を行なうことができ、デトラップ耐性が改善される。

20

【発明を実施するための最良の形態】

【0038】

[この発明の原理的説明]

図1は、この発明に従う不揮発性半導体記憶装置において用いられるメモリセルの概略断面構造を示す図である。図1において、メモリセルは、基板領域SUBの表面に間をおいて形成されるソース不純物領域Sおよびドレイン不純物領域Dと、これらの不純物領域SおよびDの間の基板領域表面に形成されるトンネル絶縁膜TOXと、トンネル絶縁膜TOX上に形成されるフローティングゲートFGと、フローティングゲートFG上に図示しない層間絶縁膜を介して形成されるコントロールゲートCGを含む。

30

【0039】

フローティングゲートFGは、その周辺が絶縁膜により囲まれて他の素子および配線と分離されており、フローティング状態にある。このフローティングゲートFGの蓄積電荷量に応じて、フローティングゲートFG下部の基板領域表面にチャネル(反転層)が形成される際のコントロールゲートCGの印加電圧のレベルが異なる。フローティングゲートFGの蓄積電荷(電子)量を調整して、応じて、メモリセルトランジスタのしきい値電圧を調整してデータを記憶する。

40

【0040】

メモリセルトランジスタがNチャネルトランジスタで構成される場合、基板領域SUBは、P型半導体基板であり、不純物領域SおよびDは、N型不純物領域である。

【0041】

図1においては、また、メモリセルの消去時の各電極の印加電圧状態を示す。消去動作時においては、コントロールゲートCGに-10.5Vが印加され、基板領域SUBに7~10Vの範囲の電圧が印加される。ソース不純物領域Sおよびドレイン不純物領域Dは、オープン状態(フローティング状態)に維持される。この状態においては、コントロールゲートCGおよび基板領域SUBの間の高電圧により、トンネル絶縁膜TOXを介してFN(ファウラー-ノルダハイム)トンネル電流が流れ、フローティングゲートFGから

50

基板領域SUBへ電子(-)が引抜かれる。この状態においては、メモリセルトランジスタのしきい値電圧が低下する。この消去状態は、本明細書の説明においては、データ“1”を記憶した状態に対応付けられる。

【0042】

図2は、この消去後のトンネル絶縁膜TOX近傍のエネルギーバンドおよび電荷のトラップ状態を示す図である。消去後において、フローティングゲートFGの伝導帯CBおよび価電子帯VBは、それぞれ、基板領域SUBの伝導帯CBおよび価電子帯VBよりも低い状態にある。この状態においては、フェルミレベルFRが基板界面の接触領域において等しくなるように、バンドベンディングが生じ、基板領域SUBにおいては伝導帯CBおよび価電子帯VBが、下方向に曲がる。

10

【0043】

この状態においては、トンネル絶縁膜TOXにトラップされたホール(+)が価電子帯VBに沿って移動し、ホールが基板領域SUBに放出(デトラップ)される。電子(-)は、トンネル絶縁膜TOXにトラップされた状態に維持される。

【0044】

図3は、この消去後のトンネル絶縁膜の電荷の状態を示す図である。図3において、消去後、トンネル絶縁膜TOXにおいては、図1に示すFNトンネル電流により、ホール(+)および電子(-)がともにトラップサイトにトラップされる。次いで、ホール(+)が基板領域SUBに放出(デトラップ)され、メモリセルトランジスタのしきい値電圧Vthが、消去完了後よりも上昇する。

20

【0045】

図4は、メモリセルの書込(プログラム)を行なう際の各部の電極の印加電圧を示す図である。この書込時においては、基板領域SUBは、-1.2Vに設定され、ソース不純物領域Sが接地電圧GNDレベルに維持される。ドレイン不純物領域Dへは、5Vが印加され、コントロールゲートCGには、2.0~9.2Vの電圧が印加される。コントロールゲートCGにおいて、電圧範囲が2.0~9.2Vに設定されているのは、多値データの書込時、このチャンネル領域に電流を流すため、その電圧レベルが変更されるためである。トンネル絶縁膜TOX下部にチャンネルが形成され、ソース不純物領域Sから注入された電子が、ドレイン不純物D近傍の高電界によりホットエレクトロン(チャンネルホットエレクトロンCHE)となり、コントロールゲートCGに印加される電圧により加速されてフ

30

【0046】

図5は、書込完了時の、フローティングゲート、トンネル絶縁膜TOXおよび基板領域SUBのエネルギーバンドの状態を概略的に示す図である。フローティングゲートFGへの電子の注入時、フローティングゲートFGのほうがポテンシャルが高くなり、したがって、フローティングゲートFGの伝導帯CBおよび価電子帯VBがともに基板領域SUBよりも高くなる。トンネル絶縁膜TOXにおいて、そのエネルギーバンドが、フローティングゲートFGから基板領域SUBに向かって低下する形状となる。

【0047】

基板領域SUBにおいては、フェルミレベルFRが、隣接領域で一定となるため、トンネル絶縁膜TOXとの界面領域において消去時と逆方向のバンドベンディングが生じる。

40

【0048】

この状態においては、トンネル絶縁膜TOXにトラップされた電子が、基板領域SUBの伝導帯CBに沿って放出される(デトラップされる)。トンネル絶縁膜TOXにおいてトラップされたホール(+)は、基板領域SUBのポテンシャルが低い状態であり、デトラップされず、トンネル絶縁膜TOX内のトラップサイトにトラップされた状態を維持する。

【0049】

したがって、図6に示すように、フローティングゲートFGに電子(-)が蓄積された状態において、トンネル絶縁膜TOXにおいてトラップされた電子(-)が基板領域SU

50

Bに放出（デトラップ）され、そのしきい値電圧が低下する。

【0050】

図7は、メモリセルのデータ読出時（ベリファイ動作を含む）の各部の電極の印加電圧を示す図である。このデータ読出時においては、コントロールゲートCGに、ワード線読出電圧 V_{rd} が与えられ、ドレイン不純物領域Dに、1Vのビット線読出電圧が与えられ、ソース不純物領域Sは接地電圧GNDレベルに維持される。基板領域SUBは、-1.2Vに維持される。

【0051】

ワード線読出電圧 V_{rd} は、メモリセルが多値セルの場合、その読出データの値に応じて電圧レベルが設定され、またベリファイ時においても、そのベリファイ対象に応じてその電圧レベルが設定される。ドレイン不純物領域とソース不純物領域の間に電流が流れるか否か（ON/OFF）、すなわち参照電流よりも大きな電流が流れるか否かに応じて、このメモリセルのしきい値電圧が、読出電圧 V_{rd} よりも大きいかを判定し、データの読出を行なう。

【0052】

図8は、メモリセルのしきい値電圧分布の一例を示す図である。図8においては、リードレベル（読出参照レベル） V_{th_R} に対してしきい値電圧が高い状態（2値データの場合、プログラム状態）とこれより低い状態（2値データの場合、消去状態）の2つのしきい値電圧分布を示す。ベリファイ動作時においては、プログラムベリファイレベル V_{th_PV} よりも高いしきい値電圧レベルにメモリセルのしきい値電圧が調整され、また消去時においては、消去ベリファイレベル V_{th_EV} よりも低い領域にしきい値電圧が分布するように、書込および消去が実行される。

【0053】

データ読出時、読出電圧レベル V_{th_R} （ V_{rd} ）とこれらのしきい値電圧分布の間の距離が大きいほど、安定にデータの読出を行なうことができる。メモリセルが多値情報を記憶する場合、しきい値電圧分布間のしきい値電圧差が小さくなり、この読出マージンがさらに低下する。

【0054】

しかしながら、前述のように、メモリセルの書換（プログラムおよび消去）を繰り返した場合、絶縁膜の膜質が劣化し、電子が絶縁膜中にトラップされる。浅い順位にトラップされた電子は、時間の経過とともに、徐々に放出（デトラップ）され、メモリセルのしきい値電圧を低い側にシフトさせる。この場合、電子デトラップにより低下したしきい値電圧 V_{th} が、読出電圧レベル V_{th_R} にまで低くなると、読出不良となり、信頼性に悪影響が及ぼされる。

【0055】

絶縁膜中にトラップされたホールについても同様である。しかしながら、一般に、この電荷のデトラップは、重いホールよりも軽い電子のほうがデトラップされやすく、デトラップの影響は、プログラム状態（書込状態）において顕著となり、本発明においては、プログラム状態のメモリセルに対し、読出電圧またはベリファイ電圧の調整を行なってリードマージンの減少を補償して、信頼性を保証する。以下、この発明の実施の形態について詳細に説明する。

【0056】

[実施の形態1]

図9は、この発明の実施の形態1に従う不揮発性半導体記憶装置の全体の構成を概略的に示す図である。図9において、実施の形態1に従う不揮発性半導体記憶装置は、不揮発性メモリセルが行列状に配列されるメモリアレイ1と、パッド群PAGを介して与えられるアドレス信号および制御信号を取込み内部信号を生成する入力バッファ回路2と、入力バッファ回路2からの内部制御信号に従ってこの不揮発性半導体記憶装置の動作モードを選択し、各動作状態モードに対応したシーケンスを開始する論理部3と、論理部3からの制御信号に従って各動作状態に対応する電圧（読出電圧、消去電圧、消去ベリファイ電圧

10

20

30

40

50

、書込電圧、書込ベリファイ電圧)を生成する電源回路4と、外部のパッド群PBGとの間でデータDQを転送するとともにベリファイ時に内部読出されたデータを論理部3に転送するI/Oバッファ5と、入力バッファ回路2からの内部アドレス信号に従ってメモリアレイ1のアドレス指定された行(ワード線)や選択するXデコーダ6と、入力バッファ回路2からの内部アドレス信号に従ってメモリアレイ1の列を選択する列選択信号を生成するYデコーダ7と、Yデコーダ7からの列選択信号に従ってメモリアレイ1の列を選択するYゲート8を含む。

【0057】

不揮発性半導体記憶装置は、さらに、データ書込時、論理部3の書込データと電源回路4からの書込電圧とに従って、書込データを生成してYゲート8を介してメモリアレイ1の選択列へ伝達するライトドライバ9と、データ読出時、Yゲート8により選択されたメモリアレイ1の列のメモリセルのデータを基準電流発生回路10からの基準電流との比較に基づいて読出すセンスアンプ11を含む。

10

【0058】

メモリアレイ1においては、ライトドライバ9からの書込データを一時的に保持するレジスタ回路が設けられていても良い。このレジスタ回路の保持データに従って選択的にプログラムが実行される(書込完了後に対応の書込データのリセットが行なわれる)。

【0059】

基準電流発生回路10は、複数の基準電流源を含み、これらの複数の基準電流源のうち最も最適なリードマージンを与える基準電流源が、例えば出荷前のテスト工程において択一的に選択されて、以後の実使用時に利用される。

20

【0060】

論理部3は、たとえばシーケンスコントローラで構成され、プログラム(書込)または消去シーケンスにおいてメモリセルにプログラムパルスまたは消去パルスを与える段階において、この論理部3内に内部の制御回路により電源回路4を制御し、Xデコーダ6を介してメモリアレイ1内のメモリセルに印加される電圧を制御する。すなわち、この論理部3により、電源回路4を介して、選択メモリセルに対するワード線電圧、ソース線電圧および基板電圧を制御し、また、Yデコーダ7およびYゲート8により、このメモリアレイ1のドレイン電圧(ビット線電圧)を制御する。ここで、メモリアレイ1においては、メモリセル行に対応してワード線が配置され、メモリセル列に対応してビット線が配設される。ワード線が対応の行のメモリセルのトランジスタのコントロールゲートに接続され、ビット線が、対応の列のメモリセルのトランジスタのドレインに接続される。

30

【0061】

ベリファイを実行する段階においては、論理部3は、その内部の制御回路により電源回路4を制御し、メモリアレイ1内のメモリセルに読出電圧(ベリファイ読出電圧を含む)を与え、センスアンプ11を活性化して、データの内部読出を行なう。ベリファイ動作時、センスアンプ11により内部読出されたアレイデータ(メモリセルの内部読出データ)がI/Oバッファ5を介して再度、論理部3にフィードバックされ、消去またはプログラムのベリファイが実行される。

【0062】

センスアンプ11が、アレイデータの読出時、基準電流発生回路10から供給される基準電流と選択メモリセルを流れる電流とを比較し、その比較結果に基づいてアレイデータ(メモリセルの記憶データに対応する内部読出データ)を生成する。

40

【0063】

図10は、図9に示すメモリアレイ1に含まれるメモリセルの配置の一例を示す図である。図10においては、NOR型フラッシュメモリにおけるメモリセルの配置を一例として示す。図10において、メモリセル列に対応してサブビット線SBLおよびソース線SLが設けられ、これらのサブビット線SBLおよびソース線SLの間にメモリセルMCa-MCdが並列に接続される。これらのメモリセルMCa-MCdのコントロールゲートは、ワード線WLa-WLdにそれぞれ結合される。

50

【 0 0 6 4 】

サブビット線 S B L は、ブロック選択トランジスタ B T R を介してメインビット線 M B L に結合される。メモリアレイ 1 は、複数のブロックに分割されており、メインビット線 M B L が複数のブロックに共通に設けられ、アクセス対象のブロックがブロック選択信号 B S により指定される。この選択ブロックのサブビット線 S B L が、ブロック選択トランジスタ（セレクトゲート）B T R を介してメインビット線 M B L に結合される。

【 0 0 6 5 】

メインビット線 M B L は、図 9 に示す Y ゲート 8 に結合される。Y ゲート 8 においては、メインビット線 M B L それぞれに列選択ゲートが設けられており、Y デコーダ 7（図 9 参照）からの列選択信号に従ってメインビット線 M B L が、図 9 に示すセンスアンプ 1 1 に結合される。

10

【 0 0 6 6 】

図 1 1 は、メモリセルに 4 値データを格納する場合（2 ビット / セルの場合）のしきい値電圧分布の一例を示す図である。図 1 1 において、データ “ 1 1 ” を記憶するメモリセルのしきい値電圧は、リファレンス電圧 $V_{th_OE V}$ および $V_{th_E V}$ の間に分布する。データ “ 1 0 ” を記憶するメモリセルのしきい値電圧は、リファレンス電圧 $V_{th_P V 1}$ よりも高い範囲に分布する。データ “ 0 1 ” を記憶するメモリセルのしきい値電圧の分布は、リファレンス電圧 $V_{th_P V 2}$ よりも高い範囲に存在する。データ “ 0 0 ” を記憶するメモリセルのしきい値電圧の分布は、リファレンス電圧 $V_{th_P V 3}$ よりも高い電圧レベルに存在する。

20

【 0 0 6 7 】

データ “ 1 0 ”、“ 0 1 ”、および “ 0 0 ” をそれぞれ記憶するメモリセルのしきい値電圧分布の上限を決定するリファレンス電圧も存在する。しかしながら、ここではプログラム状態においては、電子のデトラップが生じた場合、しきい値電圧が低いほうにシフトするため、各プログラム状態における電圧分布の上限値を規定するベリファイ電圧は示していない。

【 0 0 6 8 】

データ “ 1 1 ” を記憶するメモリセルは、消去状態に対応する。この場合、過消去状態を防止するため、リファレンス電圧 $V_{th_OE V}$ が用いられ、消去状態のメモリセルのしきい値電圧の下限値が設定される。このリファレンス電圧 $V_{th_E V}$ により、消去状態におけるメモリセルのしきい値電圧の上限値が設定される。

30

【 0 0 6 9 】

これらのしきい値電圧分布の間に、読出電圧（リードレベル） $R V 1$ 、 $R V 2$ 、および $R V 3$ が設定される。これらの読出電圧 $R V 1 - R V 3$ とそれぞれ対応のしきい値電圧分布との間の電圧差が、読出マージンとなる。

【 0 0 7 0 】

なお、図 1 1 において、横軸にメモリセルのトランジスタのしきい値電圧を V 単位で示し、横軸にメモリセルの数の常用対数値を示す。

【 0 0 7 1 】

図 1 1 に示すように、しきい値電圧 V_{th} が低いほど、同一コントロールゲート電圧印加時、メモリセルは、多くの電流を流すことができる。

40

【 0 0 7 2 】

消去動作時においては、図 9 に示す論理部 3 の制御のもとに、電圧設定およびパルス印加が制御される。この消去パルスの印加は、メモリセルのしきい値電圧が、上側消去ベリファイ電圧 $V_{th_E V}$ よりも低くなるまで行なわれる。同一パルス印加時においても、メモリセルの特性に応じてしきい値電圧の変化幅が異なる。従って、消去パルス印加後のメモリセルのしきい値電圧分布は、広い幅を有している。このしきい値電圧分布幅を狭くするために、書戻しが行なわれる。この書戻し時には、チャンネルホットエレクトロン（C H E）を利用し、コントロールゲートおよびドレインに正の電圧を印加してフローティングゲートに電子を注入する。この書戻しのパルス印加は、メモリセルのしきい値電圧が

50

、下側消去ベリファイ電圧 $V_{th_OE V}$ よりも高い状態となるまで行なわれる。

【0073】

書込（プログラム）は、書戻しと同様、チャンネルホットエレクトロンを利用して、フローティングゲートに電子を注入することにより、行なわれる。この場合、書込データに応じて、順次、しきい値電圧を上昇させる。消去状態に対応するしきい値電圧分布（以下、“11”分布と称す）が、最もメモリセルトランジスタのしきい値電圧が低い分布である。データ“00”を記憶する状態のしきい値電圧分布（以下、“00”分布と称す）は、メモリセルトランジスタのしきい値電圧が最も高い分布である。データ“10”を記憶する状態のしきい値電圧の分布（以下、“10”分布と称す）は、データ“01”を記憶する状態のしきい値電圧分布よりも低い中間のしきい値電圧分布である。

10

【0074】

なお、図11においては、コントロールゲートに例えば8Vの電圧を印加したときに、メモリセルを流れる電流の各しきい値電圧分布間の大小関係を示す。

【0075】

図12は、図9に示すセンスアンプ11および基準電流発生回路10の構成の一例を示す図である。図12において、センスアンプ11は、基準電流発生回路10を流れる電流のミラー電流を生成するカレントミラー回路20と、選択メモリセルを流れる電流のミラー電流を生成するカレントミラー回路22と、このカレントミラー回路22が供給する電流のミラー電流をカレントミラー回路20から放電するカレントミラー回路24と、これらのカレントミラー回路22および20の供給する電流を差動増幅して内部読出電圧 $S A O U T$ を生成するセンスアンプ回路26を含む。

20

【0076】

カレントミラー回路20は、PチャンネルMOSトランジスタ（絶縁ゲート型電界効果トランジスタ）T1およびT2を含む。MOSトランジスタT1が、カレントミラー回路20のマスタ段として動作し、かつ基準電流発生回路10に対し電流を供給する。

【0077】

カレントミラー回路22は、PチャンネルMOSトランジスタT3およびT4を含む。MOSトランジスタT3がマスタ段として機能し、かつ選択メモリセルへ電流を供給する。

【0078】

カレントミラー回路24は、NチャンネルMOSトランジスタT5およびT6を含む。MOSトランジスタT5がマスタ段として動作する。MOSトランジスタT6がスレーブとして動作して、カレントミラー回路22の供給する電流のミラー電流をカレントミラー回路22の生成する電流のミラー電流を、カレントミラ回路20のスレーブ段から引き抜く。

30

【0079】

センスアンプ回路11は、さらに、ゲートにバイアス電圧 V_{bias} を受けて定電流を、基準電流発生回路10へカレントミラー回路20からの電流を供給する電流源トランジスタ28と、ゲートにバイアス電圧 V_{bias} を受けて、カレントミラー回路22からの電流をブロック選択トランジスタ（セレクトゲート）BTRを介して選択メモリセルMCへ供給する定電流源トランジスタ29を含む。MOSトランジスタ28および29は、バイアス電圧 V_{bias} をゲートに受けて電流制限機能を有する電流源として動作し、ソースフォロワモード動作により、メモリセルへ供給される読出電圧および基準電流発生回路へ供給される電圧が上昇しすぎるのを防止する。

40

【0080】

基準電流発生回路10は、2つの電流源10Aおよび10Bを含む。電流源10Aは、直列に接続されるNチャンネルMOSトランジスタT10およびT11を含む。MOSトランジスタT10のゲートに選択信号SEL1が与えられ、MOSトランジスタT11のゲートに基準電圧 V_{ref1} が与えられる。電流源10Bは同様、直列に接続されるNチャンネルMOSトランジスタT12およびT13を含む。MOSトランジスタT12のゲートに選択信号SEL2が与えられ、MOSトランジスタT13のゲートに基準電圧 V_{ref}

50

2 が与えられる。

【0081】

選択信号SEL1およびSEL2が択一的に選択状態へ設定され、電流源10Aおよび10Bの一方が、電流源トランジスタ28に結合される。

【0082】

メモリセルについては、セレクトゲートBTRにサブビット線SBLを介して結合されるメモリセルMCを代表的に示す。このメモリセルMCのソース線SLは、データ読出時接地電圧レベルに維持され、ワード線WLに与えられる読出電圧と記憶データとに従って、セル電流Icellをソース線SLに向かって流す。

【0083】

次に、この図12に示すセンスアンプ11および基準電流発生回路10によるリードマージンを確保するための動作について、図13に示すフロー図を参照して説明する。

【0084】

製品出荷前の最終テストまたは製造工程の最終テストにおいて、このリードマージンのテストが行なわれる。まず、電流源10Aおよび10Bの一方を選択する(ステップS1)。次いでメモリアレイ1(図9参照)において、選択メモリセルの消去を行なう(ステップS2)。この消去時、消去ベリファイ動作を行ない、図11に示すベリファイ電圧Vth_OEVおよびVth_EVの規定する領域内に、“11”分布を収める。次いで、読出電圧RV1と“11”分布のリードマージンを測定する(ステップS3)。

【0085】

このリードマージンの測定においては、たとえば、図12において電流源10Aが選択された場合、選択信号SEL1がHレベルに設定され、電流源トランジスタ28から電流がMOSトランジスタT11へ供給される。このMOSトランジスタT11が駆動する基準電流Iref1は、例えば、メモリセルのしきい値電圧とリード電圧がほぼ等しいときにメモリセルを流れる電流とほぼ等しい電流レベルに設定される。ワード線WLに与えられる読出電圧RV1の電圧レベルを低下させることにより、メモリセルMCが流す電流を低下させる。応じて、消去状態のメモリセルMCを介して流れるセル電流Icellと電流源10AのトランジスタT11を流れる基準電流Iref1の電流差が小さくなる。読出マージンが十分に大きく、ワード線の読出電圧とメモリセルのしきい値電圧の差が大きい場合には、セル電流Icellが、基準電流Iref1よりも大きい。

【0086】

この場合には、センスアンプ回路11において、カレントミラー回路22を介して流れる電流量がカレントミラー回路20を介して流れる電流量よりも大きい。カレントミラー回路24により、このセル電流Icellのミラー電流が生成され、このセル電流のミラー電流に対応する大きさの電流が、カレントミラー回路20のMOSトランジスタT2から引抜かれる。このMOSトランジスタT2のドレインノード(センスアンプの入力ノード)の電圧レベルが、MOSトランジスタT4のドレインノード(センスアンプ26の他方の入力ノード)の電圧レベルよりも低くなり、センスアンプ回路26から、たとえばHレベルの読出信号SAOUTが生成される。一方、ワード線WL上の読出電圧RV1とメモリセルのしきい値電圧の差が小さくなると、セル電流Icellと電流Iref1との差が小さくなる。センスアンプ回路26におけるセンスマージンよりも、その電流差が小さくなった場合、正確に、セルの記憶データ“00”に応じた読出信号SAOUTを生成することができなくなる。したがって、このワード線WLの電圧レベルを、データ誤読出が生じた場合に記録することにより、“11”分布と読出電圧RV1とのマージンを測定することができる。

【0087】

これに代えて、センスアンプ26をアナログ的に動作させて、セル電流Icellと基準電流Iref1の差をアナログ的に増幅して、センスアンプ出力の振幅を外部で測定して、読出マージンを測定してもよい。

【0088】

10

20

30

40

50

この測定結果の記録後、次いでメモリアレイ 1 においてメモリセル MC に “ 1 0 ” の書込およびベリファイを行なう（ステップ S 4）。ステップ S 2 における消去時のベリファイ動作と同様にして、ステップ S 4 におけるデータ “ 1 0 ” 書込時のベリファイ時において、ワード線 WL にベリファイ電圧を印加した状態で、電流源 1 0 A を介して流れる基準電流 I_{ref1} とセル電流 I_{cell1} との比較により、ベリファイ動作が行なわれればよい。これに代えて、別途、ベリファイ専用の基準電流源が用いられてもよい。

【 0 0 8 9 】

データ “ 1 0 ” の書込を行なった後、“ 1 0 ” 分布と読出電圧 RV 1 および RV 2 のリードマージンを測定する。この場合においても、読出電圧 RV 1 を順次上昇させて、セル電流 I_{cell1} と基準電流 I_{ref1} をセンスアンプ 1 1 により検出して、内部読出信号 SAOUT を生成し、誤読出が生じた場合の読出電圧 RV 1 と “ 1 0 ” 分布とのリードマージンを測定して記録する。読出電圧 RV 2 と “ 1 0 ” 分布とのリードマージンについても、上述と同様のマージン測定が行なわれる。

10

【 0 0 9 0 】

“ 1 0 ” 分布についてのリードマージン測定が完了すると、次いで、メモリセル MC に対する “ 0 1 ” の書込が行なわれる（ステップ S 6）。この場合においても、ベリファイ動作が、たとえば電流源 1 0 A を用いて行なわれる。

【 0 0 9 1 】

この “ 0 1 ” の書込完了後、次いで再び “ 0 1 ” 分布と読出電圧 RV 2 および RV 3 のリードマージンの測定が、例えば、メモリセルのワード線 WL の電圧をシフトさせて測定される。

20

【 0 0 9 2 】

次いで、データ “ 0 0 ” の書込を行ない（ステップ S 8）、次いで、この “ 0 0 ” 分布と読出電圧 RV 3 とのリードマージンを測定する（ステップ S 9）。“ 0 0 ” 分布について、その上限値が存在しないため、下側の読出電圧 RV 3 に対するリードマージンの測定が行なわれる。

【 0 0 9 3 】

これらのリードマージン測定時のワード線 WL の電圧変化は、図 9 に示す論理部 3 に対して、テスト動作コマンドを与えることにより行われる（基準電流固定時の通常のリードマージン測定と同様のシーケンスで実行される）。

30

【 0 0 9 4 】

ステップ S 9 の完了後、基準電流発生回路 1 0（図 9 参照）に含まれる電流源全てについてリードマージンの測定が行なわれたかの判定が行なわれる（ステップ S 1 0）。未測定 of 電流源がまだ残っている場合には、電流源を切換え（ステップ S 1 1）、再びステップ S 2 からの処理が実行される。

【 0 0 9 5 】

ステップ S 1 0 において、すべての電流源についてのリードマージン測定が完了したと判定されると、次いで、全電流源の測定結果から、最も広い（最も良い）リードマージンを与える電流源を決定し、選択信号 SEL（SEL 1，SEL 2）を固定的に設定する（ステップ S 1 2）。

40

【 0 0 9 6 】

これにより、リードマージンの最も広い電流源を用いてデータの読出を行なうことができ、初期状態におけるリードマージンを拡大することができ、デトラップ寿命（デトラップ耐性）を改善することができる。

【 0 0 9 7 】

なお、電流源 1 0 A および 1 0 B に与えられる規準電圧 V_{ref1} および V_{ref2} は、同じ電圧レベルであってもよく、また、異なる電圧レベルであってもよい。この基準電圧 V_{ref1} および V_{ref2} が同じ電圧レベルの場合、MOS トランジスタ T 1 1 および T 1 3 が、それぞれ単位トランジスタの並列体で構成され、その電流駆動力が、単位トランジスタの駆動力単位で調整されていてもよい。基準電圧を利用してトランジスタの電

50

流駆動力を調整することにより、基準電流候補を所望の値に設定することができる。

【0098】

図14は、基準電流発生回路において電流源を択一的に使用するための構成の一例を示す図である。図14において、選択信号SEL1およびSEL2は、プログラム回路30により生成される。このプログラム回路30は、通常フラッシュメモリに含まれているOTPROM（1回プログラム可能読出制御メモリ：ワン・タイム・プログラマブルROM）、ヒューズ素子の熔断により信号レベルを固定するヒューズプログラム回路、または、ボンディングパッドの電位固定により信号レベルを固定する回路などで構成される。

【0099】

電流源10Aおよび10Bにおいて、MOSトランジスタT11およびT13は、それぞれワード線へのベリファイ電圧および読出電圧印加時の参照電流を生成する。従って、参照電流を調整することにより、同じ電圧レベルの読出電圧またはベリファイ電圧が用いられても、参照電流のメモリセル電流に対するマージンが大きく、従って、等価的に、読出電圧またはベリファイ電圧のレベル調整が、読出マージンが大きくなるように行なわれている。すなわち、ワード線に印加される読出電圧/ベリファイ電圧のレベルを調整するのに代えて、メモリセル電流に対する参照電流を調整して、読出マージンを確保する。単に電流源の切替えだけであり、最適レベルにワード線電圧を調整するように参照セルのしきい値電圧を調整する必要がなく、容易に最適読出マージンを得ることができる。

【0100】

このプログラム回路30による選択信号のプログラム完了後、パッケージ実装が行なわれ、製品出荷前の最終テストが行なわれる。ただし、プログラム回路30として、OTPROMを利用する場合、パッケージ実装後に、このリードマージンのテストおよびプログラムが行なわれてもよい。

【0101】

[変更例]

図15は、この発明の実施の形態1の変更例に従う基準電圧発生回路10の構成を概略的に示す図である。図15において、基準電流発生回路10は、電流源10Cおよび10Dを含む。電流源10Cは、サブビット線SBA0に並列に接続されるメモリセルM0-M3と、サブビット線SBA1に並列にされるメモリセルM4-M7を含む。サブビット線SBA0は、選択信号SGA0に应答する選択トランジスタT20を介してリファレンスメインビット線RMBLに結合され、サブビット線SBA1は、選択信号SGA1に应答する選択トランジスタT21を介してリファレンスメインビット線RMBLに結合される。また、メモリセルM0-M3には共通にソースSLA0が設けられ、メモリセルM4-M7には、共通にソース線SLA1が設けられる。

【0102】

メモリセルM0およびM4のコントロールゲートがワード線WA0に結合され、メモリセルM1およびM5のコントロールゲートが、ワード線WA1に結合される。メモリセルM2およびM6のコントロールゲートが、ワード線WA2に結合される。メモリセルM3およびM7のコントロールゲートが、ワード線WA3に結合される。

【0103】

電流源10Dは、サブビット線SBB0とソース線SLB0の間に並列に接続されるメモリセルM10-M13と、サブビット線SBB1およびソース線SLB1の間に並列に接続されるメモリセルM14-M17を含む。サブビット線SBB0は、選択信号SGB0に应答する選択トランジスタT22を介してリファレンスメインビット線RMBLに結合され、サブビット線SBB1が、選択信号SGB1をゲートに受ける選択トランジスタP23を介してリファレンスメインビット線RMBLに結合される。

【0104】

メモリセルM10およびM14のコントロールゲートがワード線WB0に結合され、メモリセルM11およびM15のコントロールゲートが、ワード線WB1に結合される。メモリセルM12およびM16のコントロールゲートが、ワード線WB2に結合される。メ

メモリセルM13およびM17のコントロールゲートが、ワード線WB3に結合される。

【0105】

リファレンスメインビット線RMBLは、センスアンプ11に結合される。また、センスアンプ11は、メインビット線MBLを介してYゲート8(図9参照)に結合される。このセンスアンプ11は、図12に示すセンスアンプと同じ構成を備え、基準電流発生回路10を流す基準電流Irefと選択メモリセルを介して流れる電流Icellとの差に応じて、内部読出信号SAOATを生成する。このセンスアンプ11の出力信号は、図9に示すI/Oバッファ5を介して論理部3へ与えられる(ペリファイ動作時)。

【0106】

リファレンスセルを選択するために、行選択回路33が設けられる。行選択回路により選択されたワード線およびセレクトゲートT20およびT21またはT22, T23により選択されたサブビット線の交差部のリファレンスセルを用いてリファレンス電流を生成する。

10

【0107】

電流源10Cおよび10Dにおいて、メモリセルM0およびM7およびM10-M17は、それぞれ、図11に示すペリファイ電圧および読出電圧Vth_EV、Vth_OEV、RV1、Vth_PV1、RV、Vth_PV2、RV3およびVth_PV3のレベルのしきい値電圧を有するように書込が行なわれる(メモリセルトランジスタと同一サイズするとき)かまたはこれらの電圧に対応する電流を供給するように書込が行われる。

【0108】

参照セルM0-M7およびM10-M17を用いてメモリセルのデータを読出す場合、メモリセルのコントロールゲート(ワード線)に印加される電圧は一定であり(全しきい値電圧分布に対して共通)、メモリセルの論理しきい値は、そのメモリセルを流れる電流Icellの電流値によって決定される。したがって、各データ値に応じて、これらのリファレンスセルM0-M7およびM10-M17の駆動電流量が設定される。また、メモリセルトランジスタと同一構造のフローティングゲート型トランジスタを利用することにより、基準電流候補を、メモリセルのしきい値電圧分布に応じて、そのしきい値電圧を調整することにより生成することができ、基準電流候補の生成には、メモリセルのデータ書込と同様の書込を行うだけでよく、正確にメモリセルの特性を反映した基準電流を生成することができる。

20

30

【0109】

この図15に示すリファレンスセルを利用する場合のテストシーケンスは、図13に示すテストシーケンスと同じであり、リードマージン測定時、電流マージンが測定される。すなわち、基準電流発生回路10において、電流源10Cまたは10Dの一方が選択される。この後、メモリアレイにおいて、選択対象のメモリセルの消去が行なわれる。ペリファイ時においては、この消去ペリファイに対応するメモリセルを順次選択し、消去ペリファイ電圧Vth_OEVおよびVth_EVのしきい値電圧分布領域内に“11”分布が存在するかの判定が行なわれる。これは、各ペリファイ電圧に対応するリファレンスセルを行選択回路33および選択ゲートT20, T21またはT22, T23とにより選択し、センスアンプ11に含まれる電流源からの定電流によりリファレンス電流Irefを生成し、セル電流Icellとリファレンス電流Irefの大小比較により行なわれる。

40

【0110】

次いで、データ“10”の書込を行ない、“10”分布と読出電流のマージンを測定する。この読出電流マージンの測定時においては、メモリアレイにおいて、メモリセルのワード線の電圧レベルを低下させ、セル電流Icellと読出電圧RV1に対応するメモリセルの駆動電流の大小比較により、電流マージンが測定される。

【0111】

データ“01”、“00”についても、同様の電流マージンの測定を行ない、メモリセルの各論理しきい値と読出電圧の電流マージンを測定する。

【0112】

50

次いで、電流源 10D を用いてメモリセル M10 - M17 を用いて、メモリセルの論理しきい値と読出電圧との電流マージンを測定する。

【0113】

これらのリードマージン測定後に、電流源 10C および 10D の電流マージンを比較し、最適な電流源を以降の動作で使用する。すなわち、図 14 に示すプログラム回路 30 と同様の構成を用いて、選択信号 SGA0 および SGA1 の組または SGB0 および SGB1 の一方を、固定的に L レベルに設定し、使用される電流源に対する選択信号 SG (SGA または SGB) は、イネーブル状態とされ、その電圧レベルは、ベリファイ時およびデータ読出時にセレクトゲート (BTR: ブロック選択ゲート) に与えられるブロック選択信号と同一の電圧レベルに設定される。

10

【0114】

この構成においても、ワード線に印加される読出/ベリファイ電圧レベルを直接調整するのに代えて、メモリセル電流に対する参照電流を調整しており、等価的に、ワード線電圧を調整して、リードマージンを確保している (参照電流が大きくされる場合には、メモリセル電流が相対的に大きくされた状態に対応し、従って、ワード線読出/ベリファイ電圧が相対的に上昇された状態に対応する)。

【0115】

なお、基準電流発生回路 10 において、電流源の数は 2 つに限定されず、より多く設けられてもよい。

【0116】

また、このリファレンスセルを用いる電流源 10C および 10D は、メモリアレイ 1 (図 9 参照) 内に設けられてもよく、メモリアレイ 1 も外部に設けられてもよい。

20

【0117】

また、図 15 に示すリファレンスセル M0 - M7 および M10 - M17 は、1 行に整列して配置され、選択ゲート T20 - T23 により、使用されるリファレンスセルが選択される構成が用いられてもよい。また、ワード線 WA0 - WA3 および WB0 - WB3 は、それぞれ同じワード線であってもよい (4 行 4 列に配置されるリファレンスセルが用いられる)。このリファレンスセルの配置は、これらの電流源 10C および 10D がメモリアレイ内に設けられるかメモリアレイ外部に設けられる場合に応じて、適切な配置に定められる。

30

【0118】

また、ワード線 WA0 - WA7 および WB0 - WB7 の電圧レベルは、メモリアレイのワード線に与えられる電圧レベルと同じ電圧レベルに設定される。また、行選択回路 33 は、電流源 10C および 10D それぞれに対して設けられても良く、共通に設けられても良い (ワード線が電流源 10C および 10D において共通)。

【0119】

図 16 は、これらの電流源 10C および 10D を選択する信号を発生する部分の構成の一例を示す図である。図 16 において、電流源選択信号発生部は、図 14 に示すプログラム回路 30 からの選択信号 SEL1 と論理部 3 から生成される選択信号 SG0 とを受けて、選択信号 SGA0 を生成する AND 回路 AG0 と、プログラム回路 30 からの選択信号 SEL1 と論理部 3 から生成される選択信号 SG1 とを受けて、選択信号 SGA1 を生成する AND 回路 AG1 と、プログラム回路 30 からの選択信号 SEL2 と論理部 3 から生成される選択信号 SG0 とを受けて、選択信号 SGB0 を生成する AND 回路 AG2 と、選択信号 SEL2 と論理部 3 から生成される選択信号 SG1 とを受けて、選択信号 SGB1 を生成する AND 回路 AG3 を含む。

40

【0120】

選択信号 SEL1 および SEL2 の一方が固定的に L レベルに固定される。たとえば、選択信号 SEL1 が L レベルの固定され、選択信号 SEL2 が H レベルに設定された場合、AND 回路 AG0 および AG1 の出力信号 SGA0 および SGA1 は L レベルに固定される。一方、AND 回路 AG2 および AG3 の出力する選択信号 SGB0 および SGB1

50

が、論理部 3 からの選択信号 S G 0 および S G 1 に従って変化する。これにより、リードマージン測定時および各動作モード（ベリファイモードおよびリードマージン測定モード）に応じて、選択信号を活性化する。

【 0 1 2 1 】

通常使用時においては、センスアンプ 1 1 でのメモリセルのデータの読出論理レベルに応じて、読出電圧に対応するしきい値電圧を有するリファレンスセルが逐次選択されて、リファレンス電流との比較に基づいてデータの読出が逐次行なわれる。

【 0 1 2 2 】

この場合、リファレンスセルが並列に設けられ、多値データの各論理値に対応するリファレンスセルが並列に選択され、メモリセル電流との並列比較が行なわれてデータの読出が行なわれてもよい（センスアンプが各論理値に対応して設けられる）。

10

【 0 1 2 3 】

また、上述の説明においては、参照セルを利用する場合には、ワード線電圧が一定であり、各しきい値電圧分布に対して共通のワード線読出ベリファイ電圧が与えられるとして説明している。しかしながら、参照セルを利用する場合にも、電流源を利用する場合と同様、上位ビットおよび下位ビットの読出が、各々、読出電圧に対応するリファレンスセルを選択して参照電流を生成し、この参照電流との比較に基づいて行われても良い。

【 0 1 2 4 】

以上のように、この発明の実施の形態 1 に従えば、複数の電流源を設け、リードマージンの測定結果に基づいて、読出マージンの大きな電流源を選択して使用しており、初期状態における読出マージンを広くすることができ、デトラップ寿命が改善される。

20

【 0 1 2 5 】

[実施の形態 2]

図 1 7 は、この発明の実施の形態 2 に従う不揮発性半導体記憶装置の全体の構成を概略的に示す図である。この図 1 7 に示す不揮発性半導体記憶装置が、以下の点で、図 9 に示す不揮発性半導体記憶装置とその構成が異なる。すなわち、メモリアレイ 5 0 は複数のメモリブロック M B に分割され、各メモリブロック M B において書換カウンタメモリ（E / W カウンタメモリ：カウンタ回路）5 2 が設けられる。

【 0 1 2 6 】

論理部 5 5 は、各メモリブロック M B 単位で、この E / W カウンタメモリ 5 2 のカウント値をモニタし、そのカウント値に基づいて、基準電流発生回路 6 0 の発生する基準電流を、各動作モードに応じてその切換制御信号 S W C により切換える。通常、書込 / 消去はメモリブロック単位で実行され、書換回数がメモリブロック毎に異なる。メモリブロック単位で書換回数 E / W をモニタすることにより、正確にメモリセルの書換回数に応じて、データセンス時（アクセス時のデータ外部読出およびベリファイ時のデータ内部読出）のリファレンスレベル（参照電流に対応する読出 / ベリファイ電圧レベル）を生成することができる。

30

【 0 1 2 7 】

この図 1 7 に示す不揮発性半導体記憶装置の他の構成は、図 9 に示す不揮発性半導体記憶装置の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

40

【 0 1 2 8 】

メモリブロック M B 内におけるメモリセルの配置は、図 1 0 に示す構成と同様、メイン / サブビット線の階層ビット線構造が用いられる。メインビット線が、列方向に整列するメモリブロックに対し共通に設けられ、メモリブロック M B それぞれにおいて、サブビット線とソース線の間複数のメモリセル M C が並列に配置され、各メモリセルに対してワード線が接続される。

【 0 1 2 9 】

メモリブロック M B において、ワード線選択は、たとえば階層ワード線構成を利用して行なう。すなわち、メインワード線が行方向のメモリブロックに共通に配置され、各メモ

50

リブロックにおいてメモリセル行に対応してサブワード線が配置される。選択メモリブロックにおいて、ブロック選択信号とXデコーダ6からのメインワード線上に伝達された行選択信号とに従ってサブワード線が選択される。例えば、メモリブロックMBそれぞれにおいて、サブワード線ドライバを配置し、このサブワード線ドライバが、Xデコーダ6の出力する行選択信号とメモリブロック選択信号とに従って、サブワード線を選択的に駆動する構成が用いられてもよい。

【0130】

図18は、図17に示す基準電流発生回路60の構成を概略的に示す図である。図18において、基準電流発生回路は、互いに駆動電流の異なる基準電流源60Aおよび60Bを含む。これらの基準電流源60Aおよび60Bが、切換信号SWC1およびSWC2により、書換回数および動作モードに応じて切換えて用いられて、センスアンプ11に対する参照電流を生成する。

10

【0131】

図19は、図17に示す不揮発性半導体記憶装置の動作を示すフロー図である。以下、図18および図19を参照して、図17に示す不揮発性半導体記憶装置の動作について説明する。

【0132】

まず、不揮発性半導体記憶装置へのアクセスが、入力バッファ回路2から与えられる制御信号に基づいて指定されたかの判定が論理部55において行なわれる。論理部55は、この動作モードを指定するコマンド(制御信号)が与えられた後、続いて与えられるアドレス信号に従ってメモリブロック(MB)を選択する(ステップS30)。

20

【0133】

メモリブロックMBが選択されると、次いで、この選択メモリブロックMBに含まれるE/Wカウンタメモリのカウント値が読出され、論理部55においてそのカウント値が保持される(ステップS31)。

【0134】

次いで、動作モードが、データのセンスモードであるかの判定が行なわれる(ステップS32)。このデータセンスモードは、ベリファイ時の内部データ読出または外部へのデータ読出を行なうモードであり、センスアンプ11が活性化される動作モードを示す。

【0135】

データセンスモードでない場合には、消去パルスまたは書込パルスの印加が行なわれる(ステップS33)。この消去/書込後、ベリファイ動作のために、再び、ステップS32へ戻る。

30

【0136】

ステップS32において、データセンスモードであると判定されると、次いで、ステップS31において読出されたカウント値が、所定値N以下であるかの判定が論理部55において行なわれる(ステップS34)。このカウント値が所定値N以下の場合には、電流量の比較的大きい電流源50Aが、センスアンプ回路11に切換信号SWC1により接続される(ステップS35)。この状態で、メモリセルのデータのセンス(ベリファイのための内部読出またはデータアクセスのための外部読出)が行なわれる(ステップS36)。

40

【0137】

センス動作が、すべてのデータについて実行されたかについての判定が、論理部55において行なわれ(ステップS37)、まだすべてのデータについてのセンスが完了していない場合、再び、ステップS32へ戻る。

【0138】

一方、ステップS34において、E/Wカウンタメモリのカウント値がNよりも大きい場合には、論理部において、このセンスモードが、ベリファイモードであるかの判定が行なわれる(ステップS38)。ベリファイモード時には、基準電流源50Aを用いてベリファイ動作が行なわれる(ステップS39)。

50

【0139】

このベリファイ動作がすべてのベリファイレベルについて行なわれたかの判定が行なわれる(ステップS40)。すべてのベリファイレベルについてのベリファイ動作が完了していない場合、ステップS32へ戻り、残りのベリファイレベルについての消去/書込またはベリファイが繰返し実行される。

【0140】

一方、ステップS38において、ベリファイモードでないと判定されると、外部読出モードであり、この場合には、電流量の小さい電流源50Bを使用して、データの読出が行なわれる(ステップS41)。

【0141】

次いで、すべてのデータの読出が行なわれたかの判定が行なわれ(ステップS42)、すべてのデータが読出されるまで、電流源50Bを使用してデータの読出が行なわれる。

【0142】

ステップS37、S40およびS42において、すべての動作が完了したと判定されると、この指定された動作モードが完了する。

【0143】

書換回数について、データの書込を行なう場合には、消去および書込が行なわれる。一方、消去コマンドが与えられた場合には、消去動作のみが行なわれ、データの書込は行なわれない。この書換回数(E/W回数)は、消去コマンドが与えられ、消去のみが行なわれる場合にも、カウントされる。しかしながら、消去時の電荷のデトラップは、ホールのデトラップであり、プログラム時の電子のデトラップよりもその影響は小さい。従って、書換回数としては、書込が指定された回数がカウントされても良い(消去コマンドの印はカウントしない)。

【0144】

基準電流源50Aおよび50Bの構成は、先の実施の形態1において説明したものと同じであり、基準電流源トランジスタを利用する構成(図12参照)またはリファレンスセルを利用する構成(図15参照)のいずれが用いられてもよい。

【0145】

図20は、この発明の実施の形態2における各ベリファイ電圧および読出電圧とメモリセルのしきい値電圧分布との関係を示す図である。図20において、横軸に、メモリセルのしきい値電圧 V_{th} を示し、縦軸に、各しきい値分布のビット数の常用対数値を示す。図20においては、4値データが1つのメモリセルに格納される場合のしきい値電圧分布を示し、ベリファイ電圧として、 $V_{th_OE V}$ 、 $V_{th_E V}$ 、 $V_{th_P V 1}$ 、 $V_{th_P V 2}$ および $V_{th_P V 3}$ を示す。読出電圧レベルは、 $R V 1$ 、 $R V 2$ 、および $R V 3$ である。

【0146】

図20において、また、各しきい値電圧分布における実線で示す分布が、消去/書込完了時のしきい値電圧分布を示し、破線で示すしきい値電圧分布が、デトラップによるしきい値電圧シフト時のしきい値電圧分布を示す。

【0147】

ここでは、特に、そのデトラップによるしきい値シフトの影響が大きい書込状態(プログラム状態)についてしきい値電圧シフトを示す。

【0148】

書込状態においては、図20に示すように、しきい値電圧分布が電子のデトラップにより低い方にシフトする。この場合、トンネル絶縁膜の劣化により、この電荷トラップおよびデトラップが顕著となると、読出時に電流源が与える基準電流量を、ベリファイ時よりも低減させる。この基準電流量が小さい場合、参照セルを利用する構成の場合、メモリセルを流れる電流 I_{cell} が相対的に大きくされる状態に対応する。このセル電流 I_{cell} が大きくされる状態は、読出電圧 $R V 1$ 、 $R V 2$ および $R V 3$ が、それぞれ低くされる状態に対応する(図20において、参照セルを利用する場合には、一定のワード線電圧

10

20

30

40

50

が各しきい値電圧分布に対して共通に与えられる)。

【0149】

図12に示す基準電流源トランジスタを利用する場合、基準電流量が低減されると、基準電流源トランジスタのしきい値電圧が高くされた状態に対応し、逆にいえば、ワード線電圧が低くされた状態に対応する。これは、図20に示すしきい値電圧分布において、メモリセルのしきい値電圧が低くされた状態に対応し、すなわち、読出電圧レベルRV1 - RV3が低いほうにシフトされた状態に対応する。従って、いずれの電流源を利用する場合においても、読出時にペリファイ時に比べて基準電流量を低減することにより、読出電圧レベルRV1 - RV3を等価的に低下させることとなり、デトラップによるしきい値電圧シフトに対する読出マージンを確保することができる(基準電流量がワード線電圧に対応する)。

10

【0150】

すなわち、図20において示すように、メモリセルのしきい値電圧分布がデトラップにより低電圧方向にシフトした場合、読出電圧RV1、RV2およびRV3も破線で示すように低電圧方向に等価的にシフトさせる。メモリセルのしきい値電圧分布のデトラップによるシフト量を、基準電流量低減による読出電圧の等価的な低下により補償する。これにより、デトラップによりメモリセルのしきい値電圧 V_{th} が低下しても、その低下したしきい値電圧 V_{th} 分布と読出電圧との間のマージンは十分に確保することができ、トンネル絶縁膜の劣化によるデトラップ発生時においても、正確にデータの読出を行なうことができ、デトラップ耐性を改善することができる。

20

【0151】

なお、この読出電圧RV1、RV2およびRV3の電圧レベルが等価的に低電圧レベル方向にシフトした場合、しきい値電圧分布の上限値も低い方向にシフトしている。従って、しきい値電圧分布よりも高い方の読出電圧が等価的に低下しても、この上側の読出電圧に対して十分に読出マージンは確保することができる。消去状態の“11”分布については、その読出電圧RV1が低下し、しきい値電圧分布の上限値とのマージンが小さくなる。しかしながら、基準電流が小さくされており、読出電圧RV1の等価的な低下は補償されており、同様、安定なデータの読出を行なうことができる。

【0152】

なお、図20において、しきい値電圧の高い“00”分布においてデトラップによるしきい値電圧のシフト量が大きい。これは、書込時において消去状態から最も多く電子の注入が行なわれており、トンネル絶縁膜のとらップ電子の数が増加するため、応じてデトラップの影響も最も大きくなるためである。

30

【0153】

また、E/Wカウンタメモリのカウント値は、対応のメモリブロックMBにおいて書換が行なわれたとき、そのカウント値が更新されるため、選択メモリブロックMBのメモリセルデータの書込と並行して、このE/Wカウンタメモリのカウント値の書込が行なわれればよい。これは、E/Wカウンタメモリとしては、メモリブロックMB内の特定の領域の不揮発性メモリセルをカウンタメモリとして用いることにより容易に実現される。

【0154】

[変更例]

図21は、この発明の実施の形態2の変更例に従う基準電流決定シーケンスを示すフロー図である。この図21に示すフロー図の電流源変更シーケンスにおいて用いられる回路構成は、先の図17および図18に示す構成と同じであり、大きさの異なる基準電流を供給する少なくとも2つの基準電流源(50Aおよび50B)が用いられる。

40

【0155】

この図21に示す電流源操作シーケンスは、図19に示す基準電流操作シーケンスと以下の点でその処理内容が異なる。すなわち、書換回数が、所定値Nを超えるまでは、電流量の小さな電流源50Bを用いる(ステップS35A)。この図21に示す操作シーケンスにおいて、各他のステップの処理内容は、図19に示すフロー図と同じであり、対応す

50

る操作内容については、同一のステップ番号を付し、その詳細説明は省略する。

【0156】

したがって、この発明の実施の形態2の変更例においては、書換回数が所定値Nの範囲内のときには、(相対的に)小さな電流を基準電流として用いてメモリセルデータのベリファイおよび読出を行なう。一方、この書換回数が所定値Nを超えると、ベリファイ動作(消去および書込(プログラム)のベリファイ)時においては、供給電流の大きい電流源50Aが用いられ、データ読出時には、供給電流の小さな電流源50Bが用いられる。

【0157】

図22は、図21に示す操作シーケンスにおけるメモリセルのしきい値電圧分布を示す図である。図22においても、4値データを格納する場合のしきい値電圧分布を示す。

10

【0158】

書換回数が所定値Nを超えると、ベリファイ時には電流源50Aが用いられ、書換回数が所定値N以下の場合よりも大きな電流が、ベリファイ時の基準電流として用いられる。ベリファイ時には、メモリセル電流(I_{cell})は、この大きな基準電流と比較されて、そのしきい値電圧レベルが判定される。基準電流が大きくされた状態は、メモリセル電流が相対的に小さくされた状態に対応し、これはワード線電圧が等価的に高くされた状態に対応する。従って、基準電流量は、判定電圧レベルに対応する。すなわち、ワード線電圧が、通常のベリファイ電圧レベルに維持されても、等価的に、このベリファイ電圧レベルが上昇した状態が実現される。これにより、プログラム分布("10"分布、"01"分布、および"00"分布)を電圧レベルの高い方にシフトさせることができ、デトラップによるメモリセルのしきい値電圧(V_{th})の低下を補正したしきい値電圧分布を実現する。

20

【0159】

デトラップによりしきい値電圧(V_{th})が低下しても、読出電圧RV1、RV2およびRV3に対してのマージンは、書換回数が所定値Nよりも小さくデトラップによるしきい値電圧シフトが生じないときと同様のマージンが確保される。これにより、デトラップによるしきい値電圧の定電圧方向へのシフトが生じても十分に読出マージンを確保することができ、デトラップ耐性を改善することができ、デトラップ寿命を長くすることができる。

【0160】

以上のように、この発明の実施の形態2に従えば、書換回数に応じて、ベリファイ時または読出時の電流量を変更(切換)しており、トンネル絶縁膜の電圧ストレスによる劣化時にデトラップが発生しても、このデトラップによるしきい値電圧シフトを確実に補償して安定なデータの読出を行なうことができ、デトラップ耐性が改善される。

30

【0161】

[実施の形態3]

図23は、この発明の実施の形態3に従う不揮発性半導体記憶装置の要部の構成を概略的に示す図である。この発明の実施の形態3においては、図17に示す不揮発性半導体記憶装置とは、基準電流発生回路60の構成が異なり、他の構成としては、図17に示す構成が用いられる。従って、図23においては、基準電流発生回路の構成を示し、その他の構成の図示は省略する。

40

【0162】

基準電流発生回路60は、リファレンスセルを利用する基準電流源65と、基準電流源65の駆動する電流 I_{ref0} に対するバイアス電流 I_{bias} を生成するバイアス電流源67を含む。基準電流源65は、サブビット線SBLaとソース線SLaの間に並列に接続されるメモリセルMa-Mdと、サブビット線SBLbおよびソース線SLbの間に並列に接続されるメモリセルMe-Mhを含む。メモリセルMa-Mhは、たとえば図22に示す各ベリファイ電圧および読出電圧に対応する電流を供給するように、そのしきい値電圧または電流駆動力が予め設定される。

【0163】

50

サブビット線 S B L a および S B L b は、それぞれ、選択ゲートトランジスタ T 3 0 および T 3 2 を介してリファレンスメインビット線 R M B L に結合される。選択ゲートトランジスタ T 3 0 および T 3 2 のゲートには、リファレンスセル群選択信号 S G 0 および S G 1 がそれぞれ与えられ、ベリファイモード時またはデータ読出時の、対象データの論理値に応じたリファレンスセルの組を選択する。

【 0 1 6 4 】

リファレンスセル M a - M h において、それぞれ同一行に配置されるリファレンスセルに対しワード線 W a - W d が接続されて、対応のリファレンスセルのコントロールゲートに結合される。これらのワード線 W a - W d は、センスされるメモリセルのデータの論理値に応じてメモリセルの組を選択する。選択ワード線および選択リファレンス列に位置するリファレンスセルが、センスアンプ 1 1 に結合される。

10

【 0 1 6 5 】

バイアス電流源 6 7 は、それぞれ切換信号 S W C a および S W C b に従って選択的に導通するバイアストラジスタ T 3 5 および T 3 6 を含む。これらのバイアストラジスタ T 3 5 および T 3 6 は、たとえば N チャンネル M O S トランジスタで構成され、リファレンスメインビット線 R M B L に結合される。バイアストラジスタ T 3 5 および T 3 6 の電流駆動量は、トランジスタサイズの調整などにより、互いに異なる値に設定され、たとえば、バイアストラジスタ T 3 5 の駆動電流量がバイアストラジスタ T 3 6 のそれよりも大きくされる。

【 0 1 6 6 】

この図 2 3 に示す基準電流発生回路 6 0 においては、動作時、ベリファイ動作および読出モードに応じて基準電流源 6 5 においてメモリセル M a - M h のいずれかが選択され、リファレンス電流 I r e f 0 を生成する。これらのメモリセル M a - M h のしきい値電圧または駆動電流量は、対応する電流源 6 7 のトランジスタ T 3 5 または T 3 6 の電流量を考慮して設定される。

20

【 0 1 6 7 】

バイアス電流源 6 7 においては、書換回数 (E / W 回数) とベリファイおよび読出モードとに応じて、切換信号 S W C a および S W C b に応じてトランジスタ T 3 5 および T 3 6 が択一的に用いられる。センスアンプ 1 1 に対するリファレンス電流 I r e f としては、基準電流源 6 5 の駆動する電流 I r e f 0 とバイアス電流源 6 7 の駆動するバイアス電流 I b i a s の和となる。このリファレンス電流 I r e f が、セル電流 I c e l l と比較されて、センスアンプ 1 1 により、データの内部読出または外部読出が行なわれる。

30

【 0 1 6 8 】

このバイアス電流源 6 7 においては、先の実施の形態 2 と同様、以下の切換え操作が行なわれる。書換回数 (E / W 回数) が所定値 N 以下の場合には、基準電流源 6 5 とともに、電流駆動力の大きなトランジスタ T 3 5 を用いる。書換回数 (E / W 回数) が所定値 N を超えると、データを外部へ読出す読出モード時に、バイアス電流源 6 7 において、電流駆動量の小さなトランジスタ T 3 6 が用いられる。ベリファイ時には、書換回数が所定値 N を越えても、電流駆動力の大きなトランジスタ T 3 5 が用いられる。または、これに代えて、書換回数が、所定値 N に到達するまでは、電流駆動量の小さなトランジスタ T 3 6 が用いられ、書換回数が所定値 N を超えると、電流駆動量の大きなトランジスタ T 3 5 を用いてベリファイ動作が行なわれる。データの外部読出を行う読出モード時には、書換回数に係らず電流駆動力の小さなトランジスタ T 3 6 が用いられる。

40

【 0 1 6 9 】

このように、センスアンプ 1 1 に対するリファレンス電流 I r e f の大きさを調整することにより、一定のワード線に印加される電圧レベルを等価的にシフトさせることができ、メモリセルのデトラップによるしきい値電圧シフトを補償するようにプログラム分布または読出電圧レベルの調整を行うことができる。

【 0 1 7 0 】

バイアス電流源としては、電流駆動力の異なるトランジスタが用いられるだけであり、

50

回路占有面積を低減することができる。

【0171】

なお、基準電流発生回路65において、1つの定電流源トランジスタが設けられ、この定電流源トランジスタとバイアス電流源トランジスタとの組み合わせにより、書換回数と動作モードとに応じてセンスアンプに対するリファレンス電流が生成されてもよい(この場合には、ワード線電圧が、センスデータの論理値に応じて変更される)。

【0172】

[変更例]

図24は、この発明の実施の形態3の変更例の基準電流発生回路の構成を概略的に示す図である。図24において、基準電流発生回路60は、基準電流源65と、図17に示す論理部55からの電圧切換信号SWCに従って電圧レベルを切換える電圧切換回路70と、電圧切換回路70からの電圧とリファレンスワード線アドレスRADとに従ってワード線Wa-Wdのいずれかを選択状態へ駆動するリファレンスワード線駆動回路72を含む。基準電流源65の構成は、図23に示す基準電流源65の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0173】

この電圧切換回路70は、書換回数(E/W回数)と動作モード(ベリファイモードおよび読出モード)とに応じて、その出力電圧レベルを切換えて、リファレンスワード線駆動回路72へ与える。リファレンスワード線駆動回路72は、このリファレンスワード線アドレスRADに従って、選択されたリファレンスワード線上に電圧切換回路70から与えられた電圧を伝達する。したがって、このリファレンスワード線Wa-Wdの電圧レベルが、書換回数および動作モード(ベリファイモードおよび読出モード)に応じて切換えられる。

【0174】

リファレンスセルMa-Mhのしきい値電圧または電流駆動力は、予め、固定的に設定される(ベリファイ電圧および読出電圧に対応してそれぞれ所望の電流を駆動するように設定される)。したがって、リファレンスワード線Wa-Wdの電圧レベルが高くなると、これらのメモリセルMa-Mhの駆動電流量が、初期設定値よりも高くなる。一方、リファレンスワード線Wa-Wdの電圧レベルが低くなると、これらのメモリセルMa-Mhの駆動電流量が、初期設定値よりも小さくなる。これらのリファレンスワード線Wa-Wdの電圧レベルを調整することにより、リファレンスメインビット線RMBLを介してセンスアンプ11へ与えられるリファレンス電流の大きさを調整することができ、応じて、メモリセルに対するベリファイ電圧または読出電圧の電圧レベルを等価的に変更することができる。

【0175】

基準電流源65の供給する電流量の調整は、先の実施の形態2における電流源切換時の電流量の変更と同じ態様で実行される。すなわち、書換回数が所定値に到達すると、ベリファイ時の電流値が大きくされる(ベリファイ用リファレンスセルに対応するリファレンスワード線の電圧を高くする)かまたは読出時の電流量が小さくされる(読出用のリファレンスセルに対応するリファレンスワード線の電圧が低くされる)。

【0176】

図24に示す構成を利用しても、ゲート絶縁膜の劣化(書換回数)に応じて、メモリセルに対するベリファイ電圧または読出電圧のレベルが調整することができ、応じて、デトラップによるしきい値電圧シフトを補償するようにベリファイ電圧または読出電圧を設定することができ、デトラップ耐性を改善することができる。

【0177】

また、基準電流源65は、1つ設けられるだけであり、基準電流発生回路の占有面積を低減することができる。

【0178】

なお、リファレンスを利用する場合、メモリセルのコントロールゲート(ワード線)へ

10

20

30

40

50

与えられる電圧レベルは、一定である（しきい値電圧分布にかかわらず、メモリセルがすべてオン状態となる電圧レベル）。

【0179】

また、この実施の形態3においても、リファレンスセルは、4行2列に配列される必要はない。例えば、1行8列にリファレンスセルが配置されても良い。

【0180】

また、この基準電流源65において、リファレンスセルに代えて基準電流源トランジスタが用いられ、その基準電流源トランジスタのゲートへ与えられる基準電圧のレベルが、書換回数（E/W回数）および動作モードに応じて変更されてもよい。

【0181】

以上のように、この発明の実施の形態3に従えば、基準電流源を書換回数にかかわらず共通の基準電流源を用い、このセンスアンプへ与えられる電流、ワード線電圧またはバイアス電流源を用いて調整しており、複数の基準電流源を設ける構成に比べて、レイアウト面積を低減して、デトラップ耐性を改善することができる。

【0182】

なお、上述の実施の形態1および3が組み合わせて用いられても良い。初期状態においてももっともリードマージンの大きな電流源を選択して利用し、その後、書換回数に応じて、その電流源が供給するリファレンス電流がさらに調整されても良い。

【0183】

また、電流量の調整は、上述の実施の形態2および3においては、書換回数が所定値以下/以上により行っている。しかしながら、この電流量の調整は、書換回数を、例えばK、N、Mとさらに細かく分け、各書換回数値に応じて電流量が調整されても良い（書換回数が多くなるにつれて、基準電流変更量を大きくする）。

【産業上の利用可能性】

【0184】

この発明は、一般に、フローティングゲートに電荷を蓄積する積層ゲートトランジスタを記憶素子として用いる不揮発性半導体記憶装置に対して適用することにより、デトラップ耐性が改善された信頼性の高い不揮発性半導体記憶装置を実現することができる。

【0185】

このフラッシュメモリとしては、NOR型フラッシュメモリに限定されず、AND型またはNAND型フラッシュメモリにおいても、本発明は適用可能である。

【0186】

また、この不揮発性半導体記憶装置は、半導体記憶装置単体であってもよく、また、他のプロセッサなどのロジックと同一半導体基板上に集積化される混載メモリであってもよく、また、プロセッサ内のメモリであってもよい。

【図面の簡単な説明】

【0187】

【図1】この発明において用いられるメモリセルの断面構造および消去時の印加電圧の一例を示す図である。

【図2】図1に示すメモリセルの消去後のエネルギーバンドの状態を示す図である。

【図3】消去後のトラップ電荷の移動を模式的に示す図である。

【図4】メモリセルの書込時の印加電圧の一例を示す図である。

【図5】書込後のエネルギーバンドの状態を模式的に示す図である。

【図6】書込後のメモリセルの集積電荷およびトラップ電荷を模式的に示す図である。

【図7】メモリセルのデータ読出時の印加電圧を示す図である。

【図8】メモリセルのデトラップによるしきい値分布の移動を示す図である。

【図9】この発明の実施の形態1に従う不揮発性半導体記憶装置の全体の構成を概略的に示す図である。

【図10】図9に示すメモリアレイに含まれるメモリセルの配置の一例を示す図である。

【図11】この発明の実施の形態1におけるメモリセルのしきい値電圧分布、ペリファイ

10

20

30

40

50

電圧および読出電圧の関係を示す図である。

【図 1 2】図 9 に示すセンスアンプおよび基準電流発生回路の構成の一例を示す図である。

【図 1 3】この発明の実施の形態 1 に従う不揮発性半導体記憶装置の電流源切換操作を示すフロー図である。

【図 1 4】この発明の実施の形態 1 において用いられる基準電流源切換信号発生部の構成の一例を示す図である。

【図 1 5】この発明の実施の形態 1 の変更例に従う基準電流発生回路の構成を示す図である。

【図 1 6】図 1 5 に対する電流源切換信号発生部の構成の一例を示す図である。

10

【図 1 7】この発明の実施の形態 2 に従う不揮発性半導体記憶装置の全体の構成を概略的に示す図である。

【図 1 8】図 1 7 に示す基準電流発生回路の構成の一例を概略的に示す図である。

【図 1 9】この発明の実施の形態 2 における基準電流源切換操作を示すフロー図である。

【図 2 0】図 1 9 に示すフロー図における読出電圧シフト操作を模式的に示す図である。

【図 2 1】この発明の実施の形態 2 の変更例に従う電流源切換操作のシーケンスを示すフロー図である。

【図 2 2】図 2 1 に示す操作シーケンスにおけるしきい値電圧分布シフトの状態を示す図である。

【図 2 3】この発明の実施の形態 3 に従う基準電流発生回路の構成の一例を示す図である。

20

【図 2 4】この発明の実施の形態 3 の変更例に従う基準電流発生回路の構成を示す図である。

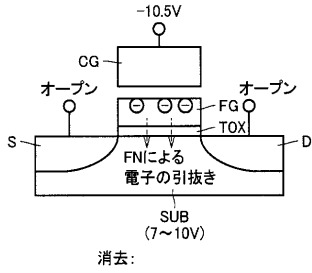
【符号の説明】

【0188】

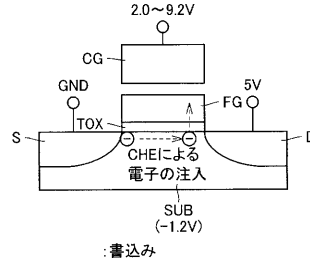
1 メモリアレイ、3 論理部、10 基準電流発生回路、11 センスアンプ、10A, 10B, 10C, 10D 基準電流源、MC メモリセル、33 行選択回路、50 メモリアレイ、52 書換回数カウンタメモリ(E/Wカウントメモリ)、60 基準電流発生回路、55 論理部、60A, 60B 基準電流源、65 基準電流源、67 バイアス電流源、70 電圧切換回路、72 リファレンスワード線駆動回路。

30

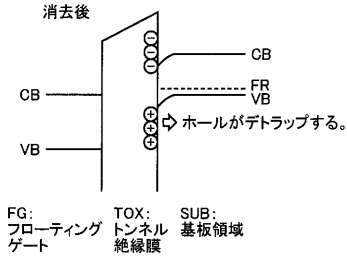
【 図 1 】



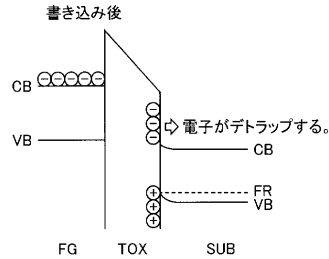
【 図 4 】



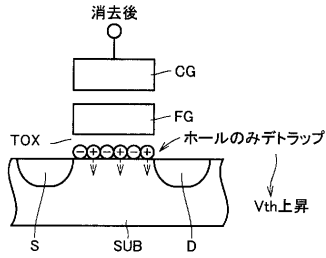
【 図 2 】



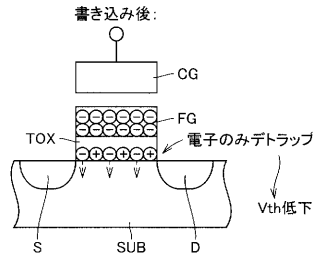
【 図 5 】



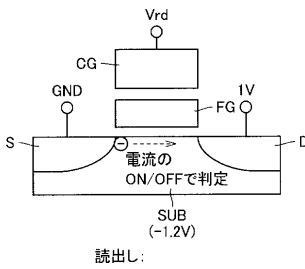
【 図 3 】



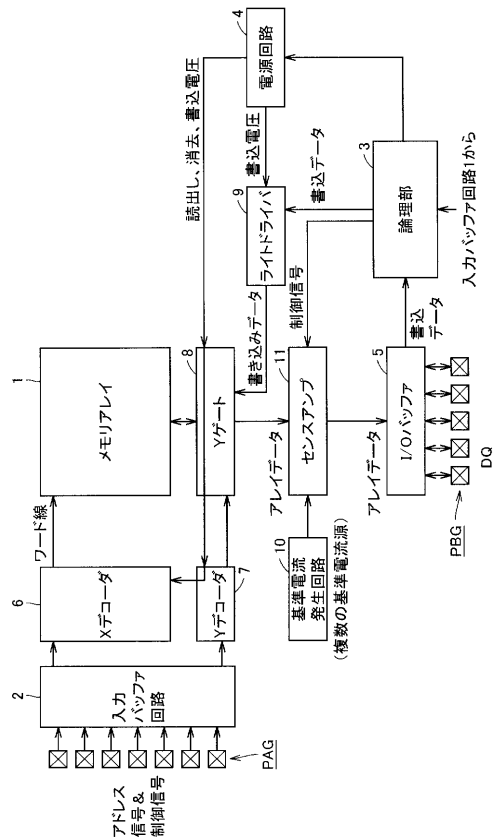
【 図 6 】



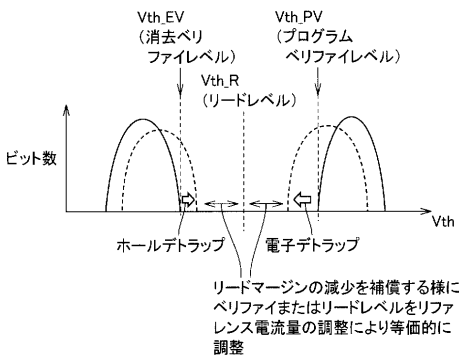
【 図 7 】



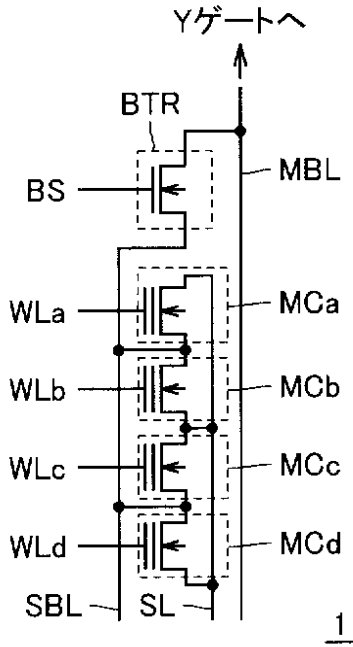
【 図 9 】



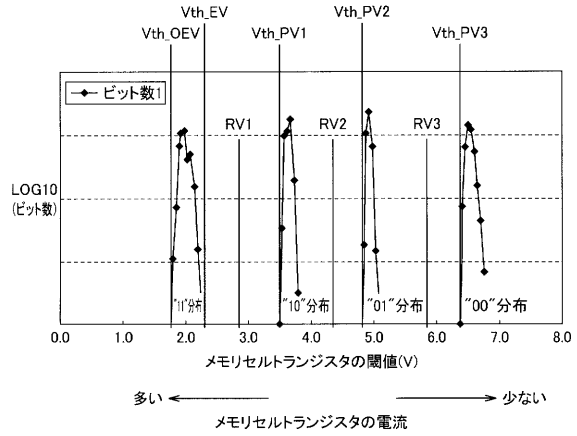
【 図 8 】



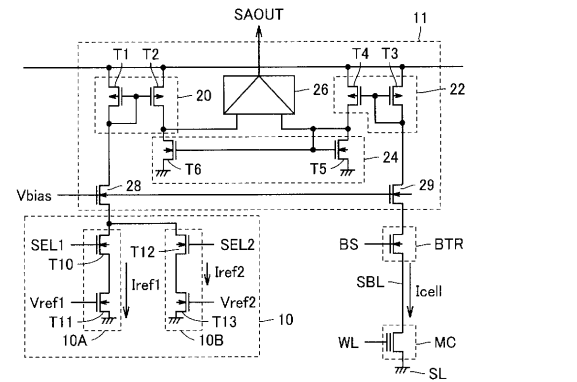
【図10】



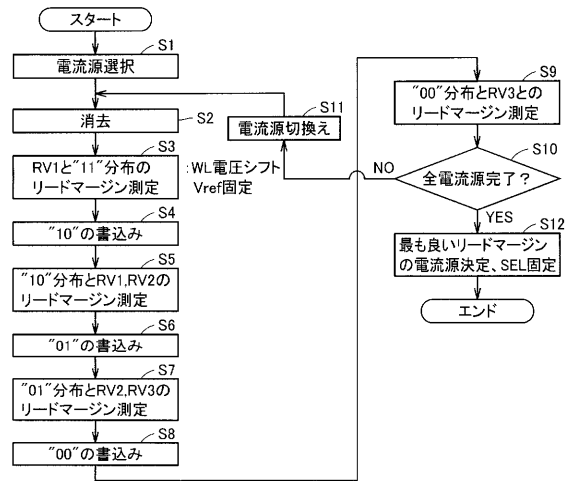
【図11】



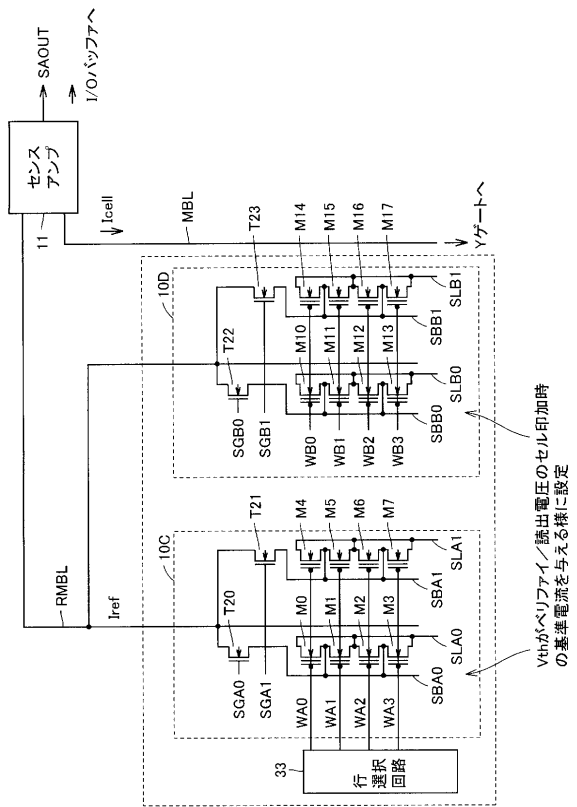
【図12】



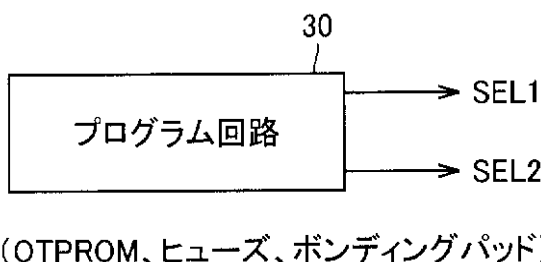
【図13】



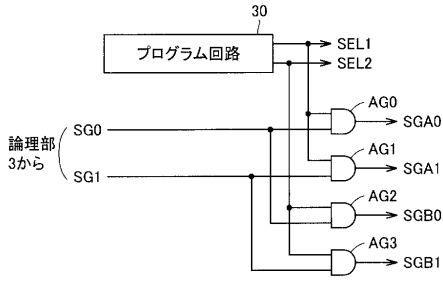
【図15】



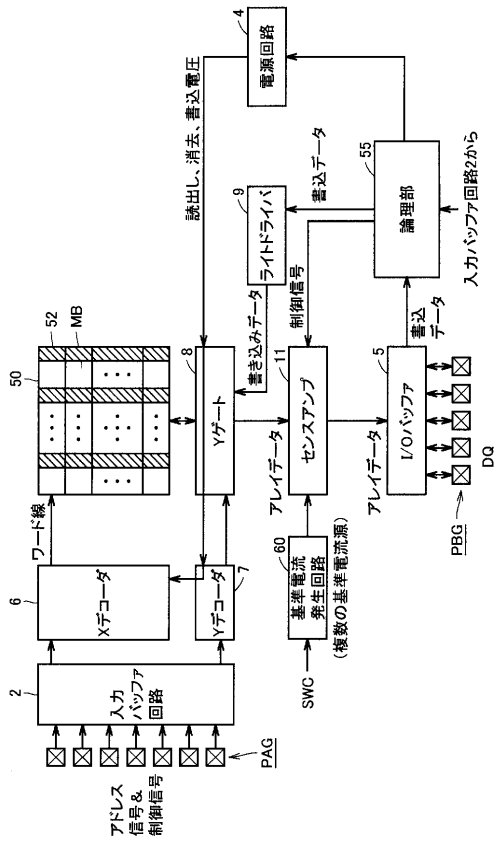
【図14】



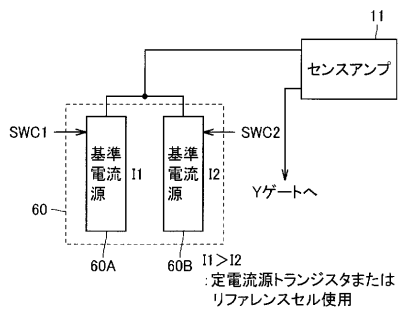
【図16】



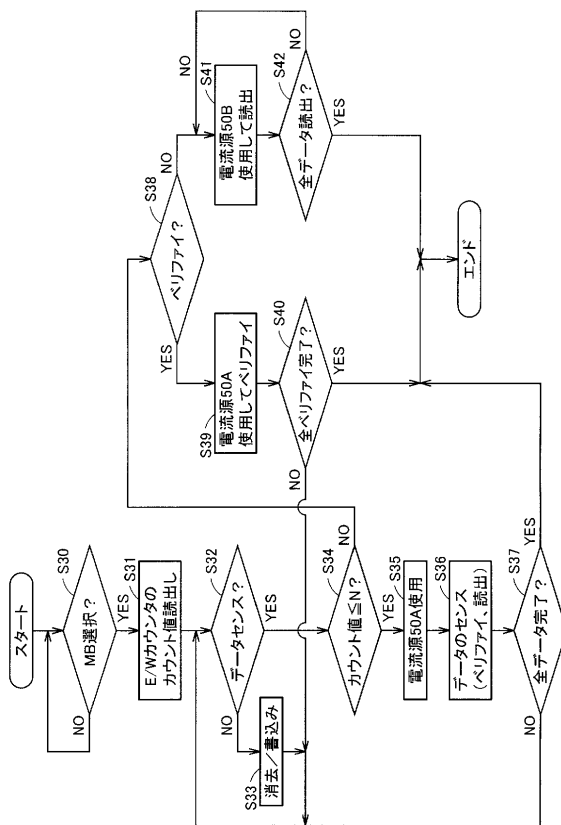
【図17】



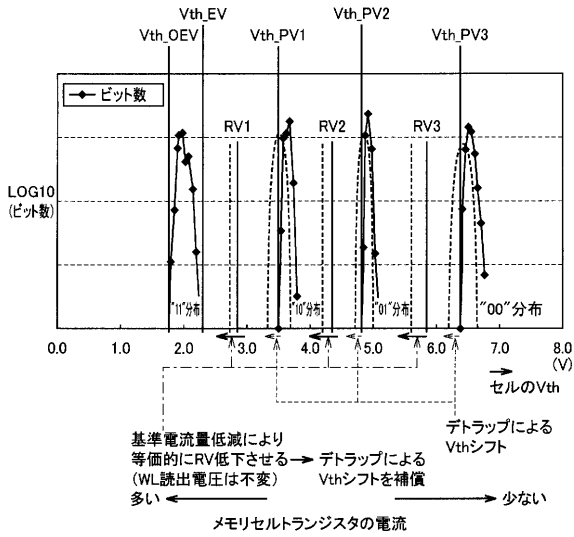
【図18】



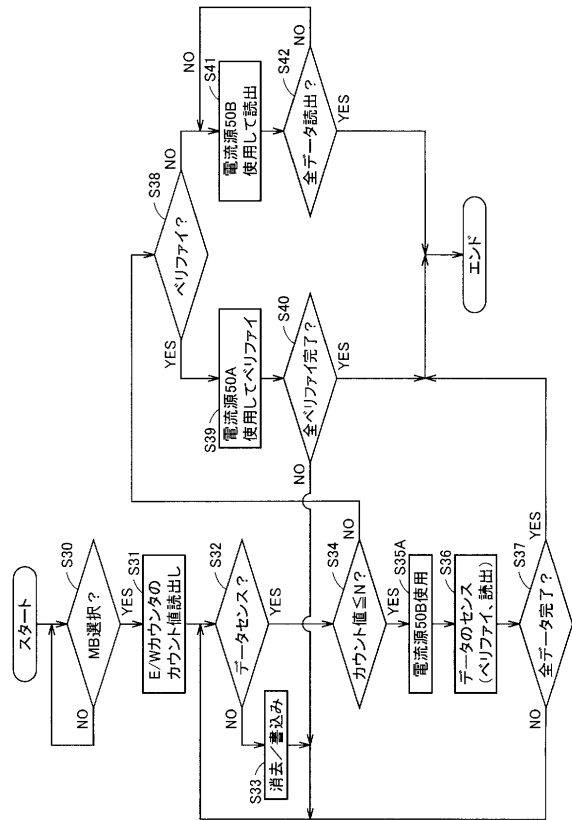
【図19】



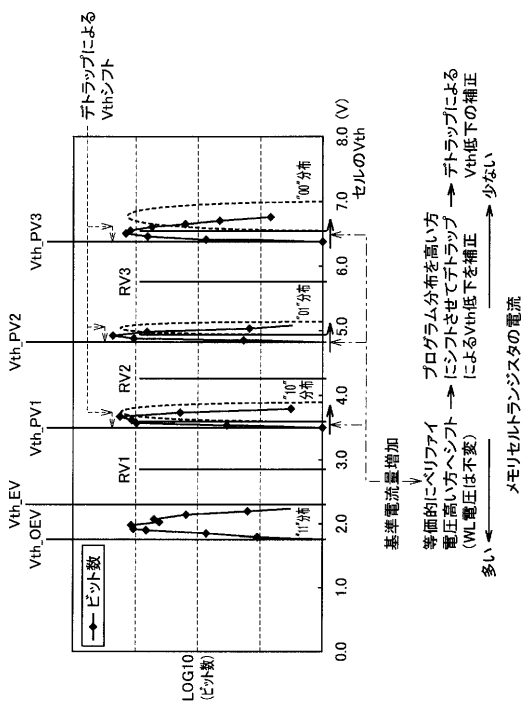
【図 20】



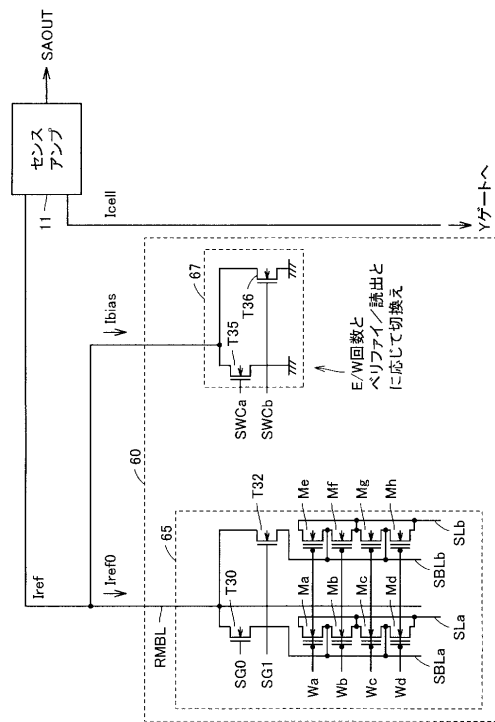
【図 21】



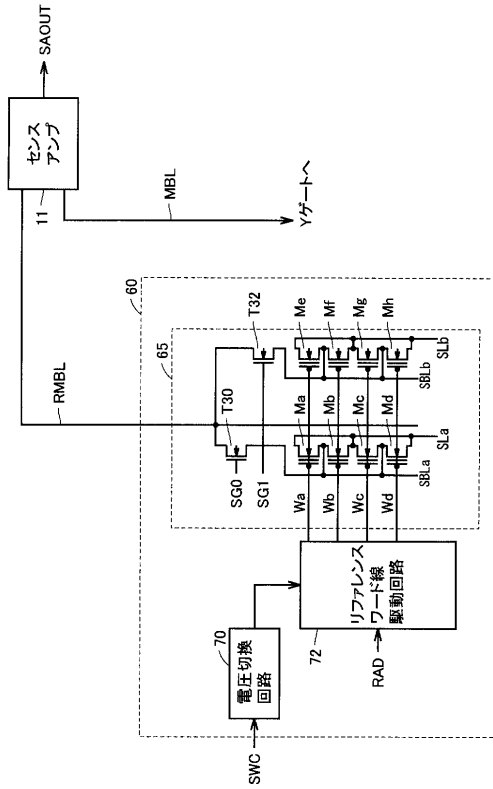
【図 22】



【図 23】



【 2 4 】



フロントページの続き

(72)発明者 神田 明彦

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 加藤 多実結

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

Fターム(参考) 5B125 BA02 BA19 CA14 CA28 EA01 EB01 EB02 ED02 EE02 EE05
EE06 EG16 EJ08 EJ09 EJ10 FA01 FA05