



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년12월02일  
 (11) 등록번호 10-1467703  
 (24) 등록일자 2014년11월25일

(51) 국제특허분류(Int. Cl.)  
 H01L 29/78 (2006.01) H01L 21/336 (2006.01)  
 (21) 출원번호 10-2013-0120811  
 (22) 출원일자 2013년10월10일  
 심사청구일자 2014년07월21일  
 (56) 선행기술조사문헌  
 JP2009117621 A\*  
 KR1020100078469 A\*  
 US20060097292 A1\*  
 KR1020100074407 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 매그나칩 반도체 유한회사  
 충북 청주시 흥덕구 향정동 1  
 (72) 발명자  
 유유신  
 충청북도 청주시 흥덕구 향정동 1 매그나칩 반도체 유한회사 내  
 오보석  
 충청북도 청주시 흥덕구 향정동 1 매그나칩 반도체 유한회사 내  
 (74) 대리인  
 김종선, 이형석

전체 청구항 수 : 총 15 항

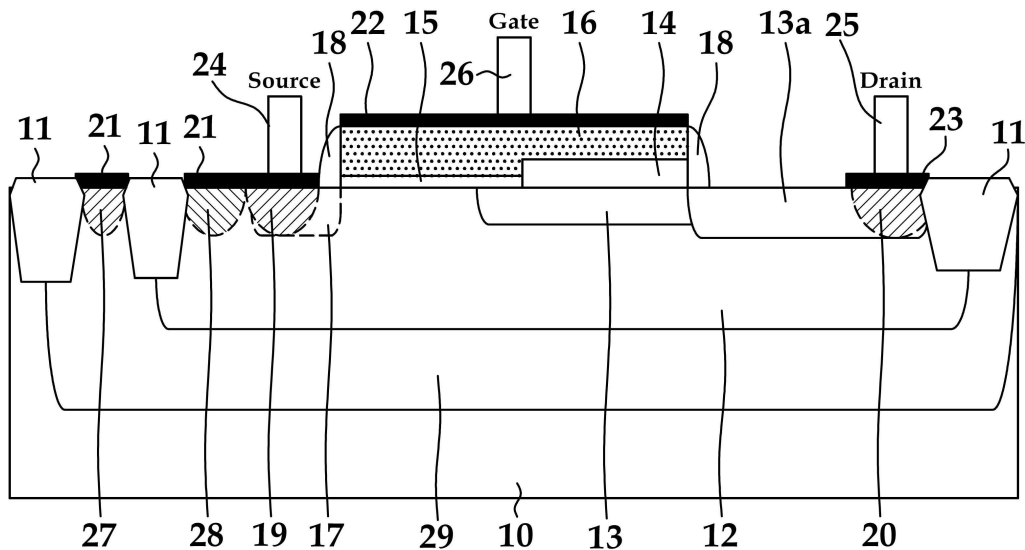
심사관 : 최정민

(54) 발명의 명칭 반도체 소자 및 그 제조 방법

(57) 요약

본 발명은 반도체 소자 및 그 제조 방법에 관한 것이다. 본 발명은, 서로 다른 높이를 갖는 복수개의 게이트 절연막 영역을 구성하되, 확장 드레인 정션 영역을 드레인 영역으로부터 어느 하나의 게이트 절연막 영역까지 확장하여 전체 또는 일부를 감싸 LV, MV 또는 HV 디바이스로 선택적으로 동작될 수 있도록 함으로써 높은 드레인 전류를 제공할 수 있으며 디바이스의 사이즈를 증가시키지 않을 수 있는 반도체 소자의 제조 방법을 제공한다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

반도체 기관;

상기 기관에 형성된 제1 도전형의 웰 영역;

상기 웰 영역 위에 제2 도전형의 드레인 영역 및 소스 영역;

상기 소스 영역 근처에 배치된 제1 게이트 절연막;

상기 드레인 영역 근처에 배치되고 상기 제1 게이트 절연막보다 두께가 두꺼운 제2 게이트 절연막;

상기 제1 및 제2 게이트 절연막 위에 배치된 게이트 전극;

상기 게이트 전극과 오버랩하는 제2 도전형 확장 드레인 정션 영역을 포함하고;

상기 확장 드레인 정션 영역은 상기 드레인 영역으로부터 소스 영역 방향으로, 상기 제1 게이트 절연막의 일부 영역까지 확장되어 형성된 것을 특징으로 하는 반도체 소자.

### 청구항 2

삭제

### 청구항 3

제 1항에 있어서,

상기 제2 게이트 절연막과 오버랩하는 상기 게이트 전극의 길이보다 상기 게이트 전극과 오버랩하는 상기 확장 드레인 정션 영역의 길이가 더 큰 반도체 소자.

### 청구항 4

제 3항에 있어서,

상기 제2 게이트 절연막과 오버랩하는 상기 게이트 전극의 길이와 상기 게이트 전극과 오버랩하는 상기 확장 드레인 정션 영역의 길이의 차이가 0.1  $\mu\text{m}$  이하인 반도체 소자.

### 청구항 5

제 1항에 있어서,

상기 제2 게이트 절연막과 상기 드레인 영역 사이의 반도체 영역의 상부 표면이 평평한(coplanar)한 반도체 소자.

### 청구항 6

제 1항에 있어서,

상기 확장 드레인 정션 영역의 깊이는 500Å~ 3500Å인 반도체 소자.

### 청구항 7

제 1항에 있어서,

상기 확장 드레인 정션 영역보다 더 깊은 분리막을 더 포함하는 반도체 소자.

### 청구항 8

제 1항에 있어서,

상기 확장 드레인 정션 영역은 상기 웰 영역에 형성되는 반도체 소자.

**청구항 9**

제 1항에 있어서,  
 상기 드레인 영역은 상기 확장 드레인 영역에 형성되고, 상기 웰 영역에 의해 격리되는 반도체 소자.

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

제 1항에 있어서,  
 상기 확장 드레인 정션 영역과 상기 드레인 영역 사이에 제2 도전형의 제1 웰 영역을 더 포함하는 반도체 소자.

**청구항 13**

제 1항에 있어서,  
 상기 확장 드레인 정션 영역은 상기 웰 영역과 접하는 반도체 소자

**청구항 14**

반도체 기판 위에 웰 영역을 형성하는 단계;  
 상기 웰 영역의 일측에 확장 드레인 정션 영역을 형성하는 단계;  
 상기 웰 영역 위에 두께가 다른 두 개 이상의 게이트 절연막을 형성하는 단계;  
 상기 게이트 절연막 위에 게이트 전극을 형성하는 단계;  
 상기 게이트 전극 양측에 소스 영역 및 드레인 영역을 형성하는 단계를 포함하고;  
 상기 확장 드레인 정션 영역은 상기 게이트 전극과 오버랩되고,  
 상기 게이트 절연막은 제1 게이트 절연막과 제2 게이트 절연막으로 이루어지고,  
 상기 제1 게이트 절연막은 상기 소스 영역에 가까이 배치되고, 상기 제2 게이트 절연막은 상기 드레인 영역 가까이 배치되며,  
 상기 확장 드레인 정션 영역은 상기 드레인 영역으로부터 상기 소스 영역 방향으로, 상기 제1 게이트 절연막의 일부 영역까지 확장되어 형성된 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 15**

제 14항에 있어서,  
 상기 제1 게이트 절연막이 상기 제2게이트 절연막보다 두께가 작은 반도체 소자의 제조 방법.

**청구항 16**

삭제

**청구항 17**

제 14항에 있어서,  
 상기 확장 드레인 정션 영역은 로직 웰 전압 조절용 이온 주입을 통해 형성되는 반도체 소자의 제조 방법.

**청구항 18**

제 14항에 있어서,

상기 확장 드레인 정션 영역의 도펀트 농도는  $1E17 \sim 1E19(\text{atoms}/\text{cm}^3)$  인 반도체 소자의 제조 방법.

**청구항 19**

삭제

**청구항 20**

제 15항에 있어서,

상기 제1 게이트 절연막의 두께는 5-50A 두께를 갖는 반도체 소자의 제조 방법.

**명세서**

**기술분야**

[0001] 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 디스플레이 드라이버 IC의 레벨 쉬프터 블록(level shifter block)에 사용되는 스텝 게이트 절연막 DMOS 반도체 소자 및 그 제조 방법에 관한 것이다.

**배경기술**

[0002] DMOS 소자(enhancement driver depletion load MOS)는 MOSFET로 만들어진 인버터 게이트에서 드라이버를 인헨스먼트형으로, 부하를 디플리션형으로 하여 부하의 게이트 전극을 출력 단자에 접속한 소자로서, 부하인 MOS트랜지스터가 정전류 특성을 가지므로 동작 특성이 좋아서 논리 회로에 널리 쓰이고 있다.

[0003] 종래의 DMOS 소자는 저전압(LV)을 중전압(MV) 또는 고전압(HV)으로 변환하기 위해 사이즈가 크고 드레인 전류가 낮은 중전압 소자(MV 소자) 또는 고전압 소자(HV 소자)를 각각 개별적으로 사용하였다. 그러나 저 전압 게이트 입력(low voltage gate input)을 이용하여 중전압 소자 또는 고전압 소자를 구동하기에는 드레인 전류가 부족하여 핑거 타입(finger type)으로 폭(width)을 증가시켜 사용함으로써 칩 크기 감소의 병목(bottle neck)이 발생하는 문제점이 있었다.

[0004] 또한, 레벨 쉬프터 블록 (Level shifter block)에서 채널 길이 모듈레이션(channel length module)이 좋지 않아 안정적인 구동력을 확보하기 어렵다. 즉, 레벨 쉬프터 블록에서 저 전압 입력을 중전압 또는 고전압 출력으로 높일 때 중전압 소자 또는 고전압 소자를 사용하는데 저전압 게이트 전압 입력인가 시 드레인 전류가 낮고 채널 길이 모듈레이션 이 좋지 않아 안정적인 구동력을 확보하기 어렵다.

**선행기술문헌**

**특허문헌**

[0005] (특허문헌 0001) 미국 등록특허공보 제6,639,290호

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명은 상술한 종래기술의 문제점을 극복하기 위한 것으로서, 서로 다른 높이를 갖는 복수개의 게이트 절연막 영역을 구성하되, 확장 드레인 정션 영역을 드레인 영역으로부터 어느 하나의 게이트 절연막 영역까지 확장하여 전체 또는 일부를 감싸 LV, MV 또는 HV 디바이스로 선택적으로 동작될 수 있도록 하는 스텝 게이트 절연막 DMOS 소자 및 그 제조 방법을 제공하는 데에 그 목적이 있다.

- [0007] 또한, 저전압 게이트 입력전압에서도 기존 중전압 소자 또는 고전압 소자 대비 10배 수준의 높은 드레인 전류를 제공할 수 있으며 이것은 소자가 형성되는 게이트 산화막을 LV 게이트 절연막과 MV 게이트 절연막 조합 또는 LV 게이트 절연막과 HV 게이트 절연막을 조합시킨 스텝 게이트 산화막으로 구성하여 게이트 전압에 대한 드레인 전류 구성성(drivability)을 높였으며 정션 영역을 MV, HV공정에 맞게 최적화함으로써 분리 규칙(isolation rule) 증가 없이 칩 크기 감소가 가능한 목적도 있다.
- [0008] 또한, 본 소자는 저 전압 게이트 입력(input)에서 채널 길이 모듈레이션 (channel length modulation, CLM)이 우수하여 안정(stable)한 회로(circuit) 구성이 가능하고 게이트와 드레인 영역 사이에 평평한 타입(planar type)으로 구성이 가능하다. 그래서 게이트와 드레인 영역 사이에 LOCOS 또는 얇은 트렌치(STI)를 사용하지 않아도 된다.
- [0009] 그리고 소자 분리를 위해서 원하는 깊이를 갖도록 STI 또는 MTI(medium trench isolation), DTI(deep trench isolation)를 사용하는 공정에도 적용이 가능하다.
- [0010] 또한, 스텝 게이트 절연막이 형성되는 채널(channel) 내에 확장 드레인 정션(extended drain junction)의 길이를 조정함에 따라 LV 소자만 동작하는 것도 가능하고, LV소자와 MV 소자가 조합된 이중 소자 또는 LV소자와 HV 소자가 조합된 이중 소자로 동작하는 것도 가능하다.

**과제의 해결 수단**

- [0011] 상기 목적들을 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자는, 반도체 기판; 상기 기판에 형성된 제 1 도전형의 웰 영역; 상기 웰 영역 위에 제2 도전형의 드레인 영역 및 소스 영역; 상기 소스 영역 근처에 얇은 게이트 절연막; 상기 드레인 영역 근처에 두꺼운 게이트 절연막; 상기 게이트 절연막 위에 배치된 게이트 전극; 상기 게이트 전극과 오버랩하는 제2 도전형 확장 드레인 정션 영역;을 포함한다.
- [0012] 상기 확장 드레인 정션 영역은 상기 드레인 영역으로부터 소스 영역 방향으로, 상기 얇은 게이트 절연막의 일부 영역까지 확장되어 형성될 수 있다.
- [0013] 상기 두꺼운 게이트 절연막과 오버랩하는 상기 게이트 전극의 길이보다 상기 게이트 전극과 오버랩하는 상기 확장 드레인 정션 영역의 길이가 더 클 수 있다.
- [0014] 상기 두꺼운 게이트 절연막과 오버랩하는 상기 게이트 전극의 길이와 상기 게이트 전극과 오버랩하는 상기 확장 드레인 정션 영역의 길이의 차이가 0.1 um 이하일 수 있다.
- [0015] 상기 게이트 절연막과 상기 드레인 영역 사이의 반도체 영역의 상부 표면이 평평한(coplanar)할 수 있다.
- [0016] 상기 확장 드레인 정션 영역의 깊이는 500A~ 3500A인 것이 바람직하다.
- [0017] 상기 확장 드레인 정션 영역보다 더 깊은 분리막을 더 포함할 수 있다.
- [0018] 상기 확장 드레인 정션 영역은 상기 웰 영역에 형성되는 것이 바람직하다.
- [0019] 상기 드레인 영역은 상기 확장 드레인 영역에 형성되고, 상기 웰 영역에 의해 격리될 수 있다.
- [0020] 상기 확장 드레인 정션 영역은 상기 드레인 영역으로부터 상기 두꺼운 게이트 절연막의 일부 영역까지만 확장될 수 있다.
- [0021] 상기 두꺼운 게이트 절연막과 오버랩하는 상기 게이트 전극의 길이보다 상기 게이트 전극과 오버랩하는 상기 확장 드레인 정션 영역의 길이가 더 작을 수 있다.
- [0022] 상기 확장 드레인 정션 영역과 상기 드레인 영역 사이에 제2 도전형의 제1 웰 영역을 더 포함할 수 있다.
- [0023] 상기 확장 드레인 정션 영역은 상기 웰 영역과 접할 수 있다.
- [0024] 또한, 상기 목적들을 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자의 제조방법은, 반도체 기판 위에 웰 영역을 형성하는 단계; 상기 웰 영역의 일측에 확장 드레인 정션 영역을 형성하는 단계; 상기 웰 영역 위에 두께가 다른 두 개 이상의 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 위에 게이트 전극을 형성하는 단계; 상기 게이트 전극 양측에 소스 영역(19) 및 드레인 영역을 형성하는 단계;를 포함하고, 상기 확장 드레인 정션 영역은 상기 게이트 전극과 오버랩된다.

- [0025] 상기 게이트 절연막은 제1 게이트 절연막과 제2 게이트 절연막으로 이루어지고, 상기 제1 게이트 절연막이 상기 제2게이트 절연막보다 두께가 작을 수 있다.
- [0026] 상기 제1 게이트 절연막은 상기 소스 영역에 가까이 배치되고, 상기 제2 게이트 절연막은 상기 드레인 영역 가까이 배치될 수 있다.
- [0027] 상기 확장 드레인 정션 영역은 로직 웰 전압 조절용 이온 주입을 통해 형성될 수 있다.
- [0028] 상기 확장 드레인 정션 영역의 도펀트 농도는  $1E17 \sim 1E19(\text{atoms}/\text{cm}^3)$ 인 것이 바람직하다.
- [0029] 상기 확장 드레인 정션 영역은 상기 드레인 영역으로부터 확장되어 상기 제1 게이트 절연막까지 형성할 수 있다.
- [0030] 상기 제1 게이트 절연막의 두께는 5-50A 두께를 갖을 수 있다.

**발명의 효과**

- [0031] 상기와 같이 구성된 본 발명의 일 실시예에 따른 스텝 게이트 절연막 DMOS 소자 및 그 제조 방법에 의하면, 서로 다른 높이를 갖는 복수개의 게이트 절연막 영역을 구성하되, 확장 드레인 정션 영역을 드레인 영역으로부터 어느 하나의 게이트 절연막 영역까지 확장하여 전체 또는 일부를 감싸 LV, MV 또는 HV 디바이스로 선택적으로 동작될 수 있도록 함으로써 높은 드레인 전류를 제공할 수 있으며 디바이스의 사이즈를 증가시키지 않을 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0032] 도 1 내지 도 6은 본 발명의 바람직한 일 실시예에 따른 스텝 게이트 절연막 DMOS 반도체 소자를 나타낸 단면도 및 평면도.
- 도 7 내지 도 10은 본 발명의 바람직한 일 실시예에 따른 스텝 게이트 절연막 DMOS 소자의 제조 방법을 나타낸 단면도.
- 도 11은 본 발명의 다른 실시예에 따른 스텝 게이트 절연막 DMOS 소자를 나타낸 단면도.
- 도 12는 채널 영역의 게이트 전극 중첩에 따른 소자 특성을 나타낸 도면.
- 도 13은 확장 드레인 정션 영역의 길이와 게이트 폴리 길이의 차이에 따른 소자 특성 변화를 나타낸 그래프.
- 도 14 및 도 15는 확장 드레인 정션 영역이 게이트 절연막 또는 게이트 전극과 겹치지 않도록 설계한 경우를 나타낸 단면도.
- 도 16은 본 발명의 또 다른 실시예로서, 드레인 영역 위에 형성된 상기 실리콘이드가 게이트 절연막 영역까지 확장된 스텝 게이트 절연막 DMOS 소자를 나타낸 단면도.
- 도 17은 본 발명의 또 다른 실시예로서, 제1 내지 제3 게이트 절연막을 포함한 스텝 게이트 절연막 DMOS 소자를 나타낸 단면도.

**발명을 실시하기 위한 구체적인 내용**

- [0033] 본 발명은 다양한 변형 및 여러 가지 실시예를 가질 수 있는바, 그중 특정 실시예를 상세한 설명과 도면의 예시를 통하여 보다 상세하게 설명하고자 한다. 아울러, 본 발명을 설명함에 있어서 관련된 주지 관용 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 설명을 생략한다.
- [0034] 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하기로 한다.
- [0035] 도 1 내지 도 6은 본 발명의 바람직한 일 실시예에 따른 스텝 게이트 절연막 DMOS 반도체 소자를 나타낸 단면도 /평면도이다. 여기서 DMOS는 nLDMOS 또는 nEDMOS 소자가 될 수 있다.
- [0036] 도 1에 도시된 바와 같이, 본 발명의 바람직한 일 실시예에 따른 반도체 소자는 반도체 기판(10)에 형성된 제1 도전형(P)의 웰 영역(12)과 상기 웰 영역 위에 두께가 다른 게이트 절연막(14,15)을 포함한다. 그리고 상기 게

이트 절연막(14,15) 위에 배치된 게이트 전극(16)이 형성되어 있고, 게이트 전극(16) 옆에 제2 도전형(N)의 드레인 영역(20) 및 소스 영역(19)을 배치한다. 그러므로 두께가 얇은 게이트 절연막(15)이 소스 영역(19) 근처에 배치되면, 두께가 두꺼운 게이트 절연막(14)이 드레인 영역(20) 가까이 배치된다. 드레인 전압이 소스 전압보다 높기 때문에 소스 영역(19)에서 드레인 영역(20)으로 갈수록 두께가 두꺼워 지는 것이 바람직하다.

- [0037] 드레인 영역(20)은 상기 게이트 전극(16)의 스페이서(18)에서 일정 거리 떨어져 형성된다. 이는 항복 전압을 증가시키기 위해서이다. 게이트 전극(16)과 고 농도 드레인 영역(20) 사이에는 게이트-드레인 항복 전압 증가를 위한 논-실리사이드(non-salicide) 영역이 존재한다.
- [0038] 경우에 따라서 논-실리사이드 영역 없이 실리사이드가 적용된 표준 로직(standard Logic) CMOS 공정과 동일한 드레인 구조로 구현할 수 있다. 소스 영역(19)은 표준 로직 저 전압 CMOS 공정의 소스와 동일한 구조를 갖는다. 반면에 소스 영역(19)은 게이트 전극(16) 측면에 형성된 스페이서(18)와 중첩되면서 형성된다.
- [0039] 그리고 드레인 영역(20)으로부터 더 낮은 두께를 갖는 게이트 절연막(15)까지 연장되어 배치된 확장 드레인 정션 영역(13)을 포함한다. 확장 드레인 정션 영역(13)으로 인해 높은 드레인 전류를 제공한다. 확장 드레인 정션 영역(13)은 드레인 영역(20)보다 더 높은 에너지로 이온 주입을 하기 때문에 드레인 영역(20)을 감싸게 된다. 확장 드레인 정션 영역(13)의 역할에 대해서는 다시 자세히 설명한다.
- [0040] P웰 영역(12)과 P형 기판(10) 사이에 DNW 영역(29)을 형성할 수도 있다. DNW 영역(29)은 DMOS 소자와 다른 소자와 분리를 해야 할 경우 필요하다. DMOS 소자 옆에 PW이 형성된 다른 DMOS 소자를 배치할 경우에는 따로 분리할 필요가 없기 때문에, 그 경우에는 DNW를 사용하지 않는다.
- [0041] 그리고 드레인 영역(20) 또는 소스 영역(19) 옆에는 인접 소자 분리를 위한 트렌치로 이루어진 분리 영역(isolation region)(11)이 형성되어 있다. 여기서 트렌치는 소자의 요구되는 사양에 따라 STI, MTI(medium trench isolation), DTI(deep trench isolation) 중에 선택해서 사용할 수 있다. 또는 트렌치 대신 로코스(LOCOS) 산화막을 사용할 수도 있다.
- [0042] 상기 분리 영역(11)과 소스 영역(19) 사이에는 P웰 영역(12)에 바이어스 전압을 가하기 위한 P웰 컨택 영역(28)을 배치할 수 있다. 그리고 DNW 영역(29)에 바이어스 전압을 가하기 위한 N웰 컨택 영역(27)을 배치할 수 있다.
- [0043] 그리고 LDD 영역(17), 소스 영역(19) 및 드레인 영역(20) 및 상기 게이트 전극(16) 위에 배치된 실리사이드(21)(22)(23)를 포함한다. 그리고 상기 실리사이드(21)(23) 위에 배치된 각각의 소스 컨택 플러그(24) 및 드레인 컨택 플러그(25)를 더 포함하는 반도체 소자이다.
- [0044] 그리고 확장 드레인 정션 영역(13)과 상기 드레인 영역(20) 사이에 배치되고, 상기 확장 드레인 정션 영역(13)보다 더 깊은 제1 웰 영역(MV NM)(13a)을 더 포함할 수 있다. 제1 웰 영역(13a)은 드레인 영역(20)보다 낮은 농도를 갖게 하여 드레인 영역(20)의 전계를 완화시키는 역할을 한다. 상기 제1 웰 영역(13a)의 농도는 확장 드레인 정션 영역(13)의 농도보다 더 높게 한다. 제1 웰 영역(13a)은 MV 소자의 LDD 영역(17) 이온 주입할 때 같이 형성할 수 있다. 그래서 LDD 영역(17)의 농도와 제1 웰 영역(13a)의 농도는 같다.
- [0045] 상기 두께가 서로 다른 게이트 절연막은 제2 게이트 절연막(14) 및 제1 게이트 절연막(15)으로 구성한다. 제2 게이트 절연막(14)은 상기 제1 게이트 절연막(15) 두께보다 두꺼운 막을 사용한다. 드레인 전류를 증가시키기 위해서 상대적으로 두께가 낮은 제1 게이트 절연막(15)으로만 구성할 수 있지만, 제2 게이트 절연막(14)을 두껍게 하는 이유는 드레인 영역(20)에 고전압을 걸어주기 때문이다. 고전압에 의해 게이트 절연막(14,15)이 파괴될 수 있기 때문에 얇은 제1 게이트 절연막(15)이 드레인 영역(20) 근처까지 형성될 경우 절연막이 파괴되어 소자 성능을 잃게 된다. 제2 게이트 절연막(14)의 두께는 중전압 또는 고전압 소자에서 사용하는 두께를 사용한다.
- [0046] 드레인 영역(20)에 걸어주는 전압은 3.3V 이상부터 시작된다. 그리고 게이트 전극(26)에 걸어주는 전압은 디지털 블록에서 사용하는 가장 낮은 저전압 소자에 걸어 주는 게이트 전압이다. 본 발명에서 0.5 - 2 V를 걸어 준다. LV 소자로 이루어진 디지털 블록에서 고전압 소자의 블록으로 신호를 넘겨 주기 위해 중간 영역에 본 발명과 같은 소자가 필요한 것이다.
- [0047] 기존에는 중전압 또는 고전압 소자로 이러한 것을 대신하였다. 즉 MV, HV 소자에 맞는 두꺼운 게이트 절연막을 사용하였다. 그런데 게이트 전극(26)에 0.5 - 2V를 인가하면 드레인 전류(Idsat)가 너무 낮기 때문에 채널 영역의 폭을 넓게 가져갈 수밖에 없었다. 그러한 경우, 소자의 면적이 너무 커지는 문제점이 있었던 것이다.
- [0048] 도 2는 앞의 실시예에 대한 평면도이다. 확장 드레인 정션 영역(13)이 드레인 영역(20)으로부터 더 낮은 두께를

갖는 상기 게이트 절연막(15)까지 확장되어 배치된 것을 볼 수 있다. 제1 웰 영역(13a)은 제2 게이트 절연막(14)까지 연장되어 있다.

- [0049] 그리고 도 2에서 보듯이, 단일 P웰 영역(12)으로 드레인 영역(20)까지 감싸도록 형성한다. 이는 소자 분리(isolation)에 용이하고 칩 크기에 유리하다.
- [0050] BCD 소자에서 확장 드레인 정션 영역(13) 대신 n-drifted Well 영역을 사용하여 웰 영역(12)과 확장 드레인 정션 영역(13)이 서로 접하는 구조, 즉 통상적인 RESURF LDMOS 소자(1992 IEDM, page 237, T. Efland et.al)와는 차별된다. T. Efland 가 제안한 구조는 본 발명과 같은 제2 게이트 절연막(14) 대신 LOCOS 산화막이 배치하고 있으며, 확장 드레인 정션 영역(13)이 없고, n-drifted Well 영역만 존재하고 있다.
- [0051] 또는 스텝 게이트 산화막은 있지만, 한 소자 내에 2개의 Well을 구성하여 각각 소스와 드레인 영역을 형성되는 구조(D.G. Lin, IEDM 1995, p.963) 와도 차별된다. D.G. Lin 이 제안한 구조에서는 N+ drain 영역이 본 발명과 같이 P웰 영역(12)으로 분리되어 있지 않기 때문이다. 또한, N+ drain 을 감싸면서 본 발명과 같이 제1 게이트 절연막(15)까지 확장되어 형성된 확장 드레인 정션 영역(13)이 없다.
- [0052] 도 3에 도시된 본 발명의 바람직한 일 실시예에 따른 스텝 게이트 절연막 DMOS 반도체 소자는, 앞의 실시예에 있는 구조와 유사한 구조이다. 다만, 제1 웰 영역(13a) 없이, 확장 드레인 정션 영역(13)으로만 구성된 경우이다. 확장 드레인 정션 영역(13)만으로 소자 설계가 가능하다. 제1 웰 영역(13a)이 없기 때문에 공정이 더 단순해 졌다. 그리고 확장 드레인 정션 영역(13)만으로 제조할 경우, 드레인 전류를 더 높게 확보하기 위해서 앞의 첫번째 실시예 비해서 도핑 농도를 더 올려야 한다.
- [0053] 확장 드레인 정션 영역(13)은 LV 소자를 형성할 때 사용하는 낮은 에너지로 주입되는 로직 웰 문턱전압 조절용 이온 주입을 이용하여 형성할 수 있다. 로직 웰 문턱전압 이온 주입의 에너지는 낮기 때문에 기판(10) 표면 근처에 얇게 형성할 수 있다. 또는 게이트 전극 형성 후 진행되는 LDD 이온 주입 공정으로 형성이 가능하다.
- [0054] 도 4는 본 발명의 두번째 실시예에 대한 평면도인데, 제1 웰 영역(13a)을 제외하고 나머지는 도 2와 비슷한 구조이다.
- [0055] 위에서 언급된 확장 드레인 정션 영역(13)에 대해 자세히 설명한다. 상기 확장 드레인 정션 영역(13)은 상기 드레인 영역(20)으로부터 상기 제2 게이트 절연막(14)뿐만 아니라, 상기 제1 게이트 절연막(15)의 일부까지 확장하여, 저전압 게이트 입력 전압에서도 기존 중전압 소자 또는 고전압 소자 대비 10배 수준의 높은 드레인 전류를 제공할 수 있다. 이것은 확장 드레인 정션 영역(13)도 사용하면서, 게이트 절연막을 LV 게이트 절연막(제1 게이트 절연막)(15)와 MV 게이트 절연막(제2 게이트 절연막)(14) 조합 또는 LV 게이트 절연막(제1 게이트 절연막)(15)과 HV 게이트 절연막(제3 게이트 절연막)(14a)을 조합한 스텝 게이트 절연막으로 구성하였기 때문에 가능하다. 즉, 얇은 게이트 절연막이 존재하기 때문에 가능하다.
- [0056] 게이트 전압에 대한 드레인 전류를 높였으며 확장 드레인 정션 영역(13)을 MV 및 HV공정에 맞게 최적화함으로써 분리 규칙(isolation rule)의 증가 없이 칩 크기 감소가 가능하다.
- [0057] 또한, 본 소자는 저 전압 게이트 입력에서 채널 길이 모듈레이션(CLM)이 우수하여 안정한 회로 구성이 가능하고 평평한 타입으로 구성된다. 게이트 영역(16)과 드레인 영역(20) 사이에 두꺼운 LOCOS 또는 STI 절연층을 사용할 수도 있으나, 그렇게 할 경우, 게이트 절연막(14,15)과 드레인 영역(20) 사이가 굴곡이 생겨서 드레인 전류 속도가 떨어진다. 그러므로 제1 게이트 절연막(15)과 드레인 영역(20) 사이는 LOCOS 또는 STI 절연층 없이 기판(10) 표면이 평평한 동일 평면상(coplanar)인 것이 유리하다.
- [0058] 도 5에 도시된 본 발명의 바람직한 일 실시예에 따른 스텝 게이트 절연막 DMOS 반도체 소자는, 앞의 두번째 실시예에서 P웰(12)을 소스 영역(19)만 감싸도록 배치한 것이다. 앞의 두번째 실시예에서 P웰(12)은 드레인 영역(20)도 감싸도록 하였으나 세번째 실시예에서는 드레인 영역(20)까지 확장되지 않는 구조이다. 대신 확장 드레인 영역(13)은 P웰(12)과 접하며 형성된다. 또한, N형 드레인 영역(20)을 격리하기 위해 HV 소자에 사용되는 P형의 HPW 영역(29a)이 상기 P웰(12)과 드레인 영역(20)과 확장 드레인 정션 영역(13)까지 감싸도록 한다. 그리고 드레인 영역(20)을 감싸면서, N형의 확장 드레인 정션 영역(13)이 앞의 실시예와 마찬가지로 제2게이트 절연막(14)뿐만 아니라, 제1 게이트 절연막(15)까지 확장된다.
- [0059] 이러한 구조는 보다 높은 드레인 전압을 필요로 하는 소자에 적합하다. 예를 들어 드레인 전압이 9V, 13.5V, 18V에 유용하다. 그래서 N형 확장 드레인 정션 영역(13)은 N형 드리프트 영역으로 형성한다. N형 드리프트 영역은 앞의 실시예에서 보여주는 N형 확장 드레인 정션 영역(13)의 깊이보다 더 깊고 도펀트 농도는 더 작다. 또

한, 분리 영역(11)으로는 STI 분리막 대신에 그것보다 더 깊은 분리 영역을 갖는 MTI 분리막을 사용하였다.

- [0060] 도 6은 본 발명의 세번째 실시예에 대한 평면도인데, 제1 웰 영역(13a)이 앞의 제2 실시예보다 면적이 줄어든 구조이다.
- [0061] 이와 같이 구성된 본 발명의 바람직한 일 실시예에 따른 스텝 게이트 절연막 DMOS 소자의 제조 방법을 도 7 내지 도 10을 참조하여 상세히 설명하면 다음과 같다.
- [0062] 먼저, 도 7에 도시된 바와 같이, 기판(10)을 형성한다. 상기 기판(10)은 반도체 기판(substrate)으로서, P형 실리콘의 박판으로 형성될 수 있다.
- [0063] 상기 기판(10) 위에 DNW 영역(29)을 형성한다. 그리고 좁은 트렌치(STI)의 분리 영역(11)을 형성한다. 상기 분리 영역(11)은 도시된 바와 같이 서로 다른 복수의 위치에 복수개의 트렌치가 형성된다.
- [0064] 상기 분리 영역(11) 사이의 상기 기판(10) 위에 웰 영역(12)을 형성한다. , 상기 웰 영역(12)은 LV 웰, MV 웰 또는 HV 웰중 어느 하나의 형태로 형성될 수 있다. 웰 영역(12)은 LV Well 또는 MV Well, HV Well을 형성할 때 같이 제조하는 것으로 한다. 그래서 따로 DMOS 소자를 위해 마스크를 추가할 필요가 없다. 상기 웰 영역은(12)의 P형 도펀트를 사용하며 분리 영역(11)보다 더 깊이 형성한다.
- [0065] 상기 웰 영역(12)의 일측에 확장 드레인 정션 영역(13)을 형성한다. 바람직하기로는 상기 확장 드레인 정션 영역(13)은 CMOS 소자의 낮은 에너지 웰 문턱전압 이온 주입할 때 같이 형성할 수 있다.
- [0066] 이와 같이 확장 드레인 정션 영역(13)은 별도의 마스크 없이 게이트 산화 공정 전에 수행하는 표준 로직 CMOS 공정의 낮은 에너지 웰 문턱전압 이온주입을 통해서 할 수 있다. 또는 게이트 전극을 형성한 후에 진행하는 LDD 이온주입으로 형성이 가능하다. 필요에 따라서는 확장 드레인 정션 영역(13) 전용 마스크를 추가할 수 있다.
- [0067] 여기서 확장 드레인 정션 영역(13)과 웰 영역(12)과의 정션 경계선이 위의 트렌치 분리영역(11)의 깊이를 초과해서는 안된다. 더 깊이가 증가하면 다른 소자와 분리가 되지 않기 때문이다. STI 깊이 보다 깊이가 낮은 확장 드레인 정션 영역(13)을 사용하므로 로직 소자의 최소 액티브/웰 분리 디자인 규칙을 이용할 수 있으며 로직 DNW(Deep NW)을 이용하여 칩 크기 증가 없이 완전 분리구조를 구현할 수 있다.
- [0068] N-type MOSFET의 경우 인(Phosphorous) 또는 비소(Arsenic)를 이용하여 20 ~ 100 KeV 에너지로 이온 주입하여 확장 드레인 정션 영역(N-EXTended Drain Junction, 이하 줄여서 NEXT)의 정션 깊이가 500Å~ 3500Å에 형성되도록 하며 이온주입 도즈는  $1E12 \sim 1E14/cm^2$ 으로 하는 것이 바람직하다. 그래서 표면 NEXT 영역의 도핑 농도는  $1E17 \sim 1E19(atoms/cm^3)$ 으로 하는 것이 바람직하다.
- [0069] P-type MOSFET의 경우 보론(Boron) 또는 BF2를 이용하여 NEXT 정션 깊이가 500Å~ 3500Å에 형성되도록 하며, 이온주입 도즈는  $1E12 \sim 1E14/cm^2$ 으로 하는 것이 바람직하다. NEXT 영역의 표면 도핑 농도는  $1E17 \sim 1E19(atoms/cm^3)$ 으로 하는 것이 바람직하다.
- [0070] 그리고 상기 기판(10) 위의 전체 영역에 제2 게이트 절연막(14)을 형성한다. 제2 게이트 절연막은 HV 소자 또는 MV 소자를 위해 사용된다. 즉 HV 소자 또는 MV 소자용 절연막이다. MV 소자의 게이트 전압이 5 - 10 V, HV소자는 그 이상이라고 보면 되겠다. 제2 게이트 절연막(14)의 두께는 게이트 전압에 따라 달라지는데, 본 발명에서는 100 - 300 Å 두께로 증착한다. 게이트 절연막은 700 - 1000 °C 사이에서 실리콘 기판을 산화시켜 형성한다. 사용하는 가스는 산소(O<sub>2</sub>) 또는 H<sub>2</sub>O(steam)를 이용한다. 두꺼운 제2 게이트 절연막(14)은 RESURF를 위해 형성하는 LOCOS 산화막 형태가 아니다.
- [0071] 도 7에 도시된 바와 같이, 마스크를 사용하여(도시 안됨), 상기 웰 영역(12) 측의 일부 게이트 절연막을 습식각으로 제거하여 상기 확장 드레인 정션 영역(13) 위에만 남도록 제2 게이트 절연막(14)을 형성한다.
- [0072] 확장 드레인 정션 영역(13)은 게이트 아래의 게이트 절연막(14)과 오버랩(중첩)될 수 있다. 그리고 게이트 절연막(14)과 중첩되는 확장 드레인 정션 영역(13)의 폭은 게이트 절연막(14)의 왼쪽 끝단보다 최소 더 왼쪽으로 확장될 수 있다. 게이트 절연막(14)의 왼쪽 끝단보다 더 확장되는 길이는 0 - 0.5 um로 하는 것이 바람직하다. 만약 0.5 um 이상보다 크게 되면 나중에 형성되는 이후 형성되는 얇은 게이트 절연막(15)과 과도하게 중첩되어서 드레인 전류밀도가 상당히 감소할 수 있다.
- [0073] 도 8에 도시된 바와 같이, 상기 웰 영역(12) 위에 제1 게이트 절연막(15)을 형성한다. 제1 게이트 절연막은 LV

소자를 위한 게이트 절연막으로 사용된다. LV 소자에서 게이트 전압은 0.5 - 4V 사이라고 보면 된다. 제2 게이트 절연막과 마찬가지로, 고온에서 실리콘 기판을 산화시켜 성장한다. 제2 게이트 절연막을 산화시키면서 제1 게이트 절연막도 두께가 증가할 수 있다. 상기 제1 게이트 절연막(15)의 두께는 상기 확장 드레인 정션 영역(13) 위에 형성된 상기 제2 게이트 절연막(14)보다 작게 형성되는 것이 바람직하다. 이는 얇은 제1 게이트 절연막(15)을 통해서 높은 드레인 전류를 얻기 위함이다. 또한, 원하는 목표 문턱전압을 얻기 위함이다. 제1 게이트 절연막의 두께는 5 - 50 Å로서 가장 낮은 게이트 전압에 적합한 두께를 갖도록 한다.

[0074] 상기 제2 게이트 절연막(14) 및 상기 제1 게이트 절연막(15) 위에 폴리 실리콘을 형성하고 폴리 실리콘에 N형의 도핑한다. 이는 N+ 게이트 전극의 도핑 효율을 올리기 위함이다. 그리고 이후 마스크를 사용하여 폴리 실리콘의 일부를 식각하여 게이트 전극(16)을 형성한다.

[0075] 그래서 얇은 게이트 절연막(15)과 두꺼운 게이트 절연막(14) 상에 게이트 전극(16)이 형성되는 것이다. 상기 게이트 전극(16)은 두 부분으로 나눌 수 있다. 즉, 얇은 게이트 절연막(15) 위에 형성된 제1 게이트 전극(16a)과 두꺼운 게이트 절연막(14) 위에 형성된 제2 게이트 전극(16b)으로 나눌 수 있다.

[0076] 제1 게이트 전극의 길이와 제2 게이트 전극의 길이는 서로 유사하다. 제1 게이트 전극이 주로 채널 영역에 올라가는 게이트 전극이 되며, 제2 게이트 전극은 확산 드레인 정션 영역(13) 위에 올라가는 게이트 전극이 된다. 본 발명에서는 보다 낮은 문턱전압을 얻기 위해서, 확장 드레인 정션 영역(13)의 길이가 제2 게이트 전극(16b)의 길이(도 10에서 "G"), 보다 더 길게 확장되도록 정의하였다.

[0077] 도 9에 도시된 바와 같이, 상기 제1 게이트 절연막(15) 일측의 상기 웰 영역(12)에 LDD 영역(17)을 형성한다. 여기서 소스 영역에만 LDD 영역(17)을 도시하였지만, 드레인 영역에도 LDD 영역을 추가할 수 있다. 도 9에서 게이트 전극(16)과 드레인 영역(20) 사이에 MV LDD 영역을 추가할 수 있다. LDD 이온 주입은 HV LDD 또는 MV LDD 또는 LV LDD 소자를 형성할 때 사용하는 LDD 이온 주입 공정과 동시에 진행한다. 그래서 마스크를 추가할 필요는 없다.

[0078] 도 10에 도시된 바와 같이, 상기 게이트 전극(16) 양측으로 스페이서(18)를 형성한다. 이후, 상기 웰 영역(12) 및 상기 확장 드레인 정션 영역(13)에 각각의 소스 영역(19) 및 드레인 영역(20), PW 픽업 영역(28), DNW 픽업 영역(27)을 형성한다. 여기서 N형 드레인 영역은 N형의 확장 드레인 정션 영역에 의해 둘러싸여 있을 뿐만 아니라, P형의 웰 영역(12)으로 둘러싸여서 다른 영역으로부터 격리가 된다. 그리고 드레인 영역(20)에 옆에 있는 분리영역(11)에 의해 옆에 배치되는 다른 소자의 드레인 영역과 분리된다.

[0079] 그리고 소스 영역(19)과 LDD 영역(17)은 P형 웰(12) 영역에 의해 둘러싸여 있기 때문에 소스 영역(19)과 N형 확장 드레인 영역 사이에 존재하는 P형 웰(12) 영역이 채널 영역이 된다. 채널 영역 위에 얇은 게이트 절연막(15)이 형성되어 있기 때문에 높은 드레인 전류(IDsat)를 얻을 수 있는 것이다.

[0080] 이후, 상기 소스 영역(19), 상기 드레인 영역(20) 및 상기 게이트 전극(16) 위에 각각의 CoSi<sub>2</sub>, TiSi<sub>2</sub>, NiSi 등의 실리사이드(21)(22)(23)를 형성한다.

[0081] 상기 실리사이드(21)(22)(23)는 논-살리사이드(non-salicide)와 살리사이드(salicide) 모두 가능하다.

[0082] 상기 살리사이드(salicide)는 자가 정렬 실리사이드(self-aligned silicide)를 의미하는 것으로, 실리사이드(Silicide)가 실리콘의 표면에 금속을 형성하여 반응시킴으로써 소스/드레인의 컨택 저항성분을 감소시켜 주는 공정인 반면, 살리사이드(salicide)는 이를 응용한 것으로 MOSFET 게이트의 주변을 형성하고 있는 사이드월(sidewall) 구조를 이용해 실리사이드 공정시 게이트와 소스/드레인간의 전기적인 연결을 막는 것을 말한다. 별도의 마스크 없이 게이트의 사이드월 스페이서를 마스크로 사용하기 때문에 살리사이드라 한다.

[0083] 이후, 상기 소스 영역(19) 및 상기 드레인 영역(20) 위에 형성된 상기 실리사이드(21)(23) 위에 각각의 소스 컨택 플러그(24) 및 드레인 컨택 플러그(25)를 형성한다.

[0084] 상기와 같은 과정을 통하여, 도 10에 도시된 바와 같이, 본 발명의 바람직한 일 실시예에 따른 스텝 게이트 절연막 DMOS 소자가 제조될 수 있다.

[0085] 도 11은 본 발명의 다른 실시예에 따른 스텝 게이트 절연막 DMOS 소자를 나타낸 단면도로서, 제2 게이트 절연막에 의해 문턱전압이 조정되는 경우이다. 확장 드레인 정션 영역(13)은 제1 게이트 절연막(15)까지 확장되지 않고, 상기 제2 게이트 절연막(14)의 일부만을 감싸는 구조로 형성한다.

[0086] 즉, 확장 드레인 정션 영역(13)의 길이 B는 확장 드레인 정션 영역(13)과 겹치는 게이트 폴리(16) 길이 G보다

작게 형성되는 것이 바람직하다. 이는 얇은 게이트 절연막(15)에 의해 문턱전압 감소를 막으면서, 제2 게이트 절연막(14)에 의해 문턱전압을 조정하기 위함이다.

- [0087] 이와 같이 확장 드레인 정션 영역(13) 길이를 조정함으로써 원하는 문턱전압을 가질 수 있다. 스텝 게이트 절연막 확장 드레인 MOSFET을 형성하는 모든 공정은 본 소자를 적용하고자 하는 백-본 표준 프로세스(back-bone standard process)의 형성과정과 동일하며 확장 드레인 정션 영역을 위한 마스크를 별도로 추가할 수도 있다.
- [0088] 도 12에서 도시된 바와 같이, 확장 드레인 정션 영역(13)과 MV 게이트 절연막 또는 HV 게이트 절연막(14)(15)이 형성되는 채널 영역의 게이트 전극(16) 오버랩에 따라 소자 특성에 여러 가지 변화를 일으킬 수 있다.
- [0089] 도 12(a)와 같이, N형 확장 드레인 정션 (N-Extended Drain Junction, 이하 줄여서 NEXT)이 스텝 게이트 절연막의 MV 게이트 절연막 (또는 HV 게이트 절연막)를 감싸지 못할 경우 LV 게이트 절연막에 의해 형성되는 LV 소자와 MV 게이트 절연막 (또는 HV 게이트 절연막)에 의해 형성되는 MV 소자 (또는 HV 소자)가 공존한다. 그래서 두 소자 중 문턱전압이 높은 쪽으로 결정된다. 여기서 전체 문턱전압은 1.1V로 결정된다. 왜냐하면, 채널 영역이 두꺼운 게이트 절연막까지 그만큼 넓어지기 때문이다.
- [0090] 반대로 도 12(b)에서 보듯이 NEXT가 스텝 게이트 절연막의 MV 게이트 절연막 또는 HV 게이트 절연막을 감쌀 경우, 즉 NEXT가 제1 게이트 절연막(15)까지 확장될 경우, LV 게이트 절연막에 의한 LV 소자만 형성되게 되며 MV 소자 (또는 HV 소자)는 NEXT 에 의해 사라지게 된다. 사라진다는 의미는 문턱전압이 제1 게이트 절연막(15)에 의해 결정된다는 것이다. MV 소자 또는 HV 소자 아래에 PW 이 아닌 N형 웰이 형성되어 있어서 더 이상 채널 영역이 존재하지 않게 된다. 대신 제1 게이트 절연막 아래에만 채널 영역이 존재하게 된다. 그렇게 되면 제1 게이트 절연막(15)에 의해 문턱전압을 조정하는 것이다. 이 경우, 도 12(b)에서 보듯이 문턱전압은 약 0.38 V의 낮은 값을 가지게 된다.
- [0091] 스텝 게이트 절연막 확장 드레인 MOSFET을 이용할 경우 확장 드레인 (NEXT)가 없는 경우에 비해 10배 이상의 드레인 전류 퍼포먼스를 얻을 수 있다. 이것은 요구되는 드레인 전류를 얻기 위해 멀티 핑거(multi finger)로 폭을 증가시켜 사용해야 하는 MV 소자 또는 HV 소자 대비 게이트 폭을 1/10로 줄일 수 있어 칩 크기 감소에 유리하다. 또한, LV 소자와 동일한 문턱전압을 얻을 수 있어 회로 속도 측면에서 유리하며 MV 소자 또는 HV 소자 대비 안정적인 채널 길이 모듈레이션을 보이므로 회로 안정성을 높일 수 있다.
- [0092] 도 13은 전체 게이트 전극(16)과 중첩되는 확장 드레인 정션 영역(13)의 길이 “B”와 두꺼운 게이트 절연막(14)과 중첩(overlap)되는 게이트 전극(16)의 길이 “G”의 차이, “B-G” 값에 따른 여러 가지 소자 특성 변화를 보여준다. 본 발명에서 동작 전압에서 포화 드레인 전류(IDsat) 값을 100uA/um 이상 확보하고 항복 전압(BVdss)을 10 V이상 확보하기 위한 것이다.
- [0093] 도 13(a)에서 보듯이, “B-G” 값이 -0.1, 0, 0.1, 0.2um 에서 문턱전압을 0.5V 이하를 확보하고 있음을 보여주고 있다. “B-G”의 값이 -0.1 um 이상일 때, 즉, 확장 드레인 정션 영역(13)의 길이가 오버랩되는 게이트 폴리(16) 길이보다 큰 경우에 안정적인 문턱전압 확보할 수 있다. 그러나 반대로 “B-G”의 값이 -0.1um 미만의 값을 가질 경우, 예를 들어 -0.2um 값을 가지면, 문턱전압 값이 1 내지 1.5V 수준으로 급격히 증가한다.
- [0094] 그러므로 게이트 전극(16)과 중첩하는 확장 드레인 정션 영역(13)의 길이 “B”와 두꺼운 게이트 절연막(14)과 중첩(overlap)되는 게이트 폴리(16) 길이 “G”의 차이, “B-G”의 값이 -0.1um 이상이 되도록 해야한다. 다시 말해서 두꺼운 게이트 절연막(14)과 오버랩하는 상기 게이트 전극(16)의 길이 “G”와 상기 게이트 전극과 오버랩하는 상기 확장 드레인 정션 영역의 길이, “B”의 차이, “G-B” 값이 0.1 um 이하로 하는 것이 바람직하다.
- [0095] 포화 드레인 전류(IDsat)도 마찬가지이다. 도 13(b)에서 보듯이, B-G의 값이 -0.1um 0, 0.1, 0.2um 에서 높은 드레인 전류값을 보여 주고 있다. 이것은 채널 영역에 5 -50A 두께의 얇은 게이트 절연막이 형성되어 있고, 확장 드레인 정션 영역(13)이 얇은 게이트 절연막 아래까지 확장된 결과이다. 그래서 채널 영역 위에는 얇은 게이트 절연막이 존재하게 만들었기 때문에 가능하다. 얇은 게이트 절연막에 의해서 문턱전압이 조정되는 것이다.
- [0096] 이와 같이 얇은 게이트 절연막에 의해 문턱전압을 조정하고자 할 때, 확장 드레인 정션 영역(13)의 길이 B는 확장 드레인 정션 영역(13)과 오버랩되는 게이트 폴리(16) 길이 G보다 최소한 커야 한다. G-B의 값이 0.1um 근처에서 급격하게 문턱전압 값이 변하기 때문에, 두꺼운 게이트 절연막과 확장 드레인 정션 영역(13) 사이의 포토 오버레이 변화(photo overlay shift)는 ±0.1um 이하로 조정하는 것이 중요하다. 만약 ±0.1um를 초과하면 소자 특성에 급격한 변화를 가져올 수 있어 문제가 된다.

- [0097] 그리고 도 13(c)에서 도시된 바와 같이, Ioff 값도 매우 낮은 오프 누설 전류(off leakage current) (12 pA/um 이하) 값을 보여 주고 있다. 도 13(d)에서 도시된 바와 같이, 항복 전압도 12 V 이상의 높은 전압을 보여 주고 있다.
- [0098] 위와 같이 높은 드레인 전류 및 항복 전압을 갖기 위해서는 아래와 같은 조건을 만족해야 한다. 도 10을 참조로 해서 기술하면, “L” 값은 0.1 - 2.0 um 사이 값을 갖도록 한다. 여기서 “L” 값은 얇은 게이트 절연막과 오버랩되는 게이트 길이이다. “L” 은 유효 채널 길이(effective channel length)도 될 수 있는데, 확장 가능하게 가변하여 사용할 수 있다.
- [0099] “D” 값은 0.1 - 1 um 값을 갖는다. D는 드레인 전압에 의해 게이트 절연막 항복전압 및 정션 항복전압을 막기 위한 드리프트 길이로써 최소로 최적화하여 고정된 크기이다. D값이 클수록 게이트-드레인 사이의 거리가 멀어 지므로 그만큼 항복 전압이 증가하지만, 드레인 전류 값은 떨어질 수 있다.
- [0100] “G” 값은 앞에서 언급했듯이, 게이트 전극(16)과 오버랩되는 게이트 길이이다. 0.1 - 1.0um 값을 갖는다. 가장 중요한 “B” 값은 확장 드레인 정션 영역과 게이트가 오버랩되는 길이로서 0.1 - 1 um 값을 갖게 한다.
- [0101] 도 14와 도 15는 앞에서 언급한 확장 드레인 정션 영역(13)이 게이트 절연막 또는(14)(15) 게이트 전극(16)과 전혀 겹치지 않도록 설계한 경우이다. 도 14는 게이트 스페이서(18) 바로 옆에 드레인 영역(20)이 형성되어 있다. 그리고 확장 드레인 정션 영역(13)이 드레인 영역(20)을 감싸며 게이트 스페이서(18) 아래까지만 확장된 경우이다.
- [0102] 반면 도 15는 게이트 스페이서(18) 바로 옆에 드레인 영역(20)이 위치하지 않고 “D” 만큼 떨어져서 형성되어 있다. 그리고 확장 드레인 정션 영역(13)은 마찬가지로 드레인 영역(20)을 감싸며 게이트 스페이서(18) 아래까지만 확장된 경우이다. 위의 두 실시예에서는 원하는 항복전압을 어느 정도 확보할 수 있으나, 앞의 실시예(도 10, 도 11 참조) 만큼이나, 원하는 드레인 전류를 갖기 위한 문턱전압 목표값(0.3 - 1.0V) 을 확보하지 못하는 단점이 있다.
- [0103] 도 16은 본 발명의 또 다른 실시예에 따른 스텝 게이트 절연막 DMOS 소자를 나타낸 단면도로서, 원형의 점선 모양으로 표시한 것처럼, 상기 드레인 영역(20) 위에 형성된 상기 실리사이드(23)가 상기 제2 게이트 절연막(14) 까지 확장되어 형성될 수 있다.
- [0104] 게이트 절연막 항복전압과 정션 항복전압을 막기 위해 설정한 드리프트 영역(D)을 제거하고 소스 영역과 동일하게 최소 전극 대 컨택 스페이스 구현이 가능해서 디자인 규칙 감소에 효과가 있다.
- [0105] 도 17은 본 발명의 또 다른 실시예로서, 제1 내지 제3 게이트 절연막(14)(14a)(15)을 포함한 스텝 게이트 절연막 DMOS 소자를 나타낸 단면도로서, 상기 확장 드레인 정션 영역(13) 위에 상기 제2 게이트 절연막(14)보다 두꺼운 제3 게이트 절연막 (14a)를 형성한다.
- [0106] 따라서, 서로 다른 3개의 높이를 갖는 게이트 절연막(14)(14a)(15)을 구성하고, 확장 드레인 정션 영역(13)을 드레인 영역(20)으로부터 제2 및 제3 게이트 절연막 영역(14)(14a)까지 확장하여 LV, MV 또는 HV 디바이스로 더욱 선택적으로 동작될 수 있도록 함으로써 게이트 전압에 대한 드레인 전류의 운전 용이성을 높임으로써, 저전압 게이트 입력 전압에서도 중간 전압 소자(MV 소자) 또는 고 전압 소자(HV 소자) 대비 높은 드레인 전류를 제공할 수 있으며 디바이스의 사이즈를 증가시키지 않을 수 있다.
- [0107] 본 명세서에 기재된 본 발명의 실시예와 도면에 도시된 구성은 본 발명의 바람직한 실시예에 관한 것으로, 발명의 기술적 사상을 모두 포괄하는 것은 아니므로, 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다. 따라서, 본 발명은 상술한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형실시가 가능한 것은 물론이고, 그와 같은 변경은 본 발명의 청구범위 기재의 권리범위 내에 있게 된다.

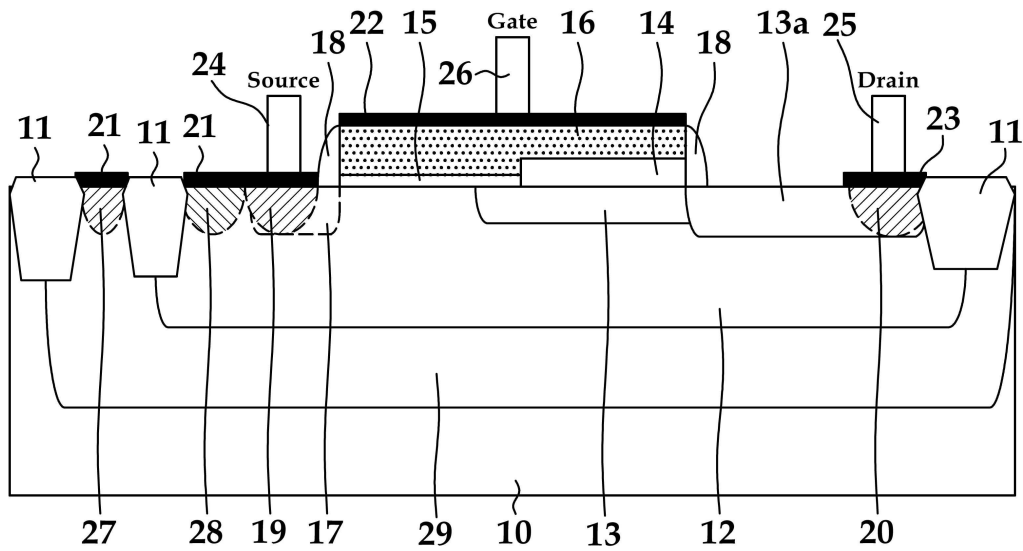
**부호의 설명**

- [0108] 10 : 기관
- 11 : 분리 영역

- 12 : 웰 영역
- 13 : 확장 드레인 정션 영역
- 13a : 제1 웰 영역
- 14 : 제2 게이트 절연막
- 15 : 제1 게이트 절연막
- 14a : 제3 게이트 절연막
- 16 : 게이트 전극
- 17 : LDD 영역
- 18 : 스페이서
- 19 : 소스 영역
- 20 : 드레인 영역
- 21, 22, 23 : 실리사이드
- 24 : 소스 콘택 플러그
- 25 : 드레인 콘택 플러그
- 27 : N웰 콘택 영역
- 28 : P웰 콘택 영역
- 29 : DNW 영역

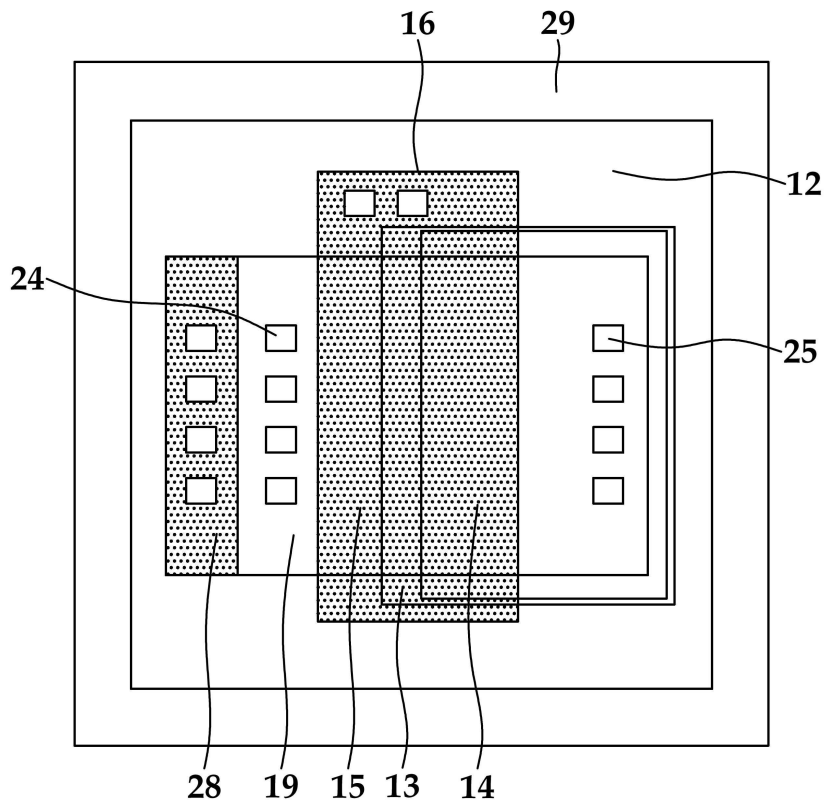
**도면**

**도면1**

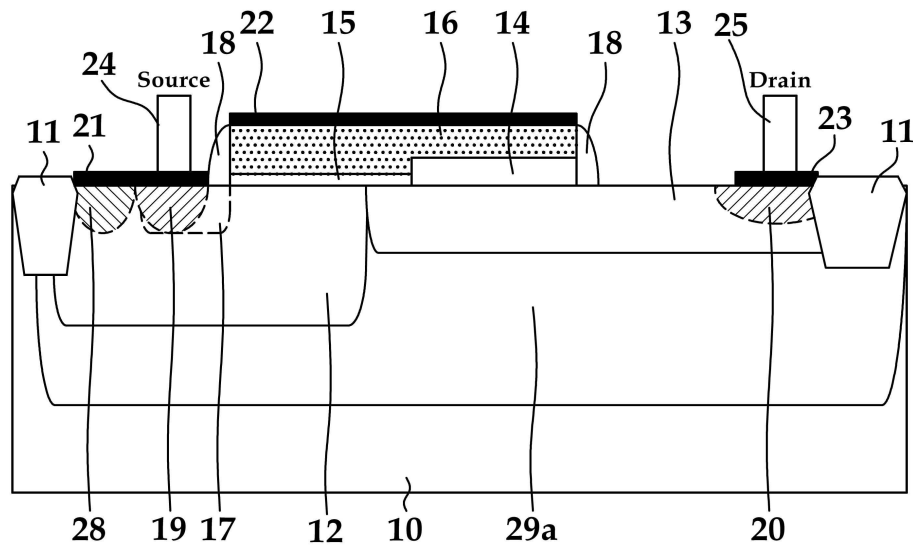




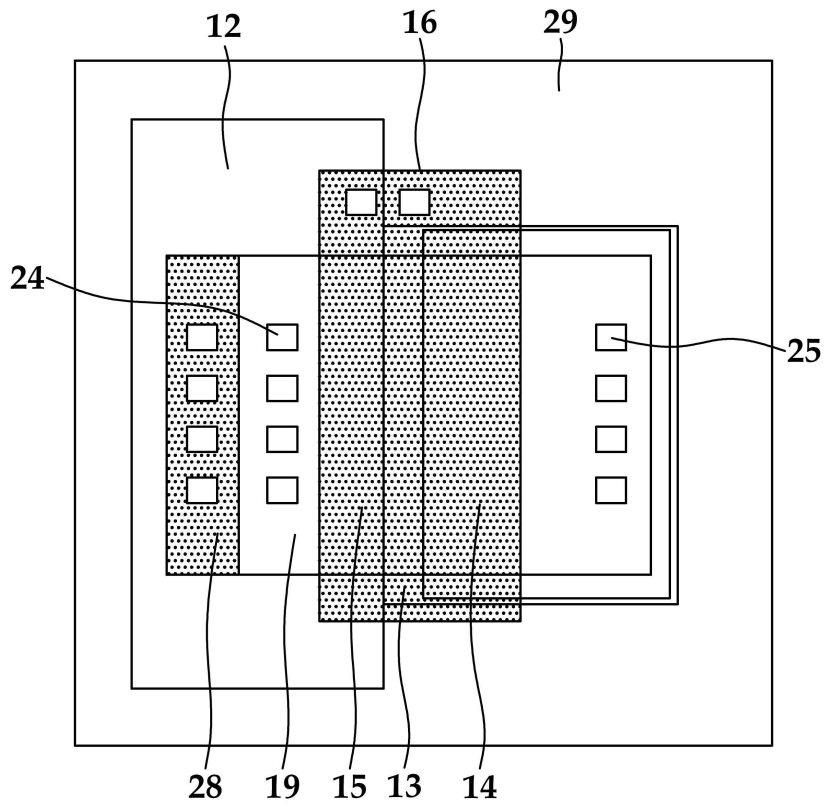
도면4



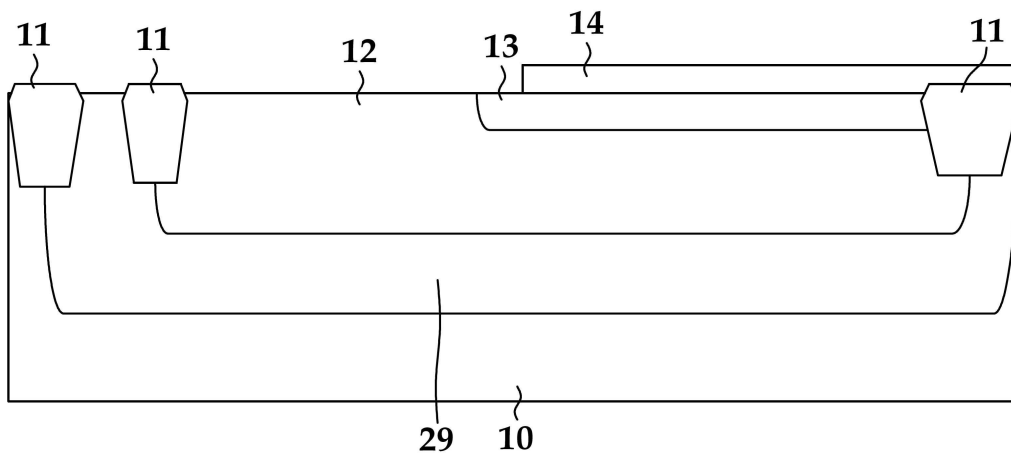
도면5



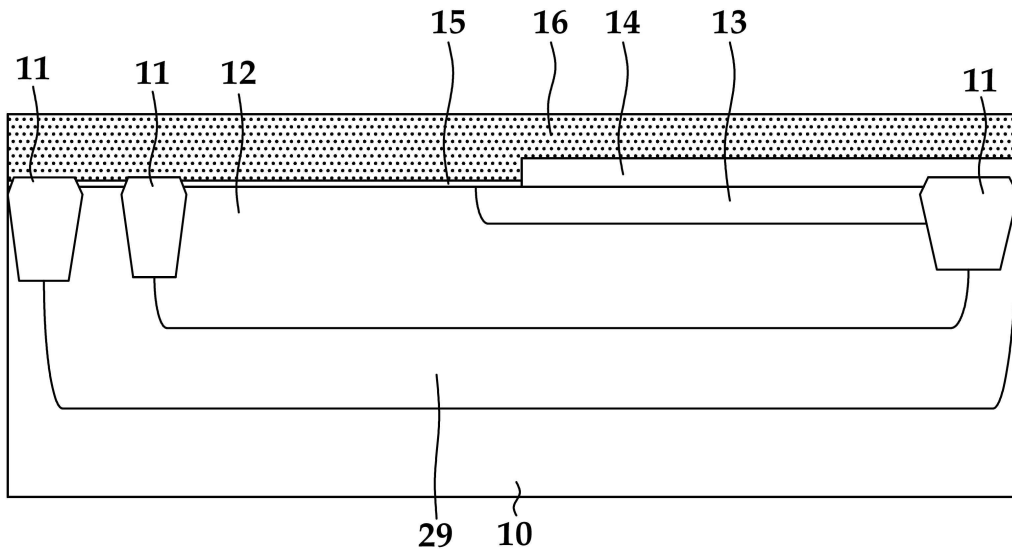
도면6



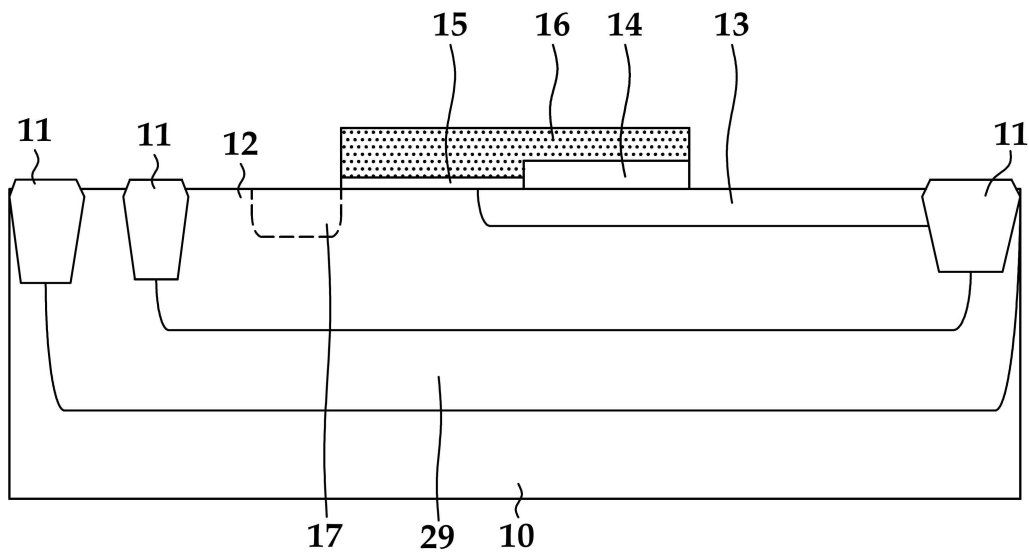
도면7



도면8

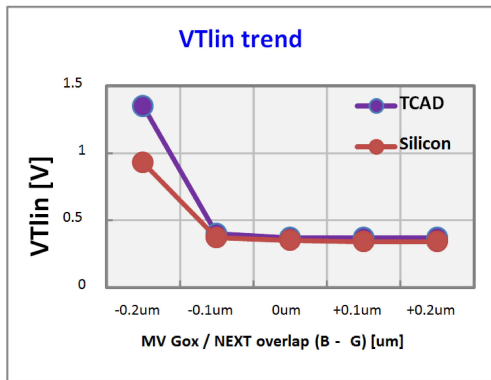


도면9

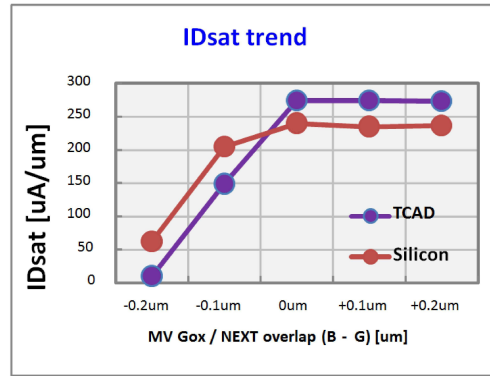




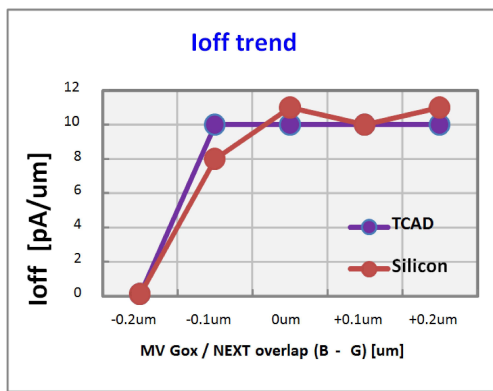
도면13



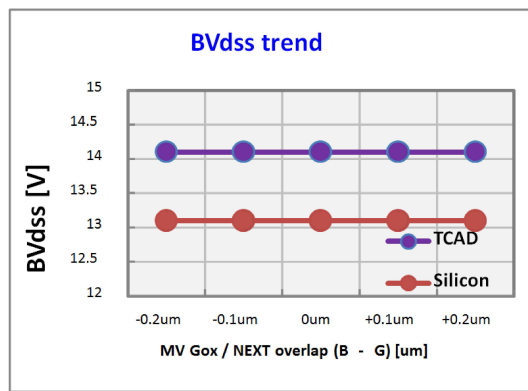
(a)



(b)

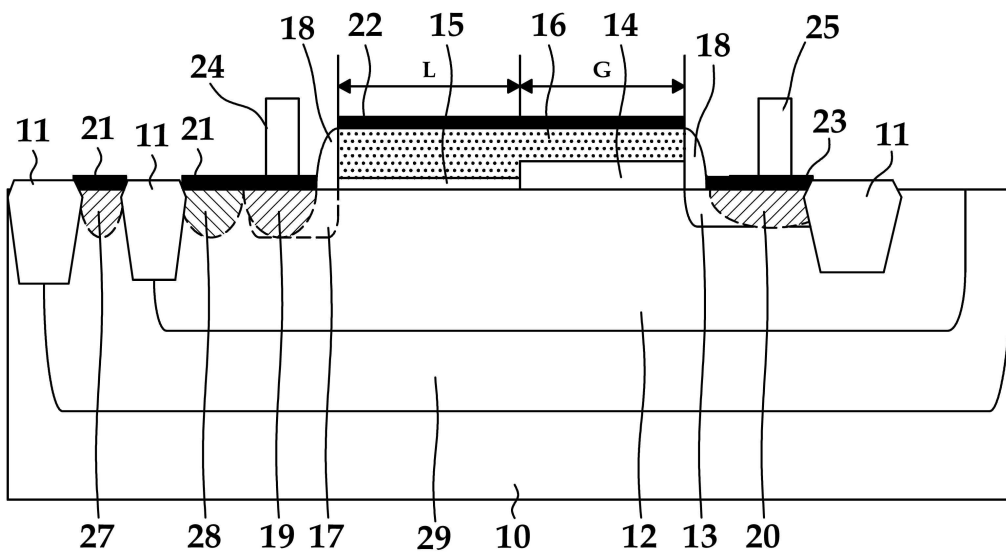


(c)

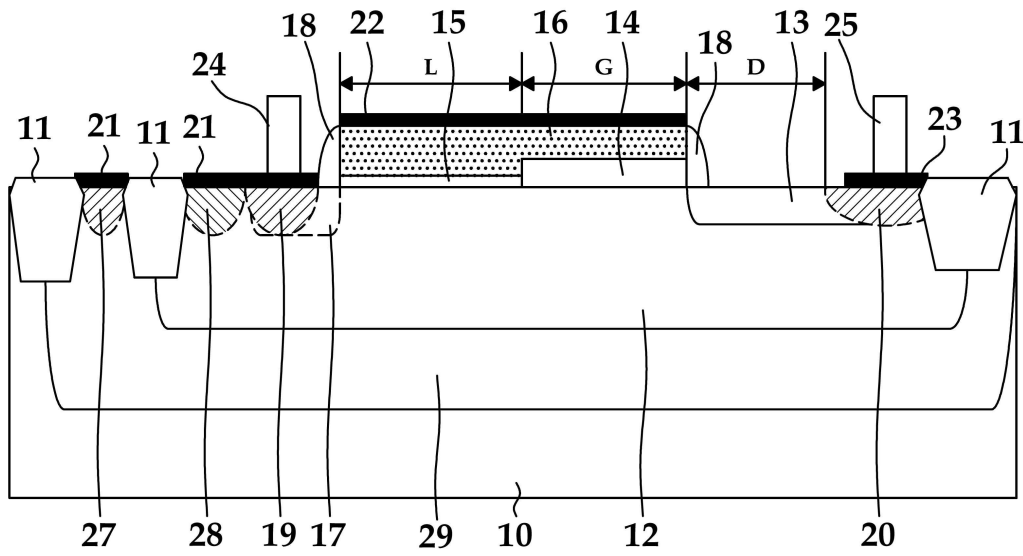


(d)

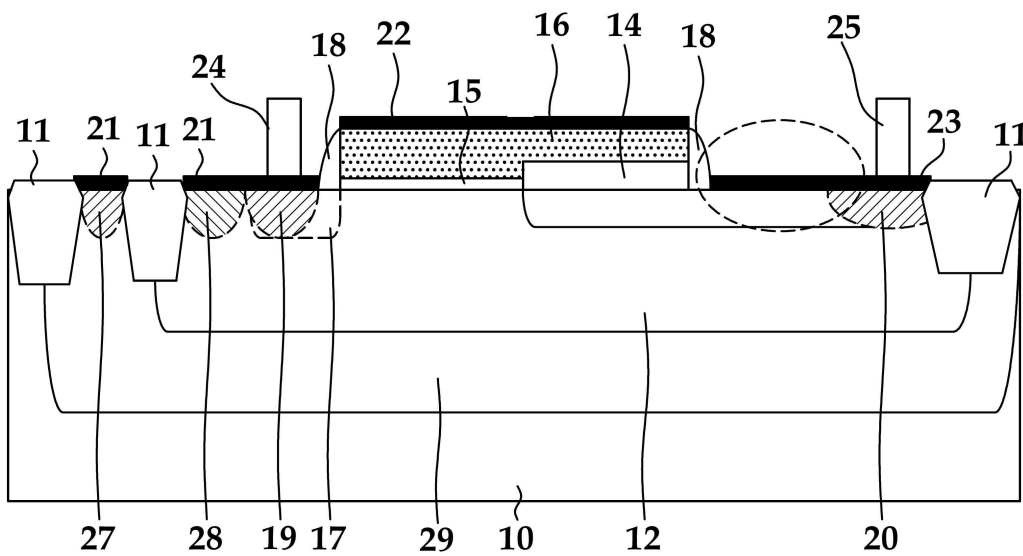
도면14



도면15



도면16



도면17

