



(12) 发明专利申请

(10) 申请公布号 CN 102265503 A

(43) 申请公布日 2011. 11. 30

(21) 申请号 200980152071. 0

(51) Int. Cl.

(22) 申请日 2009. 11. 16

H03D 13/00 (2006. 01)

(30) 优先权数据

H03L 7/089 (2006. 01)

PI20084711 2008. 11. 21 MY

(85) PCT申请进入国家阶段日

2011. 06. 22

(86) PCT申请的申请数据

PCT/MY2009/000193 2009. 11. 16

(87) PCT申请的公布数据

W02010/059032 EN 2010. 05. 27

(71) 申请人 马来西亚微电子系统有限公司

地址 马来西亚吉隆坡

(72) 发明人 马哈茂德·阿妈姆·伊斯梅尔·内斯
雷恩

穆赫德·苏莱曼·穆赫德·夏希曼

(74) 专利代理机构 北京邦信阳专利商标代理有限公司 11012

代理人 黄泽雄

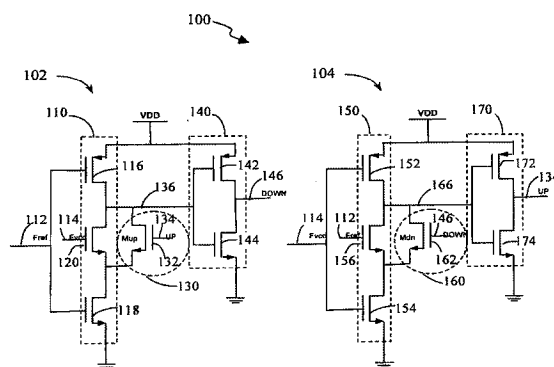
权利要求书 2 页 说明书 5 页 附图 3 页

(54) 发明名称

鉴频鉴相器

(57) 摘要

本发明涉及一种用作锁相环中的部件之一的鉴频鉴相器 (PFD) (100)。本发明的 PFD 具有零死区, 具有带有最少数量的晶体管的简单结构, 并且需要较小的面积。本发明的 PFD 不使用传统 PFD 中的任何变换器或延迟门。相反, 本发明的 PFD 使用节省功耗的反馈晶体管, 并且由此, 本发明的 PFD 适用于低功率应用。



1. 一种鉴频鉴相器 (100), 包括:

(a) 第一信号接收装置 (110), 包括第一输入端 (112) 和第二输入端 (114), 所述第一输入端 (112) 用于接收第一输入信号, 而所述第二输入端 (114) 用于接收第二输入信号;

(b) 第二信号接收装置 (150), 与所述第一输入端 (112) 交叉耦合以接收所述第一输入信号, 并且与所述第二输入端 (114) 交叉耦合以接收所述第二输入信号;

(c) 连接的第一节点 (136), 用于根据所述输入端 (112、114) 接收的信号而充电或放电;

(d) 连接的第二节点 (166), 用于根据所述输入端 (112、114) 接收的信号而充电或放电;

(e) 第一控制逻辑电路 (140), 用于接收所述第一节点 (136) 输出的控制信号并且向输出端 (146) 输出第一信号; 以及

(f) 第二控制逻辑电路 (170), 用于接收所述第二节点 (166) 输出的控制信号并且向输出端 (134) 输出第二信号;

(g) 第一反馈装置 (130), 包括第一反馈晶体管 (132), 用于从所述第二控制逻辑电路 (170) 的所述输出端 (134) 接收信号;

(h) 第二反馈装置 (160), 包括第二反馈晶体管 (162), 用于从所述第一控制逻辑电路 (140) 的所述输出端 (146) 接收信号。

2. 根据权利要求 1 所述的鉴频鉴相器 (100), 其中所述第一信号接收装置 (110) 包括第一串联的晶体管, 所述第一串联的晶体管与所述第一输入端和所述第二输入端 (112、114) 耦合, 使得所述第一输入端 (112) 直接与所述串联的晶体管中的第一晶体管 (116) 和第三晶体管 (118) 的栅极连接, 而所述第二输入端 (114) 直接与所述串联的晶体管中的第二晶体管 (120) 的栅极连接, 并且所述串联的晶体管具有来自电压源的输入和来自接地的输入, 所述电压源与所述第一晶体管的源极端子连接, 而所述第三晶体管的漏极端子接地。

3. 根据权利要求 1 所述的鉴频鉴相器 (100), 其中所述第二信号接收装置 (150) 包括第二串联的晶体管, 所述第二串联的晶体管与所述输入端 (112、114) 交叉耦合, 使得所述第一输入端 (112) 与所述串联的晶体管中的第二晶体管 (156) 的栅极交叉耦合, 而所述第二输入端 (114) 与所述串联的晶体管中的第一晶体管 (152) 和第三晶体管 (154) 的栅极交叉耦合, 并且所述串联的晶体管具有来自电压源的输入和来自接地的输入, 所述电压源与所述第一晶体管的源极端子连接, 而所述第三晶体管的漏极端子接地。

4. 根据权利要求 1 所述的鉴频鉴相器 (100), 其中所述第一节点 (136) 在所述第一晶体管和所述第二晶体管的连接点处与所述第一串联的晶体管 (110) 连接, 所述第一节点 (136) 与所述第一反馈晶体管 (132) 的漏极端子和所述第一控制逻辑电路 (140) 连接。

5. 根据权利要求 1 所述的鉴频鉴相器 (100), 其中所述第二节点 (166) 在所述第一晶体管和所述第二晶体管的连接点处与所述第二串联的晶体管 (150) 连接, 所述第二节点 (166) 与所述第二反馈晶体管 (162) 的漏极端子和所述第二控制逻辑电路 (170) 连接。

6. 根据权利要求 1 所述的鉴频鉴相器 (100), 其中所述第一控制逻辑电路和第二控制逻辑电路 (140、170) 中的每一个均包括一对串联的晶体管, 并且这一对晶体管在它们的栅极处与所述节点 (136、166) 连接, 而在它们的连接点处与所述输出端 (134、146) 连接。

7. 根据权利要求 1 所述的鉴频鉴相器 (100), 其中所述第一控制逻辑电路和第二控制

逻辑电路 (140、170) 中的每一个均进一步包括至少来自电压源的输入和至少来自接地的输入。

8. 根据权利要求 1 所述的鉴频鉴相器 (100), 其中所述第一信号是外部参考信号 F_{ref} 。

9. 根据权利要求 1 所述的鉴频鉴相器 (100), 其中所述第二信号是来自锁相环内部的反馈信号 F_{vco} , 在锁相环中已经进行了分频。

10. 根据权利要求 1 所述的鉴频鉴相器 (100), 其中当所述信号 F_{ref} 较低时, 对所述第一节点 (136) 进行充电, 并且在输出端 (146) 产生低输出。

11. 根据权利要求 1 所述的鉴频鉴相器 (100), 其中当所述信号 F_{vco} 较低时, 对所述第二节点 (166) 进行充电, 并且在输出端 (134) 产生低输出。

12. 一种方法, 用于产生第一输出信号和第二输出信号, 所述第一输出信号和第二输出信号对应于第一输入信号和第二输入信号之间的相位差或频率差, 所述方法包括步骤:

(a) 接收至少两个输入信号, 第一输入信号和第二输入信号;

(b) 检测所述第一输入信号的边沿, 以便响应于所述第一输入信号产生第一输出信号; 以及

(c) 检测所述第二输入信号的边沿, 以便响应于所述第二输入信号产生第二输出信号, 其中所述第一输出信号和所述第二输出信号之间的脉冲宽度差别表示所述第一输入信号和所述第二输入信号的差别。

13. 一种根据权利要求 12 所述的方法, 用于产生第一输出信号和第二输出信号, 所述第一输出信号和第二输出信号对应于第一输入信号和第二输入信号之间的相位差或频率差, 其中所述第一输入信号是外部参考信号 F_{ref} 。

14. 一种根据权利要求 12 所述的方法, 用于产生第一输出信号和第二输出信号, 所述第一输出信号和第二输出信号对应于第一输入信号和第二输入信号之间的相位差或频率差, 其中所述第二输入信号是锁相环的振荡器产生的内部反馈信号 F_{vco} 。

15. 一种根据权利要求 12 所述的方法, 用于产生第一输出信号和第二输出信号, 所述第一输出信号和第二输出信号对应于第一输入信号和第二输入信号之间的相位差或频率差, 其中所述第一输出信号是 UP 信号而所述第二输出信号是 DOWN 信号。

鉴频鉴相器

技术领域

[0001] 本发明涉及一种用于锁相环的鉴频鉴相器,特别地,本发明涉及一种带有零死区的鉴频鉴相器,其使用最少数量的晶体管并由此适于低功率应用。

背景技术

[0002] 锁相环 (PLL) 广泛用于电子和计算机领域,目的是保持输入信号和参考信号之间的固定相位关系。一般而言,锁相环被配置为接收输入的数据信号,并且分析该数据信号以产生输出时钟信号,所述输出时钟信号与输入的数据信号同步。

[0003] 锁相环通常包括 4 个主要部件:鉴频鉴相器、电荷泵、环路滤波器、振荡器 (VCO) 和分频器。

[0004] 如图 1 所示,鉴频鉴相器 12 接收参考时钟信号 CK_{ref} 和反馈时钟信号 CK_{fbk} ,并且检测二者之间的相位差和频率差,以便根据反馈信号在频率或相位上是落后还是领先于参考信号而输出 UP 和 DN 信号。

[0005] 电荷泵 14 接收相位差信号 UP 和 DN,并且将相位差信号 UP 和 DN 转换为控制振荡频率的电流 I_{cp} 。该电流由鉴频鉴相器 12 输出的信号决定。如果电荷泵 14 收到来自鉴频鉴相器 12 的 UP 信号,表明参考时钟信号 CK_{ref} 领先于反馈时钟信号 CK_{fbk} 并且电流 I_{cp} 增大。如果电荷泵 14 收到来自鉴频鉴相器 12 的 DOWN 信号,表明参考信号 CK_{ref} 落后于反馈信号 CK_{fbk} 并且电流 I_{cp} 减小。如果未收到 UP 或 DOWN 信号,表明时钟信号是校准的,电荷泵 14 不调节电流 I_{cp} 。

[0006] 电流接着流向环路滤波器 16 并且输出电压。所述滤波器还滤除带外的干扰信号。所述电压接着转到振荡器 (VCO) 18,以控制输出时钟信号的频率。VCO 输出信号可以经由反馈环路 20 发送回鉴频鉴相器 12。

[0007] 当参考时钟信号 CK_{ref} 领先于反馈时钟信号 CK_{fbk} 时,电荷泵 14 将电流 I_{cp} 增大以在环路滤波器 16 的输出端产生较大的电压 V_{lf} ,该电压进而使得 VCO 18 增大输出频率 F_{out} 。相反,当参考时钟信号 CK_{ref} 落后于反馈时钟信号 CK_{fbk} 时,电荷泵 14 将电流 I_{cp} 减小以在环路滤波器 16 的输出端产生较小的电压 V_{lf} ,该电压进而使得 VCO 18 减小输出频率 F_{out} 。当参考时钟信号 CK_{ref} 与反馈时钟信号 CK_{fbk} 校准时,不对电压 V_{lf} 进行调节并且输出频率 F_{out} 保持恒定。此时,PLL 处于“锁定”状态。

[0008] 然而,锁相环可以在小相位差上承受过度的相位抖动。抖动由低增益区(称为“死区”)引起。死区是接近零相位误差的区域,其中输入信号和参考信号的边沿非常接近,以致 UP 和 DOWN 输入没有充分的机会进行彻底切换并由此驱动电荷泵。因此,对于小相位误差的响应小于其应有的值,即响应“被削弱”。

[0009] 过去,通过将延迟装置插入复位路径而解决该问题。然而,延迟装置的缺点是在合成器环路中增大的噪声。

[0010] 图 2 示出了鉴频鉴相器 (PFD) 的基本电路结构。该传统的 PFD 具有高功耗,并且需要用于大量晶体管的大面积。在很多应用中,将 PLL 的所有元器件集成在半导体芯片上

是理想的和有利的。因此,需要一种具有小面积的 PFD。

[0011] 为了降低功耗,已经将 TSPC D-FF 用于设计 PFD。TSPC PFD 拓扑结构中的一种是 ncPFD,如图 3 所示。然而,图 3 的 ncPFD 的操作可能具有死区。尽管将延迟器(2 个变换器)在 F_{ref} 和 F_{vco} 处插入,以尝试消除死区,然而延迟器或变换器的插入增加了整体功耗和面积。

[0012] 在 IEEE symposium on VLSI Circuit Digest of Technical Paper 1994, pp. 129-130 (IEEE 关于 VLSI 电路的会议的技术文章文摘,1994 年,第 129-130 页)中, H. Notani 等人公开了一种使用预先充电的 CMOS 逻辑以用于高频工作的 PFD。作者宣称该 PFD 具有最小 40 皮秒的可检测相位差,并且省去了传统电路三分之一的晶体管。从文章附图可知,该电路需要至少 14 个晶体管。另外,该电路使用了增加功耗的变换器以减少死区。

发明内容

[0013] 因此,需要一种解决上述问题(包括死区和功耗的问题)的鉴频鉴相器(PFD)。

[0014] 本发明的目的是提供一种 PFD,其具有零死区,从而能够检测到输入频率中的任意相位差。

[0015] 本发明的另一目的是提供一种 PFD,其最少仅需要 12 个晶体管并由此节省功耗。

[0016] 本发明进一步的目的是提供一种 PFD,其具有简单的拓扑结构并且需要较小的面积。

[0017] 本发明另外的目的是提供一种 PFD,其使用反馈晶体管而不是传统技术中常见的变换器和延迟门。

[0018] 锁相环(PLL)是很多应用(例如通信系统、无线系统和传感器接收器)中的主要部件。这些应用首选低功耗的部件,以具有长寿命的电池。本发明涉及一种 PFD,用作 PLL 的部件之一,并且该 PFD 仅消耗很低的功率。

[0019] 本发明的 PFD 包括:

[0020] (a) 第一信号接收装置 110,包括第一输入端 112 和第二输入端 114,所述第一输入端 112 用于接收第一输入信号,而所述第二输入端 114 用于接收第二输入信号;

[0021] (b) 第二信号接收装置 150,与所述第一输入端 112 交叉耦合以接收所述第一输入信号,并且与所述第二输入端 114 交叉耦合以接收所述第二输入信号;

[0022] (c) 连接的第一节点 136,用于根据所述输入端 112、114 接收的信号而充电或放电;

[0023] (d) 连接的第二节点 166,用于根据所述输入端 112、114 接收的信号而充电或放电;

[0024] (e) 第一控制逻辑电路 140,用于接收所述第一节点 136 输出的控制信号并且向输出端 146 输出第一信号;以及

[0025] (f) 第二控制逻辑电路 170,用于接收所述第二节点 166 输出的控制信号并且向输出端 134 输出第二信号;

[0026] (g) 第一反馈装置 130,包括第一反馈晶体管 132,用于从所述第二控制逻辑电路 170 的所述输出端 134 接收信号;

[0027] (h) 第二反馈装置 160,包括第二反馈晶体管 162,用于从所述第一控制逻辑电路

140 的所述输出端 146 接收信号。

[0028] 一种方法,用于产生第一输出信号和第二输出信号,所述第一输出信号和第二输出信号对应于第一输入信号和第二输入信号之间的相位差或频率差,所述方法包括步骤:

[0029] (a) 接收至少两个输入信号,第一输入信号和第二输入信号;

[0030] (b) 检测所述第一输入信号的边沿,以便响应于所述第一输入信号产生第一输出信号;以及

[0031] (c) 检测所述第二输入信号的边沿,以便响应于所述第二输入信号产生第二输出信号,

[0032] 其中所述第一输出信号和所述第二输出信号之间的脉冲宽度差别表示所述第一输入信号和所述第二输入信号的差别。

[0033] 根据本发明,所述第二输出信号的下降沿对应所述第一输入信号的下降沿,而所述第一输出信号的下降沿对应所述第二输入信号的下降沿。在此使用的第一输入信号是指外部参考信号 F_{ref} ,而第二输入信号是指锁相环的振荡器产生的内部反馈信号 F_{vco} 。在此使用的第一输出信号是指 UP 信号,而第二输出信号是指 DOWN 信号。

附图说明

[0034] 为了更好的理解,现在参照附图对本发明进行描述,其中:

[0035] 图 1 是示出了传统锁相环的框图。

[0036] 图 2 是现有技术 A 的鉴频鉴相器的示意图。

[0037] 图 3 是现有技术 B 的鉴频鉴相器的示意图。

[0038] 图 4 是本发明的鉴频鉴相器的示意图。

[0039] 图 5 是本发明的鉴频鉴相器的输出信号的时序图。

具体实施方式

[0040] 现在参照附图对本发明进行更加详细的描述,图中示出了本发明的优选实施例。然而,本发明可以以很多不同的形式实施,而不应当解释为限定于在此列出的实施例;相反,提供这些实施例是为了公开的彻底和完整,并且最大限度地向本领域技术人员传达本发明的范围。

[0041] 图 4 是示出了本发明的鉴频鉴相器 (PFD) 的示意图。该鉴频鉴相器由附图标记 100 表示。本发明的 PFD 包括彼此交叉耦合的第一逻辑电路和第二逻辑电路 102、104。第一电路 102 包括第一信号接收装置 110,所述第一信号接收装置 110 具有第一输入端 112 和第二输入端 114,所述第一输入端 112 用于接收外部参考信号 F_{ref} ,而所述第二输入端 114 用于接收来自锁相环内部(已经在其中进行了分频)的反馈信号 F_{vco} 。第一和第二输入端 112、114 与第一串联的晶体管连接,使得第一输入端 112 直接与串联的晶体管中的第一晶体管 116 和第三晶体管 118 的栅极连接,而第二输入端 114 直接与串联的晶体管中的第二晶体管 120 的栅极连接。优选地,第一晶体管 116 是 PMOS 晶体管,而第二晶体管 120 和第三晶体管 118 是 NMOS 晶体管。串联的晶体管具有来自电压源的输入和来自接地的输入,所述电压源与所述第一晶体管 116 的源极端子连接,而所述第三晶体管 118 的漏极端子接地。

[0042] 如图 4 所示,串联的晶体管与第一节点 136 连接。所述第一节点 136 在第一和第

二晶体管的连接点处连接,以便根据输入端 112 接收的信号而充电或放电。当输入端 112 接收的信号(即 F_{ref}) 较低时,第一节点 136 通过 PMOS 晶体管 116 充电。当信号 F_{ref} 112 较高或者第二电路 104 输出的 UP 信号 134 较高时,串联的晶体管中的放电晶体管 120、118 将第一节点 136 放电。

[0043] 第一节点 136 与第一控制逻辑电路 140 连接。所述第一控制逻辑电路 140 从第一节点 136 接收控制信号并向其输出端 146 输出信号。在本发明的优选实施例中,第一控制逻辑电路 140 包括一对串联的晶体管 142、144,优选地是一个 PMOS 晶体管和一个 NMOS 晶体管。这一对晶体管在它们的栅极处与所述节点 136、166 连接,而在它们的连接点处与所述输出端 134、146 连接。PMOS 晶体管 142 具有来自电压源的输入,而 NMOS 晶体管 144 具有来自接地的输入。

[0044] 当信号 F_{ref} 112 较低时,第一节点 136 通过 PMOS 晶体管 116 充电,而随后,高电压信号在第一逻辑电路 140 处被接收。当检测到高电压信号时,第一逻辑电路 140 的 PMOS 晶体管 142 将具有高电阻,因此其将阻止电压源的输出,而 NMOS 晶体管 144 将具有低电阻,允许漏极的输出接地。这将导致第一输出端 146 的低电压。

[0045] 第二电路 104 包括第二信号接收装置 150。所述信号接收装置 150 具有第二串联的晶体管,所述第二串联的晶体管与第一信号接收装置 110 的输入端 112、114 交叉耦合,使得第一输入端 112 与第二串联的晶体管中的第二晶体管 156 的栅极交叉耦合,以接收参考信号 F_{ref} ,而第二输入端 114 与第二串联的晶体管中的第一晶体管 152 和第三晶体管 154 的栅极交叉耦合,以接收反馈信号 F_{vco} 。优选地,第二串联的晶体管中的第一晶体管 152 是 PMOS 晶体管,而第二晶体管 156 和第三晶体管 154 是 NMOS 晶体管。

[0046] 第二信号接收装置 150 输出的信号接着转到第二节点 166。所述第二节点 166 在第一和第二晶体管的连接点处连接。当信号 F_{vco} 较低时,第二节点 166 通过 PMOS 晶体管 152 充电,而当信号 F_{vco} 较高或者第一电路 102 输出的 DOWN 信号较高时,第二节点 166 通过放电晶体管 154、156 放电。

[0047] 如果信号 F_{vco} 较低,则第二节点 166 进行充电,而高电压信号在第二控制逻辑电路 170 处被接收,所述第二控制逻辑电路 170 进而输出低电压信号。

[0048] 本发明的主要特征之一是, PFD 使用反馈晶体管而不是传统技术中的变换器和延迟门。图 4 示出了用于第一反馈装置和第二反馈装置 130、160 的第一反馈晶体管和第二反馈晶体管 132、162。

[0049] 第一反馈晶体管和第二反馈晶体管 132、162 分别与串联的晶体管中的放电晶体管 118 和 120、154 和 156、节点 136、166 连接,并且与输出端 146 和 134 交叉耦合。第一反馈晶体管 132 由交叉耦合的信号 UP 控制,而第二反馈晶体管 162 由交叉耦合的信号 DOWN 控制。

[0050] 本发明的另一实施例涉及一种方法,用于产生第一输出信号和第二输出信号,所述第一输出信号和第二输出信号对应于第一输入信号和第二输入信号之间的相位差或频率差,所述方法包括步骤:

[0051] (a) 接收至少两个输入信号,第一输入信号和第二输入信号;

[0052] (b) 检测所述第一输入信号的边沿,以便响应于所述第一输入信号产生第一输出信号;以及

[0053] (c) 检测所述第二输入信号的边沿,以便响应于所述第二输入信号产生第二输出信号,

[0054] 其中所述第一输出信号和所述第二输出信号之间的脉冲宽度差别表示两个输入信号的差别。

[0055] 根据该实施例,所述第二输出信号的下降沿对应所述第一输入信号的下降沿,而所述第一输出信号的下降沿对应所述第二输入信号的下降沿。在此使用的所述第一输入信号是指外部参考信号 F_{ref} ,而第二输入信号是指锁相环的振荡器产生的内部反馈信号 F_{vco} 。在此使用的所述第一输出信号是指 UP 信号,而第二输出信号是指 DOWN 信号。

[0056] 现在参照图 5,在 F_{ref} 的下降沿处,充电晶体管 116 导通并且开始对第一节点 136 充电。这导致输出端 146 处较低的 DOWN 信号。UP 信号跟随 F_{vco} 的下降沿,即在 F_{vco} 的下降沿处,充电晶体管 152 导通并且开始对第二节点 166 充电,导致输出端 134 处较低的 UP 信号。UP 信号和 DOWN 信号之间的脉冲宽度差别表示输入相位的差别。该结果来自使用矽佳 (silterra) $0.18\mu m$ COMS 工艺的模拟, N 型和 P 型晶体管的尺寸分别是 $2\mu m$ 和 $4\mu m$, $VDD = 1.8V$ 并且在频率 = $50MHz$ 的条件下测试。其功耗为 $15.12\mu W$ 。当两个频率输入具有相同的频率和 90° 的相移时,最大工作频率定义为带有正确的 UP 信号和 DOWN 信号的最短周期。该 PFD 在 $1.8V$ 的最大工作频率为 $2GHz$ 。 $1MHz$ 偏置处的相位噪声为 $-68.5dBc/Hz$ 。

[0057] 因为 UP 信号和 DOWN 信号同时处于高值,所以需要带有匹配电流源的电荷泵。在锁定的情况下,UP 信号和 DOWN 信号将具有高值,因而电流源和电流接收器应当均衡,以具有等于零的净电压改变。

[0058] 应当理解的是,以上描述并不将本发明限定为前面给出的具体细节。对本领域技术人员显而易见的是,在不违背本发明的原理或所附权利要求的范围的前提下,可以对本发明作出多种修改。

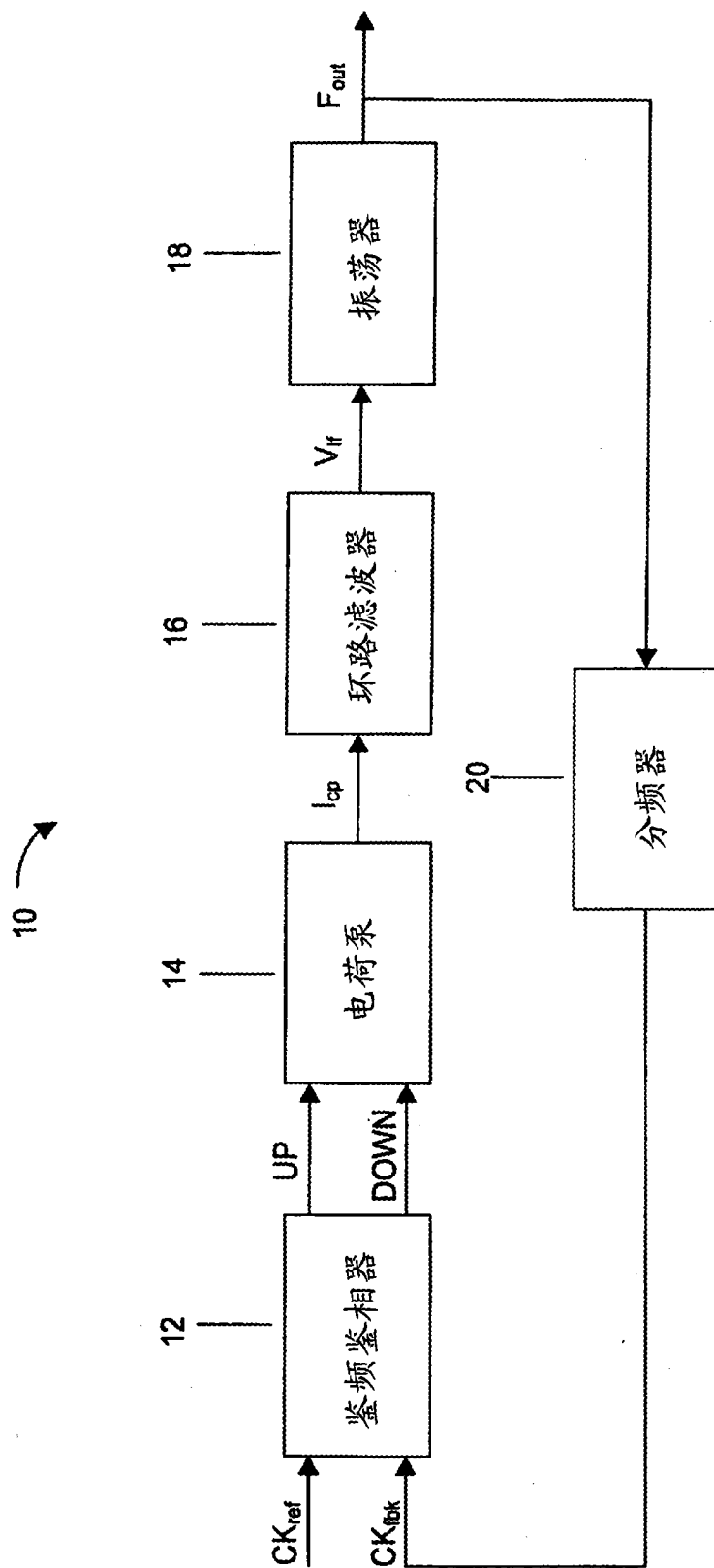
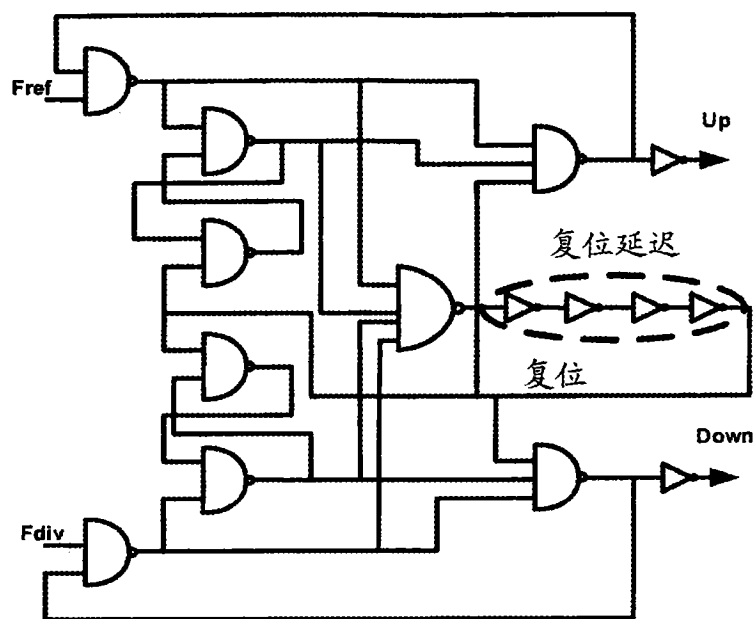
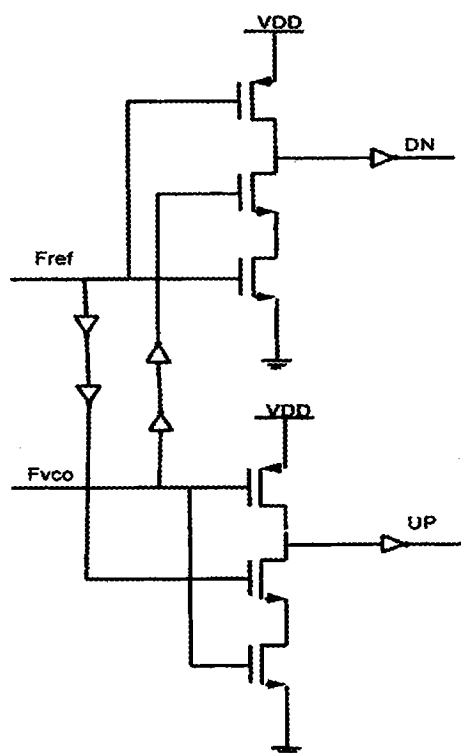


图 1



(现有技术A)

图 2



(现有技术B)

图 3

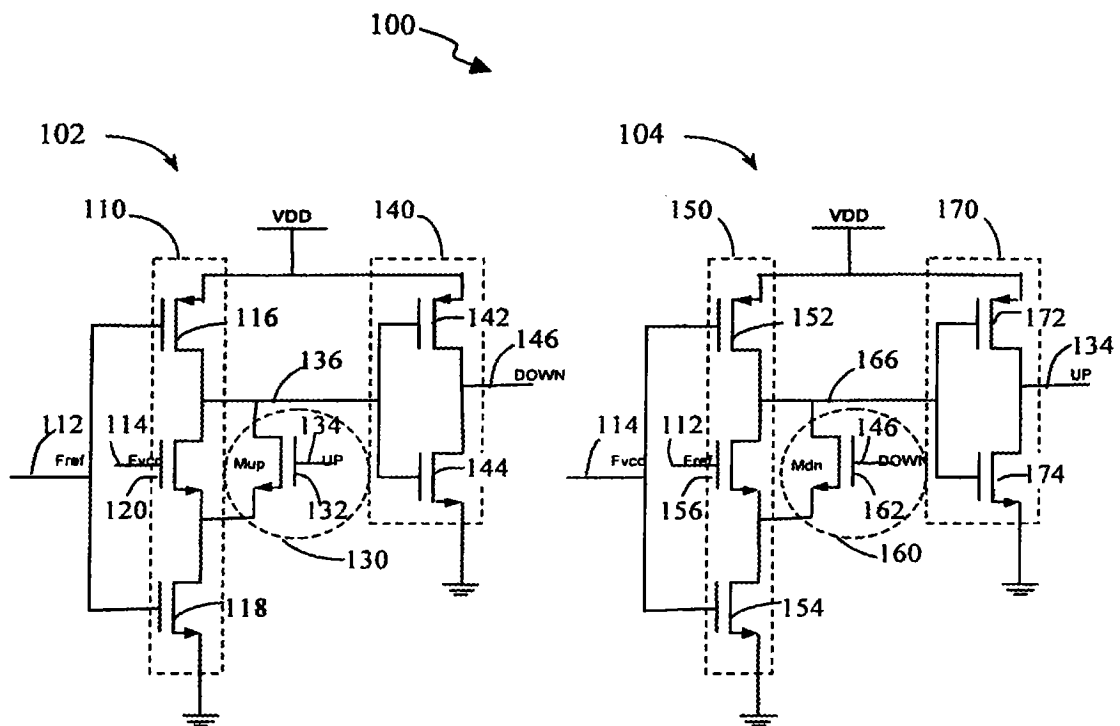


图 4

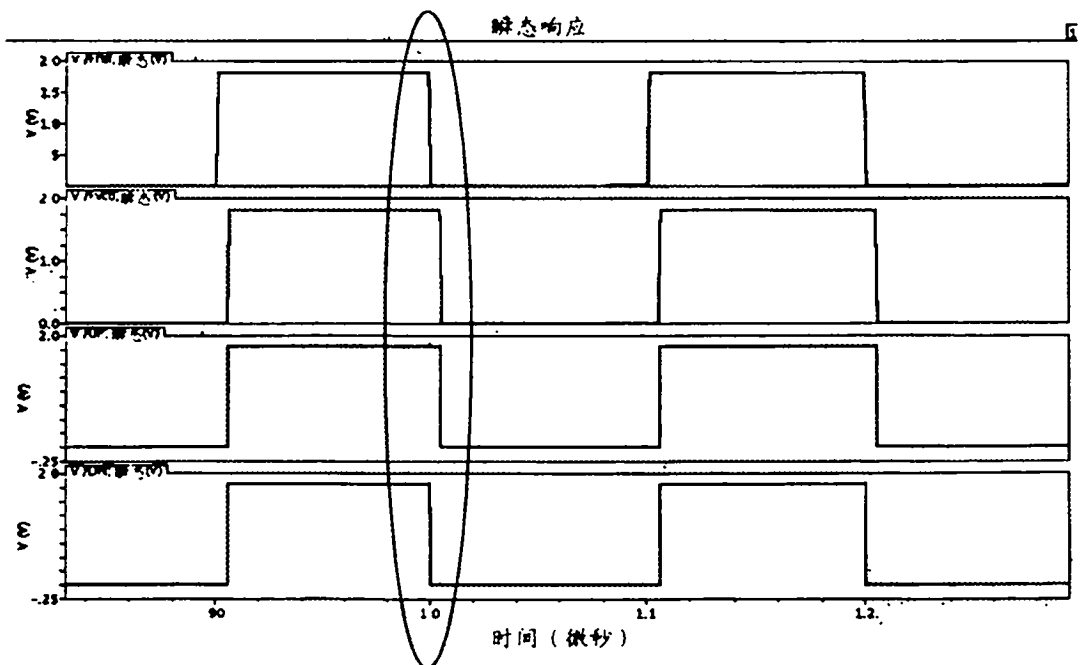


图 5