

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-59610

(P2011-59610A)

(43) 公開日 平成23年3月24日(2011.3.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 611E	5C006
G02F 1/133 (2006.01)	G09G 3/20 612U	5C058
H04N 5/66 (2006.01)	G09G 3/20 641E	5C080
	G09G 3/20 641F	
審査請求 未請求 請求項の数 8 O L (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2009-212240 (P2009-212240)
 (22) 出願日 平成21年9月14日 (2009.9.14)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 110000752
 特許業務法人朝日特許事務所
 (72) 発明者 豊岡 隆史
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72) 発明者 保坂 宏行
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72) 発明者 西森 喬
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

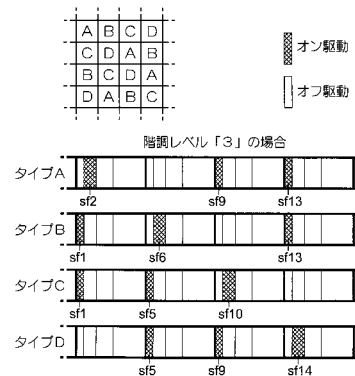
(54) 【発明の名称】 電気光学装置、その駆動方法および電子機器

(57) 【要約】

【課題】複数のサブフィールド毎に画素をオンまたはオフ駆動する際にフリッカーを低減する。

【解決手段】フレームを例えば4個のグループで構成するとともに、各グループを期間長の異なる4個のサブフィールドで構成し、画素を、階調レベルに応じた駆動パターンにしたがってオンまたはオフ駆動する。駆動パターンには、一の階調レベルに対し、サブフィールド毎に液晶素子をオン駆動またはオフ駆動を指示するビット配列からなる基本パターンのタイプAと、当該タイプAに対し、サブフィールド数の「4」を単位としてビット配列の位相をシフトさせたシフトパターンのタイプB、C、Dとがある。一の画素に対し、タイプA、B、C、Dのいずれか1つを、当該一の画素の位置に応じて選択して、当該一の画素をオン駆動またはオフ駆動する。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

複数の画素と、
前記複数の画素をそれぞれオン駆動またはオフ駆動する駆動回路と、
を備える電気光学装置であって、
前記駆動回路は、

フレームを複数個のグループで構成するとともに、各グループを互いに期間長の異なる複数個のサブフィールドで構成して、前記サブフィールド毎に、階調レベルに応じた駆動パターンにしたがって前記画素をオン駆動またはオフ駆動し、

一の階調レベルに対応する駆動パターンには、

当該一の階調レベルに対し、前記サブフィールド毎に前記画素をオン駆動またはオフ駆動を指示するビット配列からなる基本パターンと、

当該基本パターンに対し、前記グループのサブフィールド数を単位として前記ビット配列の位相をシフトさせた 1 以上のシフトパターンとがあり、

一の画素に対し、前記基本パターンおよびシフトパターンのいずれか 1 つを、当該一の画素の位置に応じて選択して、当該一の画素をオン駆動またはオフ駆動する

ことを特徴とする電気光学装置。

10

【請求項 2】

前記駆動パターンにおける基本パターンと、1 以上のシフトパターンの各々とは、前記ビット配列の位相を、前記グループのサブフィールド数の整数倍分シフトさせた関係にある

ことを特徴とする請求項 1 に記載の電気光学装置。

20

【請求項 3】

前記駆動パターンには、
前記フレームを構成するグループ個数分の種類がある
ことを特徴とする請求項 2 に記載の電気光学装置。

【請求項 4】

前記駆動回路は、
横方向および縦方向にマトリクス状に配列する画素に対し、

前記横方向で隣接する画素同士および前記縦方向で隣接する画素同士において同種類の駆動パターンを選択しないように予め定められたルールにしたがって、1 つの駆動パターンを選択する

ことを特徴とする請求項 3 に記載の電気光学装置。

30

【請求項 5】

前記ルールを記憶するルックアップテーブルを有する
ことを特徴とする請求項 4 に記載の電気光学装置。

【請求項 6】

前記画素を、極性パターンにしたがった極性で少なくともオン駆動するとともに、
前記フレームを「3」以上の奇数個のグループで構成し、

前記極性パターンの周期の $1/2$ 期間を、前記グループを構成する複数個のサブフィールドの期間とした

ことを特徴とする請求項 1 に記載の電気光学装置。

40

【請求項 7】

複数の画素をそれぞれオン駆動またはオフ駆動する電気光学装置の駆動方法であって、
フレームを複数個のグループで構成するとともに、各グループを互いに期間長の異なる

複数個のサブフィールドで構成して、前記サブフィールド毎に、階調レベルに応じた駆動パターンにしたがって前記画素をオン駆動またはオフ駆動し、

一の階調レベルに対応する駆動パターンには、

当該一の階調レベルに対し、前記サブフィールド毎に前記画素をオン駆動またはオフ駆動を指示するビット配列からなる基本パターンと、

50

当該基本パターンに対し、前記グループのサブフィールド数を単位として前記ビット配列の位相をシフトさせた1以上のシフトパターンとがあり、

一の画素に対し、前記基本パターンおよびシフトパターンのいずれか1つを、当該一の画素の位置に応じて選択して、当該一の画素をオン駆動またはオフ駆動することを特徴とする電気光学装置の駆動方法。

【請求項8】

請求項1乃至6のいずれかに記載の電気光学装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のサブフィールドの各々において、画素をオンまたはオフのいずれかで駆動する技術に関する。

【背景技術】

【0002】

液晶素子やEL(Electronic Luminescence)素子などのような表示素子を画素として有する電気光学装置において中間階調を表現するために、次のような技術が提案されている。すなわち、フレーム(フィールド)を分割した複数のサブフィールド毎に、画素をオンまたはオフのいずれか一方で駆動するとともに、オンまたはオフ駆動する時間の割合を変化させることによって中間階調を表現する技術が提案されている(特許文献1参照)。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-148417号公報(図6、段落0099)

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、画素をサブフィールド毎にオンまたはオフ駆動する際に、互いに隣接する複数の画素領域にわたって特定の階調を表現しようとしたときに、フリッカーが視認される場合があった。

本発明は、上述した事情に鑑みてなされたもので、その目的の一つは、サブフィールド毎に画素をオンまたはオフに駆動して階調を表現する際のフリッカーを低減する技術を提供することにある。

【課題を解決するための手段】

【0005】

上記目的を達成するために、本発明に係る電気光学装置は、複数の画素と、前記複数の画素をそれぞれオン駆動またはオフ駆動する駆動回路と、を備える電気光学装置であって、前記駆動回路は、フレームを複数個のグループで構成するとともに、各グループを互いに期間長の異なる複数個のサブフィールドで構成して、前記サブフィールド毎に、階調レベルに応じた駆動パターンにしたがって前記画素をオン駆動またはオフ駆動し、一の階調レベルに対応する駆動パターンには、当該一の階調レベルに対し、前記サブフィールド毎に前記画素をオン駆動またはオフ駆動を指示するビット配列からなる基本パターンと、当該基本パターンに対し、前記グループのサブフィールド数を単位として前記ビット配列の位相をシフトさせた1以上のシフトパターンとがあり、一の画素に対し、前記基本パターンおよびシフトパターンのいずれか1つを、当該一の画素の位置に応じて選択して、当該一の画素をオン駆動またはオフ駆動することを特徴とする。本発明によれば、フレームにおいてオン駆動(またはオフ駆動)が特定の時間帯に集中しても、画素の位置に応じてオン駆動(またはオフ駆動)が特定の時間帯に集中しても、画素の位置に応じてオン駆動またはオフ駆動を指示するビット配列の位相がシフトされる。このため、隣接するもの同士が互いに異なる駆動パターンでオンオフ駆動されるので、全体で見ると、オンオフ駆動で生じる明暗をフリッカーとして視認され難くすることが可能となる。

10

20

30

40

50

【 0 0 0 6 】

本発明において、前記駆動パターンにおける基本パターンと、1以上のシフトパターンの各々とは、前記ビット配列の位相を、前記グループのサブフィールド数の整数倍分シフトさせた関係にあっても良い。このとき、前記駆動パターンには、前記フレームを構成するグループ個数分の種類があることが好ましい。さらに、前記駆動回路は、横方向および縦方向にマトリクス状に配列する画素に対し、前記横方向で隣接する画素同士および前記縦方向で隣接する画素同士において同種類の駆動パターンを選択しないように予め定められたルールにしたがって、1つの駆動パターンを選択する構成としてもよい。このルールについては、予めルックアップテーブルに記憶させた構成が好ましい。

また、本発明において、前記画素を、極性パターンにしたがった極性で少なくともオン駆動するとともに、前記フレームを「3」以上の奇数個のグループで構成し、前記極性パターンの周期の1/2期間を、前記グループを構成する複数個のサブフィールドの期間とした構成としても良い。この構成によれば、フレームにおいてオン駆動（またはオフ駆動）が特定の時間帯に集中することによるフリッカーにくわえて、極性差によって生じるフリッカーについても視認され難くすることが可能となる。

なお、本発明は、電気光学装置のみならず、電気光学装置の駆動方法としても、また、当該電気光学装置を有する電子機器としても概念することが可能である。

【 図面の簡単な説明 】

【 0 0 0 7 】

【 図 1 】 第 1 実施形態に係る電気光学装置の構成を示すブロック図である。

【 図 2 】 電気光学装置における表示パネルの構成を示す図である。

【 図 3 】 表示パネルにおける画素の構成を示す図である。

【 図 4 】 電気光学装置におけるフレームを示す図である。

【 図 5 】 電気光学装置におけるSFコード変換部の変換内容を示す図である。

【 図 6 】 電気光学装置におけるSFビット選択部の選択内容を示す図である。

【 図 7 】 電気光学装置における走査線駆動回路等の動作を示す図である。

【 図 8 】 電気光学装置におけるタイプ毎のオンオフ駆動を示す図である。

【 図 9 】 第 2 実施形態に係る電気光学装置のフレーム等を示す図である。

【 図 1 0 】 電気光学装置におけるSFビット選択部の選択内容を示す図である。

【 図 1 1 】 第 3 実施形態に係る電気光学装置の構成を示すブロック図である。

【 図 1 2 】 電気光学装置のフレーム等を示す図である。

【 図 1 3 】 電気光学装置によるフリッカー低減を説明するための図である。

【 図 1 4 】 エンコーダーおよびデコーダーの変換内容を示す図である。

【 図 1 5 】 電気光学装置を適用したプロジェクターの構成を示す図である。

【 図 1 6 】 比較例におけるフリッカーの発生を説明するための図である。

【 発明を実施するための形態 】

【 0 0 0 8 】

以下、本発明の実施形態について図面を参照して説明する。

図 1 は、第 1 実施形態に係る電気光学装置の全体構成を示すブロック図である。この図に示されるように、電気光学装置 10 は、タイミング制御回路 20、画質調整部 30、メモリー制御部 40、メモリー 45、SFビット変換回路 50 および表示パネル 100 を含む。

電気光学装置 10 には、図示省略した上位回路から映像信号 Vid が供給される。映像信号 Vid は、表示すべき画像における各画素の階調レベルをそれぞれ規定するものであり、垂直走査信号 Vs、水平走査信号 Hs およびドットクロック信号 Clk にしたがって走査される画素の順で供給される。

【 0 0 0 9 】

タイミング制御回路 20 は、垂直走査信号 Vs、水平走査信号 Hs およびドットクロック信号 Clk に基づいて各部を制御するが、その制御の詳細については後述する。

画質調整部 30 は、映像信号 Vid で規定される画像の明るさや色合いなどを、表示パネ

10

20

30

40

50

ル 100 の表示特性や、図示省略した各種操作子の設定状況に合わせて前処理するとともに、処理した映像信号 Da を出力する。なお、本実施形態において、上位回路から供給される映像信号 Vid は、アナログ信号でもあっても良いし、デジタル信号でもあっても良いが、アナログ信号であれば、画質調整部 30 によってデジタル信号に変換される。

メモリー制御部 40 は、タイミング調整回路 20 による制御にしたがって、映像信号 Da をメモリー 45 に書き込む一方で、表示パネル 100 で駆動する画素に応じた映像信号を当該メモリー 45 から読み出すものである。なお、メモリー 45 に書き込まれる映像信号 Da と区別するために、読み出される映像信号を Db と表記している。

【0010】

SF ビット変換回路 50 は、読み出された映像信号 Db を、表示パネル 100 における駆動タイミング（サブフィールド）と、当該映像信号 Db が指定する画素の位置とに応じて、サブフィールド（SF）において当該画素をオンまたはオフ駆動すべきかを示す SF ビット Sb に変換するものであり、SF コード変換部 52、位相制御部 54 および SF ビット選択部 56 を有する。なお、SF ビット変換回路 50 の詳細については後述する。

一方、表示パネル 100 は、例えばアクティブ・マトリクス型であって透過型の液晶表示パネルであり、画素毎に透過率を変調した透過像を生成するものである。

【0011】

図 2 は、表示パネル 100 の構成を示す図である。この図に示されるように、表示パネル 100 には、例えば 1、2、3、...、1080 行の走査線 112 が図において横方向に延在するように設けられ、また、1、2、3、...、1920 列のデータ線 114 が図において縦方向に延在するように、かつ、各走査線 112 と互いに電氣的に絶縁を保つように設けられている。そして、1080 行の走査線 112 と 1920 列のデータ線 114 との交点のそれぞれに対応して、画素 110 がそれぞれ配列している。したがって、本実施形態では、画素 110 が縦 1080 行×横 1920 列でマトリクス状に配列することになる。なお、このように画素 110 の配列する領域が表示領域 101 である。

【0012】

表示領域 101 の周辺には、走査線駆動回路 130 とデータ線駆動回路 140 とがそれぞれ設けられている。

このうち、走査線駆動回路 130 は、1～1080 行の走査線 112 にそれぞれ走査信号を供給するものである。本実施形態において走査線駆動回路 130 は、制御信号 Yct に よって走査線 112 を 1、2、3、...、1080 行目という順番で選択するとともに、選択した走査線への走査信号を選択電圧とする一方、それ以外の、非選択に係る走査線への走査信号を非選択電圧とする。なお、1、2、3、...、1080 行目の走査線 112 に供給される走査信号をそれぞれ G1、G2、G3、...、G1080 と表記している。

一方、データ線駆動回路 140 は、タイミング制御回路 20 から供給される制御信号 Xct にしたがって、1～1920 列目のデータ線 114 の各々にそれぞれ SF ビット Sb に 応じたデータ信号を供給するものである。なお、1、2、3、...、1920 列目のデータ線 114 に供給されるデータ信号を、それぞれ d1、d2、d3、...、d1920 と表記している。

【0013】

図 3 は、表示パネル 100 における画素 110 の等価回路の一例を示す図である。

この図に示されるように、画素 110 は、画素電極 118 とコモン電極 108 とで液晶 105 を挟持した液晶素子 120 と、走査線 112 に選択電圧が印加されたときにデータ線 114 と画素電極 118 との間で導通状態となり、非選択電圧が印加されたときに非導通状態となる薄膜トランジスタ（Thin Film Transistor：以下単に「TF T」と表記する）116 とを有する構成である。

なお、コモン電極 108 は各画素にわたって共通であり、図示省略した回路によって電圧 L C com が印加される。また、画素 110 では、液晶素子 120 に対して並列に補助容量（蓄積容量）125 が設けられる。この補助容量 125 は、一端が画素電極 118 に接続され、他端が容量線 115 に共通接続されている。容量線 115 は時間的に一定の電圧

10

20

30

40

50

に保たれている。

このような構成において、画素 1 1 0 では、走査線 1 1 2 に選択電圧が印加されたときに T F T 1 1 6 が導通状態になって、データ線 1 1 4 に供給されたデータ信号の電圧が画素電極 1 1 8 に印加される。一方、走査線 1 1 2 への選択電圧の印加が終了して非選択電圧が印加されたときに T F T 1 1 6 が非導通状態になるが、液晶素子 1 2 0 は、T F T 1 1 6 の導通状態であったときに画素電極 1 1 8 に印加されたデータ信号の電圧を、その容量性によって走査線 1 1 2 に選択電圧が再び印加されるまで保持する。

【 0 0 1 4 】

ところで、本実施形態において、画素 1 1 0 はオンまたはオフのいずれかで駆動されるので、データ信号は、S F ビット S b の “ 1 ” に応じたオンレベル、または “ 0 ” に応じたオフレベルのいずれである。

10

ここで、液晶素子 1 2 0 をノーマリーブラックモードとしたとき、オンレベルとは、液晶素子 1 2 0 に電圧を印加して明状態にさせるデータ信号をいい、オフレベルとは、液晶素子 1 2 0 に電圧を印加しないで（または、印加電圧をゼロ近傍とする電圧を印加して）暗状態にさせるデータ信号をいう。液晶素子 1 2 0 を交流駆動する場合に、オンレベルは、振幅中心電圧に対して高位側とする正極性と、振幅中心電圧に対して低位側とする負極性との 2 種類が必要となる。一方、オフレベルは、液晶素子 1 2 0 に電圧を印加しないのであれば、コモン電極 1 0 8 に印加される電圧 L C com の 1 種類であり、極性に無関係であるが、印加電圧をゼロ近傍とする電圧を印加するのであれば、振幅中心電圧に対して正極性と、負極性との 2 種類が必要となる。

20

なお、本説明において、走査信号やデータ信号の電圧については、図示省略した接地電位 Gnd を電圧ゼロの基準としている。ただし、液晶素子 1 2 0 の印加電圧については、コモン電極 1 0 8 の電圧 L C com と画素電極 1 1 8 との電位差とする。また、コモン電極 1 0 8 に印加される電圧 L C com は、上記振幅中心電圧と同電圧と考えてよい。ただし、n チャネル型の T F T 1 1 6 のオフリーク等を考慮して、電圧 L C com を振幅中心電圧よりも低位となるように調整されることがある。

【 0 0 1 5 】

一方、本実施形態において、各画素についての単位期間であるフレームは、図 4 に示されるような構成である。詳細には、同図に示されるように、フレームが、時間的な順序でみて、第 1 グループ（第 1 G）から第 4 グループ（第 4 G）までに分類されるとともに、各グループが、互いに重み（時間的な長さ）の異なる 4 つのサブフィールドにそれぞれ分割されている。なお、本実施形態では、各グループにおける 4 つのサブフィールドの重みは、時間的な順序でみて、例えば「 1 」、「 2 」、「 3 」、「 4 」にそれぞれ設定されている。

30

本実施形態では、フレームが計 1 6 個のサブフィールドによって構成されることになるので、これらのサブフィールドを区別するために、時間的な順序で s f 1 ~ s f 1 6 と表記する。

なお、走査線の単位期間であるフレームは、垂直同期信号 V s の周波数が 6 0 H z であれば、その逆数に相当する 1 6 . 7 ミリ秒に相当する。また、各画素におけるサブフィールドのオンまたはオフ駆動は、走査線を選択時になされるので、厳密に言えば、フレームは、時間的にみて走査線毎にタイミングが異なる。

40

【 0 0 1 6 】

上述したように、画素 1 1 0 において、走査線 1 1 2 が選択されたときに画素電極 1 1 8 に印加されたオンまたはオフレベルは、走査線 1 1 2 が再び選択されるまで保持される。したがって、画素 1 1 0 を、あるサブフィールドに応じた期間だけオンまたはオフ駆動の状態にさせるためには、走査線を選択して、液晶素子 1 2 0 に S F ビットに応じた（データ信号の）オンまたはオフレベルを書き込んでから、再び当該走査線を選択するまでの期間を、当該サブフィールドに応じた期間とすれば良いことになる。

【 0 0 1 7 】

本実施形態では、映像信号 D b を 8 ビットとして、画素で表現すべき階調レベルを十進

50

値で、最も暗い「0」から最も明るい「255」まで「1」刻みで256階調を指定するものとする。

一方、本実施形態におけるサブフィールドは、図4に示したとおりの構成である。このサブフィールド構成において、オンすべきサブフィールドの重みを累計した値の組み合わせは、「0」から「40」($= 4 \times (1 + 2 + 3 + 4)$)までの「1」刻みの41通りに過ぎない。このため、フレームにおける画素の透過率が、オン(オフ)駆動した期間の累算値だけで決まるのであれば、一見して256階調に対応できないように見える。

そこでまず、本実施形態では、液晶素子における光学応答性を利用する。

詳細には、SFビット変換回路50におけるSFコード変換部52が、映像信号Dbを、階調レベルに応じて図5に示されるようなSFコードに変換する。

なお、SFコードは、ビットc1~c16の16ビットからなり、ビットc1~C16を順にサブフィールドsf1~sf16のオンオフ駆動を指定するものとして配列させた基本パターン(タイプA)である。

【0018】

図5に示した変換内容について説明すると、本実施形態で用いる液晶素子のように光学応答が比較的遅い素子では、画素電極へのオンレベル(オフレベル)の印加に対して透過率が緩慢に変化する。このため、ノーマリーブラックモードにおいて、時間的に隣接するサブフィールドで連続的にオン駆動させたときと、時間的に離れたサブフィールドで離散的にオン駆動させたときとは、フレームにおいてオン駆動の占める期間が同じであっても、実際の透過率は、連続的にオン駆動させたときの方が離散的にオン駆動させたときよりも大きくなる(明るくなる)。図5では、この特性を利用している。

【0019】

ここで、基本パターンのタイプAのみで、それぞれsf1~sf16においてオンまたはオフ駆動を指定してしまうと、フリッカーとして視認される原因となる。

そこで次に、本実施形態では、4つのサブフィールド、すなわちグループ期間毎に、図6の(b)に示されるように、基本パターンであるタイプAの配列に対して位相を90度ずつシフトさせたシフトパターン(タイプB、C、D)を用意して、画素の位置に応じて駆動パターン(タイプA、B、C、D)のいずれかを選択する構成にした。

なお、タイプCは、基本のタイプAに対し、ビット配列が2グループ分の期間だけ遅延した関係にあり、同様にタイプDは、タイプBに対し、ビット配列が2グループ分の期間だけ遅延した関係にある、ということもできる。

【0020】

続いて、タイプA、B、C、Dのいずれかを決定するものがSFビット変換回路50における位相制御部54である。位相制御部54は、読み出された映像信号Dbで指定される画素の位置をi行j列と表したときに、行数iを「4」で割ったときの余りと、列数jを「4」で割ったときの余りに応じて、図6の(a)に示されるようにタイプを決定する。

例えば映像信号Dbで指定される画素が5行10列に位置するとき、行数「5」を「4」で割ったときの余りが「1」であり、列数「10」を「4」で割ったときの余りが「2」であるから、タイプBに決定される。また例えば映像信号Dbで指定される画素が102行756列であったとき、行数「102」を「4」で割ったときの余りが「2」であり、列数「756」を「4」で割ったときの余りが「0」であるから、タイプBに決定される。

図6の(a)で示したタイプの決定については一例に過ぎないが、縦および横方向で隣接する画素同士で異なるタイプに決定することが望ましい。詳細には、同図に示した4x4のマトリクスは、縦および横方向に隣接する4つの要素の組み合わせのいずれもA、B、C、Dとなる配列によって、換言すれば、タイプA~Dにそれぞれ「1」~「4」の数字を割り当てたときに、縦および横方向のいずれの数字のそれぞれの和が「10」で等しくなるように並べた、いわゆる魔方陣の配列によって、タイプを決定することが望ましい。

。

10

20

30

40

50

なお、画素の位置に対してタイプを決定する方法としては、例えば第 1 に、図 6 の (a) に示した 4 × 4 のマトリクスとタイプとの関係について予めルックアップテーブルで記憶しておき、第 2 に、水平走査信号 Hs をカウントするとともに垂直走査信号 Vs によってゼロリセットする 4 進カウンタのカウント値によってマトリクスにおいて適用する行を決定するとともに、ドットクロック信号 Clk をカウントするとともに水平走査信号 Hs によってゼロリセットする 4 進カウンタのカウント値によって、マトリクスにおいて適用する列を決定する構成が考えられる。

【 0 0 2 1 】

次に、S F ビット選択部 5 6 は、変換された S F コードのビット c 1 ~ c 16 のうち、いずれかの 1 ビットを、決定されたタイプ、および、表示パネル 1 0 0 における駆動タイミング (サブフィールド) に応じて選択して、S F ビット S b として出力する。

例えばタイプ C に決定されるとともに、表示パネル 1 0 0 における駆動タイミングがサブフィールド s f 5 であれば、図 6 の (b) に示されるように、変換された S F コードのうち、ビット c 13 が S F ビット S b として出力される。また例えばタイプ A に決定されるとともに、表示パネル 1 0 0 における駆動タイミングがサブフィールド s f 1 3 であれば、変換された S F コードのうち、ビット c 13 が S F ビット S b として出力される。

【 0 0 2 2 】

本実施形態では、S F ビット変換回路 5 0 が映像信号 Db を S F ビット S b に変換し、データ信号駆動回路 1 4 0 が当該 S F ビット S b をデータ信号に変換して、データ線 1 1 4 に供給する一方、走査線駆動回路 1 3 0 がデータ信号を供給すべき画素の行に対応する走査線 1 1 2 を選択することによって、画素をオンまたはオフ駆動することになる。

このため、駆動回路は、S F ビット変換回路 5 0、走査線駆動回路 1 3 0 およびデータ信号駆動回路 1 4 0 で構成されることになる。

【 0 0 2 3 】

次に、実施形態に係る電気光学装置 1 0 の全体的な動作について図 7 を参照して説明する。

垂直走査信号 Vs が図 7 の (a) に示されるように供給されるとき、タイミング制御回路 2 0 は、スタートパルス Dy を、1 行目の画素における s f 1 ~ s f 1 6 の開始タイミングに合わせて走査線駆動回路 1 3 0 に供給する。なお、スタートパルス Dy は、走査線駆動回路 1 3 0 に供給される制御信号 Y ct に含まれる。この制御信号 Y ct には、スタートパルス Dy を転送するためのクロック信号も含まれる (図示省略) 。

また、タイミング制御回路 2 0 は、データ信号駆動回路 1 4 0 に対して所定の周期毎に、例えば 1 フレーム毎に、データ信号の極性反転を指定する。ここで、極性を指定する信号は、データ線駆動回路 1 4 0 に供給される制御信号 X ct に含まれる。

【 0 0 2 4 】

走査線駆動回路 1 3 0 は、スタートパルス Dy を、上記クロック信号にしたがって転送等することによって走査信号 G 1 ~ G 1080 を出力する。

図 7 の (b) は、走査線の 1 ~ 1 0 8 0 行を縦軸にとり、時間を横軸としたときに、走査信号 G 1 ~ G 1080 によって選択される走査線の時間的推移を示す図である。走査線の選択を仮に走査線毎の黒棒で示したとき、走査線は排他的に選択されるので、走査線の選択における時間的推移は、実際には黒棒の連続点で示されるが、簡略的に表記するため、同図においては右下がりの実線で示している。

【 0 0 2 5 】

S F ビット S b への変換については、まず、メモリー制御部 4 0 が、タイミング制御回路 2 0 による制御にしたがって、ある行の走査線の選択前に、当該行であって 1 ~ 1 9 2 0 列の画素に対応した 1 行分の映像信号 Db をメモリー 4 5 から読み出す。

S F コード変換部 5 2 は、読み出された映像信号 Db を、階調レベルに応じた S F コードに画素毎に変換する。

一方、位相制御部 5 4 は、読み出された映像信号 Db の画素の位置に応じてタイプ A、B、C、D のいずれかを決定する。

10

20

30

40

50

S F ビット選択部 5 6 は、変換された S F コードのビット c 1 ~ c 16 のうち、いずれかの 1 ビットを、決定されたタイプと、現時点における表示パネル 1 0 0 の駆動タイミング（サブフィールド）とに応じて選択して、S F ビット S b として出力するのは上述した通りである。

なお、タイミング制御回路 2 0 は、垂直同期信号 V s で規定されるフレームにおけるスタートパルス D y の出力回数を、現時点における表示パネル 1 0 0 のサブフィールドを示す情報として S F ビット選択部 5 6 に供給する。これにより、S F ビット選択部 5 6 は、現時点における表示パネル 1 0 0 の駆動タイミング（サブフィールド）を知ることができる。

【 0 0 2 6 】

ある行の走査線が走査線駆動回路 1 3 0 によって選択される前に、メモリー 4 5 から当該行の映像信号 D b が読み出されて、S F ビット S b に変換される。このため、データ線駆動回路 1 4 0 には、当該走査線の選択前において、当該走査線に対応する 1 ~ 1 9 2 0 列の画素に対応し、かつ、当該選択において書き込むべきサブフィールドに対応した S F ビット S b が供給されていることになる。

データ線駆動回路 1 4 0 は、当該 1 行分の S F ビット S b を、それぞれタイミング制御信号によって指定された極性のオンまたはオフレベルのデータ信号に変換するとともに、当該行の走査線が選択されたときに、データ信号を 1 ~ 1 9 2 0 列のデータ線 1 1 4 に供給する。

当該行の走査線が選択されたとき、データ線 1 1 4 に供給されたデータ信号は、当該行に対応する T F T 1 1 6 が導通状態となることによって液晶素子 1 2 0 の画素電極 1 1 8 に印加され、これにより、当該液晶素子 1 2 0 は、指定された極性でオンまたはオフ駆動されることになる。

なお、当該走査線の選択が終了すると、T F T 1 1 6 が非導通状態となるが、液晶素子 1 2 0 は、T F T 1 1 6 の導通状態であったときに画素電極 1 1 8 に印加された電圧を、液晶素子の容量性および補助容量 1 2 5 によって保持するので、次回走査線が再び選択されるまで、オンまたはオフ駆動の状態に維持される。

【 0 0 2 7 】

このような動作が 1 つのサブフィールドにおいて 1 ~ 1 0 8 0 行目について順番に実行される。さらに、この 1 つサブフィールドの動作が 1 フレームにおいてサブフィールド s f 1 ~ s f 1 6 の順番に実行される。

これにより、各画素は、サブフィールド s f 1 ~ s f 1 6 のそれぞれにおいて、S F ビット S b に応じてオンまたはオフ駆動されるので、フレームを単位期間としてみたときの平均的な透過率は、階調レベルに応じた値となって、これにより階調が表現されることになる。

【 0 0 2 8 】

ここで、本実施形態によれば、縦および横方向で互いに隣接する複数の画素からなる領域に対し、例えば階調レベル「3」が指定されたとき、これら画素に対応する S F コードは、図 5 を参照すると、それぞれビット c 1 ~ c 16 の順に 4 ビットずつ「-」で区切ると「0 1 0 0 - 0 0 0 0 - 1 0 0 0 - 1 0 0 0」となる。

このため、画素の位置（行数および列数）に応じてタイプを決定しない構成では、図 1 6 に示されるように、階調レベルの「3」が指定された画素のすべてが、サブフィールド s f 2、s f 9、s f 1 3 でオン駆動となる。すなわち、階調レベル「3」とする場合に、オン駆動するサブフィールドのうち、重みが最も大きなサブフィールド s f 2 で必ずオン駆動となる。このため、フレームにおいてオン駆動となるタイミングがサブフィールド s f 2 に集中する傾向となり、サブフィールド s f 2 でのオン駆動（サブフィールド s f 3 以降でのオフ駆動）における明暗がフリッカーとして視認されてしまう可能性がある。

これに対して、本実施形態では、画素の位置に応じて隣接する画素同士では異なるタイプに決定される。ここで、タイプ A、B、C、D におけるビット配列は互いに 1 グループずつシフトした関係にあるので、サブフィールド s f 1 ~ s f 1 6 における S F ビットに

10

20

30

40

50

については、同じ階調レベルの「3」であっても、タイプA、B、C、D毎に、図8に示されるように、フレームを周期としたときに、オンオフ駆動のパターンが、1グループに相当する90度ずつシフトした関係になる。

したがって、本実施形態では、同じ階調が指定された画素のうち、隣接するもの同士が互いに異なるパターンでオンオフ駆動されるので、全体で見ると、オンオフ駆動で生じる明暗をフリッカーとして視認され難くすることが可能となるのである。

【0029】

次に、本発明の第2実施形態について説明する。上述した第1実施形態では、1フレームを4つのグループに分類するとともに、極性を1フレーム毎に反転する構成とした例であったが、第2実施形態では、1フレームを5つのグループに分類するとともに、極性を1グループ毎に反転する構成とした例である。

第2実施形態の詳細については、図9に示されるように、フレームが、第1グループ(第1G)から第5グループ(第5G)までに分類されるとともに、各グループが、互いに異なる重みの4つのサブフィールドにそれぞれ分割されている。このため、第2実施形態では、フレームが計20個のサブフィールドによって構成されることになる。

また、第2実施形態では、制御信号Xctに含まれる信号Frpによって極性がグループ毎に切り替えられる。ここで、信号Frpは、極性を指定する信号であり、例えばHレベルであれば正極性を、Lレベルであれば負極性を指定する。このとき、正極性について着目すれば、第1、第3および第5グループにおいて正極性が指定されるフレームと、第2および第4グループにおいて正極性が指定されるフレームとが出現するので、便宜的に前者を奇数フレームとし、後者を偶数フレームとして区別する。

なお、同図に示される信号Frpの波形は、換言すれば、デューティ比50%であって周期が2グループのパルス信号(極性パターン)であり、この周期の半分期間が1グループの期間に相当していることになる。

また、第2実施形態では、1フレームを構成するサブフィールドの個数は「20」であるので、図5に示したSFコードの変換特性も変更されるが、重要な点は、変換特性ではなく、SFコードがc1~c20の20ビットになる点である。

【0030】

このようなサブフィールド構成では、グループ数が「5」であるから、オンオフ駆動のタイプについても、タイプA~タイプEの5種類が可能である。

詳細には、図10の(b)に示されるように、SFコードのc1~c20を順に、サブフィールドsf1~sf20のSFビットとして配列させた基本パターン(タイプA)と、このタイプAに対して、配列の位相を72度ずつシフトさせたシフトパターン(タイプB、C、D、E)が用意される。

一方、第2実施形態における位相制御部54は、読み出された映像信号Dbで指定される画素の位置をi行j列と表したときに、行数iを「5」で割ったときの余りと、列数jを「5」で割ったときの余りに応じて、図10の(a)に示されるタイプに決定する。

例えば映像信号Dbで指定される画素が102行756列であったとき、行数「102」を「5」で割ったときの余りが「2」であり、列数「756」を「5」で割ったときの余りが「1」であるから、タイプDに決定される。なお、図10の(a)で示したタイプの決定については一例に過ぎないが、縦および横方向で隣接する画素同士で異なるタイプに決定されることが望ましい点については第1実施形態と同様である。さらに、図10の(a)で示した5x5のマトリクスは、縦および横方向にわたって繰り返したとき、縦および横方向に加えて斜め方向に隣接する5つの要素の組み合わせのいずれもがA~Eとなる配列である。このため、タイプは、縦、横および斜めの全ての方向で隣接する画素同士で異なるように決定されるので、タイプが隣接することで発生するノイズを効果的に除去することができる。

【0031】

第2実施形態では、極性がフレームよりも短いグループ毎に切り替えられるとともに、1フレームにおけるグループ数を奇数の「5」としているため、例えば奇数フレームにお

いて正極性に指定された奇数（第 1、第 3 および第 5）グループに属する 4 個のサブフィールドは、次の偶数フレームでは、負極性に指定される。同様に、奇数フレームにおいて負極性に指定された偶数（第 2 および第 4）グループに属する 4 個のサブフィールドは、次の偶数フレームでは、正極性に指定される。

ここで、第 2 実施形態において、縦および横方向で互いに隣接する複数の画素からなる領域に対し、同一階調レベルが指定されるとともに、これら画素に対応する SF コードが、ビット $c_1 \sim c_{20}$ の順に 4 ビットずつ区切ったときに例えば “1 1 1 0 - 0 0 0 0 - 0 0 0 0 - 0 0 0 0 - 0 0 0 0” であるとき、基本であるタイプ A であれば、サブフィールド $s f_1$ 、 $s f_2$ および $s f_3$ でオン駆動となり、他のサブフィールド $s f_4 \sim s f_2 0$ ではオフ駆動となる。

【0032】

ここで、同じパターンで画素をオンオフ駆動した場合に何らかの理由によって正極性と負極性とで明るさに差が生じてしまうときがある。例えば図 11 に示されるように、第 1 グループに属する 4 個のサブフィールド $s f_1 \sim s f_4$ において “1 1 1 0” でオンオフ駆動する場合に正極性が負極性よりも明るくなってしまうときがある。

このようなとき、画素の位置に応じてタイプに決定しない構成では、隣接する画素においてオン駆動となるサブフィールドがフレームにおける特定の時間帯に集中（ $s f_1 \sim s f_3$ ）することに起因するフリッカーだけでなく、オン駆動によって明るさの異なってしまう状態が、奇数フレームと偶数フレームとにおいて交互に現れることに起因するフリッカーも発生する。奇数フレームと偶数フレームとにおいて交互に現れることに起因する後者のフリッカーは、フレームにおいて特定の時間帯にオン（オフ）駆動となることに起因する前者のフリッカーと比較して倍の周期で発生するので（すなわち低周波数であるので）、視認されやすく、表示品位の低下を招きやすい。

【0033】

これに対して、第 2 実施形態では、画素の位置に応じてタイプ A ~ E のいずれかに決定される。タイプ A ~ E では、位相が極性パターンの周期の半分であるグループを単位としてシフトされるので、同図に示されるように全体としてみたときに、フレームにおいて特定の時間帯にオン（オフ）駆動となることに起因するフリッカーも、奇数フレームと偶数フレームとにおいて交互に現れることに起因するフリッカーも、高周波数成分で現れることになる。

したがって、第 2 実施形態では、オンオフ駆動による明暗に加えて、なんらかの理由によって極性で明るさが異なっている場合でも、フリッカーを視認し難くすることが可能となる。

なお、第 2 実施形態では、1 フレームにおけるグループ数を「5」とした例であったが、3 以上の奇数であれば良い。

【0034】

次に、本発明の第 3 実施形態について説明する。上述した第 1 および第 2 実施形態では、映像信号 D_a をメモリー 45 に書き込んだ後、表示パネル 100 の駆動タイミングに応じて読み出す構成としたが、メモリー 45 に記憶する対象としては、映像信号 D_a を所定のルールにしたがって符号化したデータであっても良い。

【0035】

図 12 は、第 3 実施形態に係る電気光学装置の構成を示すブロック図である。この図が図 1 と相違する点は、画質調整部 30 の後段にエンコーダ 48 が配置した点と、図 1 における SF コード変換部 52 がデコーダ 58 に置換された点とに加え、フレームを構成する第 1 ~ 第 4 グループに優先順位が設定されている点とにある。

詳細には、図 13 に示されるように、第 3 実施形態におけるフレームの構成は、図 4 に示した第 1 実施形態と同様であるが、第 1 グループ、第 3 グループ、第 2 グループ、第 4 グループという順序で優先順位が定められている。

【0036】

エンコーダ 48 は、映像信号 D_a を、階調レベルに応じて図 14 に示されるような符号化データ D_c に変換する。符号化データ D_c は、同図に示されるように、各階調レベルに

10

20

30

40

50

対応した4桁の数字からなる。このうち、4桁目は、重みが「1」であるサブフィールド $s f 1$ 、 $s f 5$ 、 $s f 9$ 、 $s f 13$ においてオン駆動すべきサブフィールドの数を示し、3桁目は、重みが「2」であるサブフィールド $s f 2$ 、 $s f 6$ 、 $s f 10$ 、 $s f 14$ においてオン駆動すべきサブフィールドの数を示している。同様に2(1)桁目は、重みが「3」(「4」)であるサブフィールド $s f 3$ 、 $s f 7$ 、 $s f 11$ 、 $s f 15$ ($s f 4$ 、 $s f 8$ 、 $s f 12$ 、 $s f 16$)においてオン駆動すべきサブフィールドの数を示している。

なお、この例では、符号化データの各桁は、対応する「重み」における4つのサブフィールドのうち、オン駆動すべきサブフィールドの数を示しているが、オフ駆動すべきサブフィールド数としても良いのはもちろんである。

【0037】

第3実施形態におけるメモリー制御部40は、タイミング調整回路20による制御にしたがって、符号化データDcをメモリー45に書き込む一方で、表示パネル100で駆動する画素に応じた映像信号を当該メモリー45から読み出すものである。なお、メモリー45に書き込まれる符号化データ号Dcと区別するために、読み出される符号化データをDcと表記している。

【0038】

デコーダ58は、符号化データDcを、図14に示されるようにSFコードに変換する。詳細には、デコーダ58は、符号化データDcの各桁で示されるオン駆動すべきサブフィールドの数を、グループに定められた優先順位で割り振る。

例えば、符号化データDcが「3100」である場合、その4桁目は「3」であるから、重みが「1」であるサブフィールド $s f 1$ 、 $s f 5$ 、 $s f 9$ 、 $s f 13$ のうち、順位が「1」の(第1グループの)サブフィールド $s f 1$ に対応するビットc1と、順位が「2」の(第3グループの)サブフィールド $s f 9$ に対応するビットc9と、順位が「3」の(第2グループの)サブフィールド $s f 5$ に対応するビットc5とは、それぞれオン駆動を示す「1」に変換され、順位が「4」の(第4グループの)サブフィールド $s f 13$ に対応するビットc13は、オフ駆動を示す「0」に変換される。

さらに3桁目は「1」であるから、重みが「2」であるサブフィールド $s f 2$ 、 $s f 6$ 、 $s f 10$ 、 $s f 14$ のうち、順位が「1」のサブフィールド $s f 2$ に対応するビットc2は「1」に変換され、順位が「2」のサブフィールド $s f 10$ に対応するビットc10と、順位が「3」のサブフィールド $s f 6$ に対応するビットc6と、順位が「4」のサブフィールド $s f 14$ に対応するビットc14とは、それぞれ「0」に変換される。

なお、2桁目は「0」であるから、重みが「3」であるサブフィールドに対応するビットc3、c7、c11、c15は、それぞれ「0」に変換される。また、1桁目も「0」であるから、重みが「4」であるサブフィールドに対応するビットc4、c8、c12、c16も、それぞれ「0」に変換される。

したがって、符号化データDcが「3100」である場合、それぞれビットc1~c16の順に4ビットずつ区切ると「1100-1000-1000-0000」のSFコードに変換される。

【0039】

位相制御部54が、読み出された符号化データDcで指定される画素の位置に応じてタイプを決定し、SFビット選択部56が、変換されたSFコードのビットc1~c16のうち、いずれかの1ビットを、決定されたタイプと表示パネル100の駆動タイミング(サブフィールド)とに応じて選択し、SFビットSbとして出力する点については、第1実施形態と同様である。

したがって、第3実施形態においても、第1実施形態と同様に、オンオフ駆動で生じる明暗をフリッカーとして視認され難くすることが可能となるのである。

【0040】

なお、本発明は、上述した実施形態に限られず、様々な応用・変形が可能である。例えば、画素110を構成する液晶素子120は、透過型に限られず反射型であっても良い。さらに、ノーマリーブラックモードに限られず、ノーマリーホワイトモードであっても良

10

20

30

40

50

い。

さらに、表示素子としては液晶素子 120 に限られず、例えば EL 素子、電子放出素子、電気泳動素子、デジタルミラー素子や、プラズマディスプレイなどのガス発光素子にも適用可能である。ここで、画素として、液晶素子 120 以外の光学応答が速い表示素子を用いるときには、その明るさが、フレームにおいてオン（またはオフ）駆動の占める期間でほぼ定まるので、オン駆動すべきサブフィールドを離散的および連続的とすることによって異なる明るさとすることがしにくくなるが、フレームを複数のグループで分類して、各サブフィールドのオンオフ駆動パターンをタイプ毎にシフトさせれば良い点については、実施形態で説明した通りである。

また、走査線駆動回路 130 については、走査線を各サブフィールドにおいて 1、2、3、…、1080 行目という順番で選択するのではなく、例えばサブフィールドの重みに対応した走査線数分だけ飛び越した順番で選択しても良い。

【0041】

次に、上述した電気光学装置を用いた電子機器の一例として、電気光学装置をライトバルブとして用いたプロジェクターについて説明する。図 15 は、このプロジェクターの構成を示す平面図である。

この図に示されるように、プロジェクター 2100 の内部には、ハロゲンランプ等の白色光源からなるランプユニット 2102 が設けられている。このランプユニット 2102 から射出された投射光は、内部に配置された 3 枚のミラー 2106 および 2 枚のダイクロイックミラー 2108 によって R（赤）色、G（緑）色、B（青）色の 3 原色に分離され、各原色に対応するライトバルブ 100R、100G および 100B にそれぞれ導かれる。なお、B 色の光は、他の R 色や G 色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ 2122、リレーレンズ 2123 および出射レンズ 2124 からなるリレーレンズ系 2121 を介して導かれる。

【0042】

このプロジェクター 2100 では、表示パネル 100 を含む電気光学装置が、R 色、G 色、B 色のそれぞれに対応して 3 組設けられる。そして、R 色、G 色、B 色のそれぞれに対応する映像信号がそれぞれ上位回路から供給されて、SF コードに変換された後、当該 SF コードのうち、画素の位置などに応じた SF ビットが選択される構成となっている。ライトバルブ 100R、100G および 100B の構成は、上述した表示パネル 100 と同様であり、R 色、G 色、B 色のそれぞれに対応する SF ビットに応じて、サブフィールド毎にそれぞれ駆動されるものである。

ライトバルブ 100R、100G、100B によってそれぞれ変調された光は、ダイクロイックプリズム 2112 に 3 方向から入射する。そして、このダイクロイックプリズム 2112 において、R 色および B 色の光は 90 度に屈折する一方、G 色の光は直進する。したがって、各色の画像が合成された後、スクリーン 2120 には、投射レンズ 2114 によってカラー画像が投射されることとなる。

【0043】

なお、ライトバルブ 100R、100G および 100B には、ダイクロイックミラー 2108 によって、R 色、G 色、B 色のそれぞれに対応する光が入射するので、カラーフィルタを設ける必要はない。また、ライトバルブ 100R、100B の透過像は、ダイクロイックプリズム 2112 により反射した後に投射されるのに対し、ライトバルブ 100G の透過像はそのまま投射されるので、ライトバルブ 100R、100B による水平走査方向は、ライトバルブ 100G による水平走査方向と逆向きにして、左右を反転させた像を表示する構成となっている。

【0044】

電子機器としては、図 15 を参照して説明した他にも、テレビジョンや、ビューファイnder型・モニタ直視型のビデオテープレコーダー、カーナビゲーション装置、ページャー、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、デジタルスチルカメラ、携帯電話機、タッチパネルを備えた機器等などが挙げられる

10

20

30

40

50

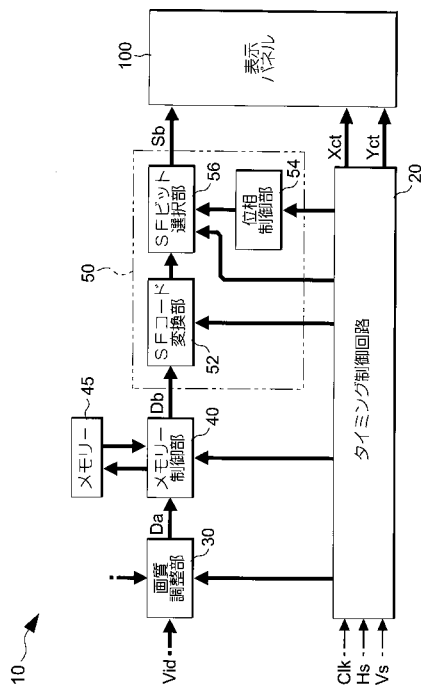
。そして、これらの各種の電子機器に対して、上記電気光学装置が適用可能なのは言うまでもない。

【符号の説明】

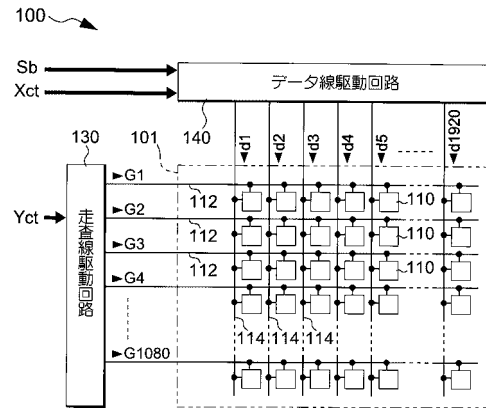
【0045】

10...電気光学装置、20...タイミング制御回路、30...画質調整部、40...メモリー制御部、45...メモリー、50...SFビット変換部、52...SFコード変換部、54...位相制御部、56...SFビット選択部56、100...表示パネル、110...画素、112...走査線、114...データ線、120...液晶素子、130...走査線駆動回路、140...データ線駆動回路、2100...プロジェクター

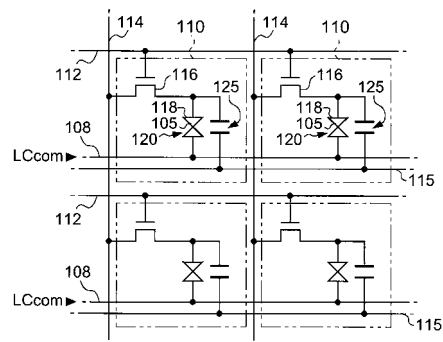
【図1】



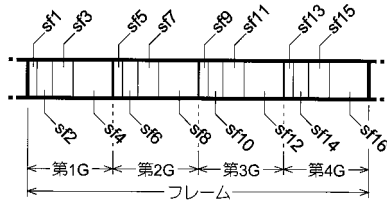
【図2】



【図3】



【 図 4 】



【 図 5 】

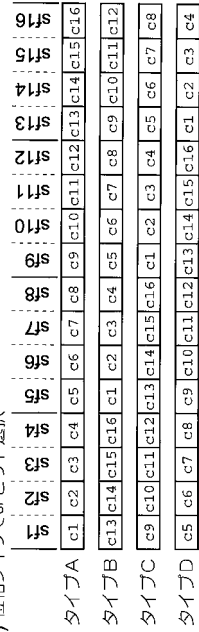
		SFコード															
		c1	c2	c3	c4	c5	c6	c7	c8	c9	c10	c11	c12	c13	c14	c15	c16
階調レベル	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	2	1	0	0	1	0	0	0	1	0	0	0	1	0	0	0	0
	3	0	1	0	0	0	0	0	0	1	0	0	0	1	0	0	0
	4	0	1	0	0	1	0	0	0	0	1	0	0	0	1	0	0
	5	1	1	0	0	1	0	0	1	1	0	0	0	1	0	0	1
	254	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1	
	255	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	

1: オン駆動
0: オフ駆動

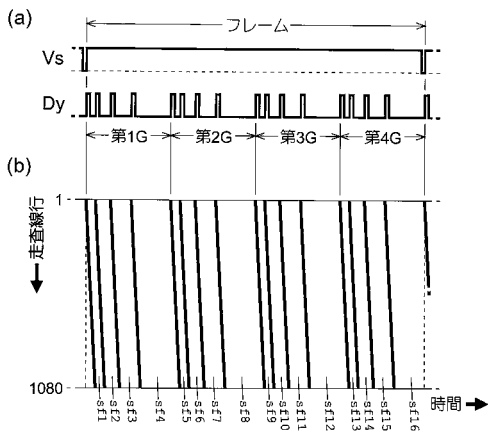
【 図 6 】



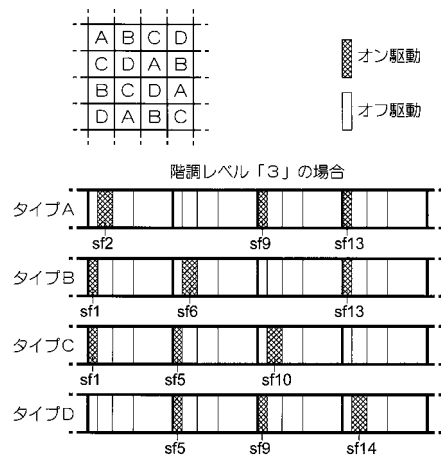
(b) 位相タイプでSFビット選択



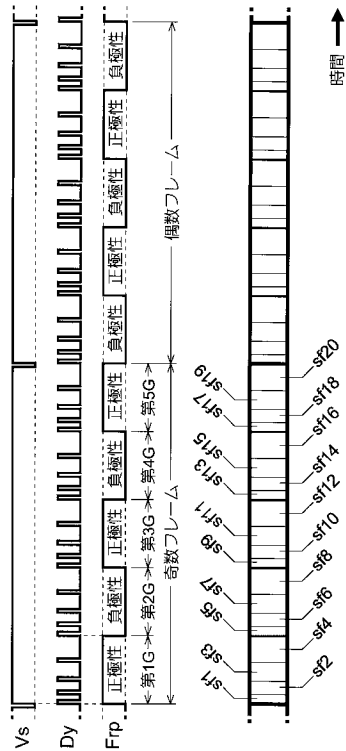
【 図 7 】



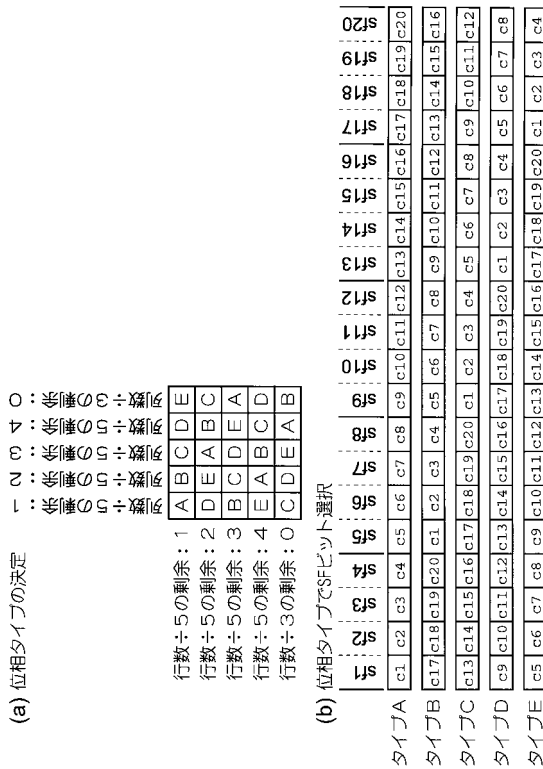
【 図 8 】



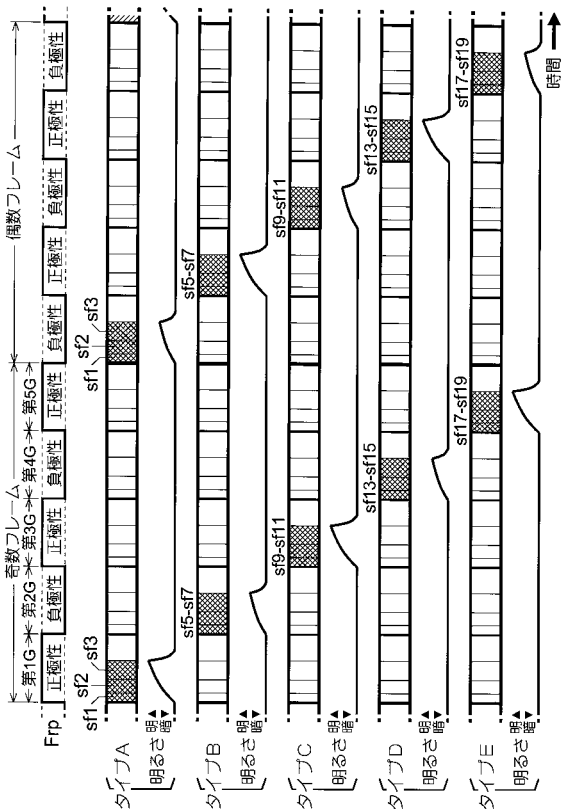
【図 9】



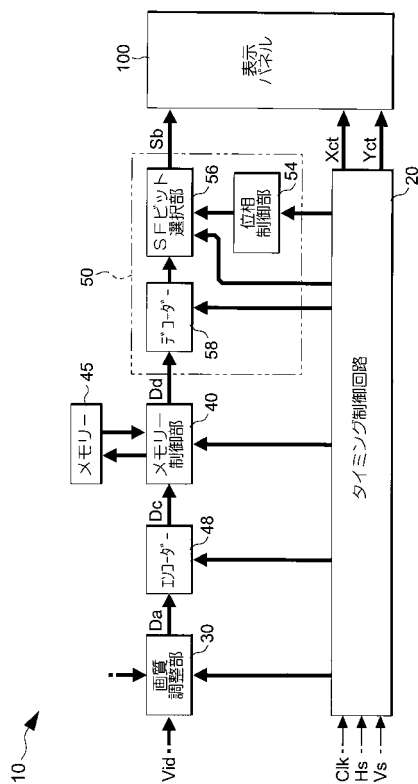
【図 10】



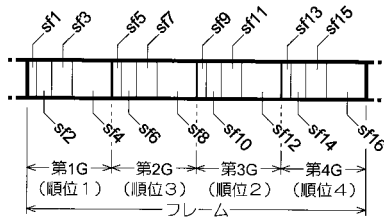
【図 11】



【図 12】



【図13】



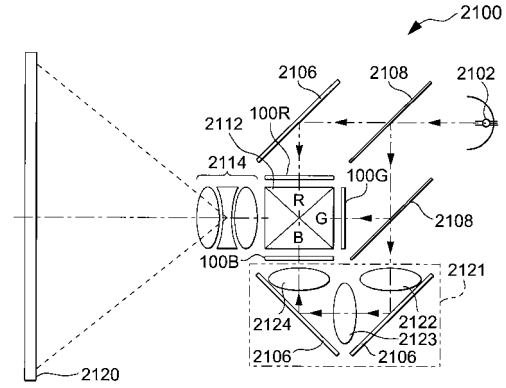
【図14】

	符号化データ	SFコード															
		0	1	2	3	4	5	6	7	8	9	0	1	2	3	4	5
階調レベル	0	0000	000000000000000000														
	1	1000	100000000000000000														
	2	2000	100000000100000000														
	3	0100	010000000000000000														
	4	3100	110010000100000000														
	5	4200	11001000011001000														
	254	3444	11111111111110111														
	255	4444	11111111111111111														

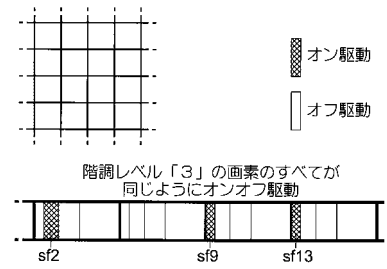
4桁目 3桁目 2桁目 1桁目

1: オン駆動
0: オフ駆動

【図15】



【図16】



 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 1 B
	G 0 9 G 3/20	6 3 1 V
	G 0 9 G 3/20	6 2 2 R
	G 0 2 F 1/133	5 5 0
	G 0 2 F 1/133	5 7 5
	H 0 4 N 5/66	B

(72)発明者 北川 拓

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 2H193 ZA04 ZD25 ZD31 ZF12 ZF17
 5C006 AA14 AA22 AB03 AF01 AF13 AF22 AF34 AF44 AF45 AF51
 AF52 AF53 AF71 AF85 BB16 BC06 BF02 FA04 FA23
 5C058 AA06 AA11 AA12 AA13 BA04 BA09 BB14
 5C080 AA05 AA06 AA10 AA13 BB05 CC03 DD06 EE29 FF11 JJ02
 JJ03 KK01 KK02 KK07 KK23 KK43 KK47