

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200310103424.2

H01L 29/78 (2006.01)

H01L 27/12 (2006.01)

H01L 21/336 (2006.01)

H01L 21/84 (2006.01)

[45] 授权公告日 2007 年 7 月 25 日

[11] 授权公告号 CN 1328795C

[22] 申请日 2003.10.31

[21] 申请号 200310103424.2

[73] 专利权人 北京大学

地址 100871 北京市海淀区颐和园路 5 号

[72] 发明人 张盛东 陈文新 张志宽 黄如

韩汝琦

[56] 参考文献

US6420218B1 2002.7.16

US6380010B2 2002.4.30

审查员 高莺然

[74] 专利代理机构 北京君尚知识产权代理事务所

代理人 俞达成

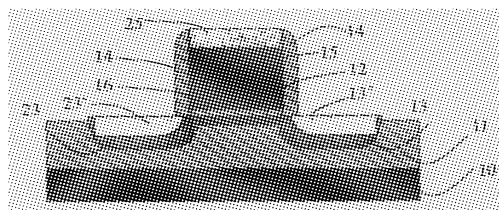
权利要求书 2 页 说明书 7 页 附图 3 页

[54] 发明名称

一种源漏下陷型超薄体 SOIMOS 晶体管及其制备方法

[57] 摘要

本发明提供了一种自对准的源漏下陷型超薄体 SOI MOS 晶体管结构。该 MOS 器件有一个薄的沟道区和厚的源漏区。沟道区位于绝缘衬底的埋层介质的表面，源漏区位于沟道区两端并下陷于埋层介质中。这样，源漏区为低阻硅化物的生成提供足够的材料。该器件结构的一主要特征是厚源漏区相互对称并和栅电极自对准。这一自对准结构形成的工艺方法包括如下步骤：在栅电极两侧形成牺牲侧墙；以该侧墙和栅电极为掩膜各相同性地腐蚀埋层介质形成浅槽；以浅槽区内显露的半导体层为籽晶外延生长或淀积半导体材料以填充浅槽。



1. 一种源漏下陷型超薄体 SOI MOS 晶体管的制作方法，包括以下步骤：
 - (1) 减薄 SOI 衬底上半导体层的厚度到所需厚度；
 - (2) 定出器件有源区；
 - (3) 生长栅介质层；
 - (4) 淀积栅电极层和牺牲介质层，光刻和刻蚀所淀积的牺牲介质层、栅电极层、和栅介质层形成栅电极图形；
 - (5) 淀积牺牲侧墙介质层，回刻后在栅电极两侧形成侧墙，再刻蚀侧墙和栅电极以外的硅层至隐埋氧化层；
 - (6) 涂布光刻胶并光刻，显露出有源区；
 - (7) 采用各向同性腐蚀技术腐蚀所露出的隐埋氧化层以形成浅槽,当浅槽的侧面边界延伸到栅电极以下后停止腐蚀；
 - (8) 采用半导体材料填充所形成的浅槽并与浅槽内的硅层相连；
 - (9) 腐蚀掉所有栅电极顶部和两侧的牺牲介质层后再淀积或者热氧化生长形成另一薄介质层；
 - (10) 离子注入掺杂源漏区和栅电极，然后回刻上述薄介质层以形成栅电极侧墙；
 - (11) 采用常规硅化物技术在源漏区以及栅电极上制作硅化物；
 - (12) 最后进入常规 CMOS 后道工序，包括淀积钝化层、开接触孔以及金属化等，即可制得所述的超薄体 SOI MOS 晶体管。

2. 如权利要求 1 所述的制作方法，其特征在于，所述步骤（1）中所采用的 SOI 衬底为键合/腐蚀型或氧注入型材料，SOI 减薄采用的技术是热氧化和腐蚀。

3. 如权利要求 1 所述的制作方法，其特征在于，所述步骤（4）中牺牲介质层材料为氮化硅，或者其它与硅和氧化硅均有很高腐蚀选择比的薄膜材料；其膜厚为 200~400 埃。

4. 如权利要求 1 所述的制作方法，其特征在于，所述步骤（5）中牺牲侧墙介质层材料为氮化硅，或者其它与硅和氧化硅均有很高腐蚀选择比的薄膜材料；其膜厚为 400~800 埃。

5. 如权利要求 1 所述的制作方法，其特征在于，所述步骤（8）中浅槽填充方法是下列之一：选择外延法，选择 CVD 法，LPCVD 法；填充材料是硅或锗硅合金。

6. 如权利要求 5 所述的制作方法，其特征在于，所述的 LPCVD 方法包括以下步骤：多晶硅或多晶锗硅淀积、化学机械抛光和回刻。

7. 如权利要求 6 所述的制作方法，其特征在于，其中所淀积多晶硅或多晶锗硅的厚度应大于栅电极顶部的牺牲介质层、栅电极层和栅介质层厚度之和。

一种源漏下陷型超薄体 SOI MOS 晶体管及其制作方法

技术领域:

本发明属于半导体集成电路及其制造技术领域, 尤其涉及一种源漏下陷型超薄体 SOI MOS 晶体管及其制作方法。

背景技术:

集成电路尤其超大规模集成电路中的主要器件是金属-氧化物-半导体场效应晶体管(metal oxide semiconductor field effect transistor, 简称 MOSFET)。自 MOSFET 被发明以来, 其几何尺寸一直在不断缩小, 目前其特征尺寸已进入亚十分之一微米区。在此区域, 各种实际的和基本的限制开始出现, 器件尺寸的进一步缩小正变得越来越困难。就常规的互补型金属-氧化物-半导体(complementary metal-oxide-semiconductor, 简称 CMOS) 集成电路技术而言, 随着 MOS 器件特征尺寸(栅长度)的不断减小, 为抑制短沟道效应, 其它部分的几何尺寸也必须相应缩小。其中最具挑战性的是源漏结深的减小。MOSFET 通常可分两类, 一类是体硅型, 即器件制作在体硅衬底上; 另一类是绝缘衬底上硅(Silicon on insulator, 简称 SOI)型, 即器件制作在 SOI 衬底上。在体硅情况下, 源漏区通常由离子注入或扩散掺杂来形成, 实践发现这些技术是很难在体硅衬底上实现超浅结源漏区的。而在 SOI 情况下, 源漏结深总是小于或等于硅层的厚度, 这样当硅层的厚度极度减小, 即为超薄体(ultra thin body, 简称 UTB)时, 源漏区自然形成超浅结深。因此, SOI 技术使得超浅结源漏的形成难度显著降低。除此之外, 当 SOI 的硅层为超薄体时, 晶体管的工作模式为全耗尽(fully depletion, 简称 FD)模式。在此模式下, 晶体管呈现理想的亚阈值斜率和高饱和电流。正因为如此, UTB MOSFET 完全有可能将集成电路技术推进到 50 纳米之后。

然而, 当 SOI 的硅层为超薄体时, 如何减小源漏寄生电阻成为一个主要技术挑战。大规模集成电路制造过程中不可缺少的一关键工艺是在 MOS 晶体管源漏区形成硅化物。源漏区硅化物的形成可有效降低源漏寄生电阻。要获得低方阻的硅

化物层,通常要消耗厚度为 350 埃以上的硅膜。而在亚 50 纳米栅长的情况下,UTB SOI MOSFET 的体区硅膜厚度须在 150 埃以下。这一矛盾可以通过提升源漏区高度以增加其厚度来解决。但这一解决方案存在以下两个问题:一是其升高的源漏部分在源漏和栅之间引入了额外的寄生电容,二是其升高的源漏部分与沟道区之间仍然存在一段超薄的高阻区,而减少这两个寄生参量所需条件是相互抵触的。增加超薄体 SOI 器件源漏区厚度的另一方案是采用源漏下陷(recessed source drain)结构,也称作为沟道升高(elevated channel)结构,这种结构原则上不存在前述源漏区升高结构中所存在的额外寄生电容和电阻分量,但在采用这一结构时普遍存在两大难题:一是源漏区与栅无法自对准;二是沟道区无法采用原始单晶膜,通常由非晶硅或多晶硅再结晶而致。

发明内容:

本发明的目的是提供一种自对准的源漏下陷型超薄体 SOI MOS 晶体管结构。

本发明的另一目的是提供一种能实现自对准的并且沟道膜为原始单晶的超薄体 SOI MOS 晶体管结构的制作方法。

本发明的技术方案如下:

一种源漏下陷型超薄体 SOI MOS 晶体管,包括一栅电极,一栅介质层,一对栅电极侧墙介质层,一沟道区,一源区和一漏区,所述栅电极位于栅介质层之上,所述栅介质位于沟道层之上,所述沟道区两端分别与所述源区和漏区相连;所述 MOS 晶体管形成于绝缘衬底上。并且,所述源漏区的底部低于沟道区底部,即源漏区比沟道区厚;厚的源漏区通过辐射状的衔接部分过渡到薄的沟道区;在所述过渡区,源漏区的一小部分延伸到所述栅电极之下;源漏区相互对称并和栅电极自对准。

上述的源漏下陷型超薄体 SOI MOS 晶体管形成于绝缘衬底上。绝缘衬底包括一隐埋介质层和一半导体基底。所述隐埋介质层在制造过程中形成浅槽,上述晶体管的源漏区位于该隐埋介质层的浅槽内,即源漏区下陷于隐埋介质层之中,而沟道区位于该隐埋介质层的表面。

上述晶体管的制作方法,包括以下步骤:

1. 首先将 SOI 衬底上半导体层的厚度减薄到所需厚度。

2. 定出器件有源区。
3. 生长栅介质层。
4. 淀积栅电极层和牺牲介质层，接着光刻和刻蚀所淀积的牺牲介质层、栅电极层和栅介质层形成栅电极图形。
5. 淀积牺牲侧墙介质层，回刻后在栅电极两侧形成侧墙，再刻蚀侧墙和栅电极以外的硅层到隐埋氧化层。
6. 涂布光刻胶并光刻，以露出有源区。
7. 采用各向同性腐蚀技术腐蚀所露出的隐埋氧化层以形成浅槽。当浅槽的侧面边界延伸到栅电极以下后停止腐蚀。这样，侧墙之下的硅层的底部裸露。
8. 采用半导体材料填充所形成的浅槽并与裸露的侧墙之下的硅层相连。
9. 腐蚀掉所有栅电极顶部和两侧的牺牲介质层后再淀积或热氧化生长形成另一薄介质层。
10. 离子注入掺杂源漏区和栅电极，然后回刻上述薄介质层以形成栅电极侧墙。
11. 采用常规硅化物技术在源漏区以及栅电极上制作硅化物。
12. 最后进入常规 CMOS 后道工序，包括淀积钝化层、开接触孔以及金属化等，即可制得所述的超薄体 SOI MOS 晶体管及其集成电路。

所述的制作方法，步骤 1 所采用的 SOI 衬底为键合/腐蚀型或氧注入 (SIMOX) 型材料，SOI 减薄采用的技术是热氧化和腐蚀。硅膜的最终厚度为 50~200 埃。

所述的制作方法，步骤 4 中的栅电极材料首选为多晶硅，也可为锗硅合金等其它金属和金属硅化物。牺牲介质层材料首选为氮化硅，也可为其它与硅和氧化硅均有很高腐蚀选择比的薄膜材料。

所述的制作方法，步骤 5 中牺牲侧墙介质层材料首选为氮化硅，也可为其它与硅和氧化硅均有很高腐蚀选择比的薄膜材料。

所述的制作方法，步骤 8 中首选的浅槽填充方法是选择外延法，也可为选择 CVD 法，LPCVD 法；填充材料首选是硅，也可是锗硅合金。

本发明的优点和积极效果：本发明的源漏下陷型超薄体 SOI MOS 晶体管结构，具有一个超薄的沟道区和较厚的源漏区。沟道区位于绝缘衬底的隐埋氧化层的表面，源漏区位于沟道区两端并下陷于隐埋氧化层中。这样，源漏区为低阻硅

化物的生成提供足够的材料。该器件结构的一主要特征是厚源漏区相互对称并和栅电极自对准。同时，沟道区可以采用原始单晶膜。

附图说明：

图 1 为本发明具体实施例所描述的集成电路一部分的剖面结构示意图。示意了一形成于 SOI 衬底上的晶体管。

图 2~图 10 依次示出了本发明的晶体管及其集成电路的主要制作工艺步骤，其中：

图 2 示意了集成电路制造所采用的起始衬底材料的组成。

图 3 示意了有源区确定和栅介质层生长的工艺步骤。

图 4 示意了栅电极形成的工艺步骤。

图 5 示意了栅电极牺牲侧墙形成的工艺步骤。

图 6 示意了隐埋介质层上一光刻工艺步骤。

图 7 示意了隐埋介质层上自对准浅槽形成的工艺步骤。

图 8 示意了填充浅槽形成下陷源漏区的工艺步骤。

图 9 示意了源漏区掺杂的工艺步骤。

图 10 示意了栅电极侧墙形成的工艺步骤。

具体实施方式：

本发明所提出的晶体管（集成电路的一部分）的剖面图如图 1 所示。该晶体管形成于诸如硅的半导体衬底上。

所述半导体衬底是 SOI（semiconductor on insulator）衬底。所述 SOI 衬底首选为键合/腐蚀型材料，也可为氧注入型（SIMOX）材料。它由一薄半导体层（图 2 中的层 12'，图 1 中的层 12 是其一部分），一绝缘层 11 和一半导体基底 10 组成。半导体基底 10 非必需，即，仅薄半导体层 12 和绝缘层 11 也可构成所述 SOI 衬底。绝缘层 11 是形成于硅基底 10 之上的氧化层，首选是二氧化硅，其厚度为 750~2000 埃。绝缘层 11 在制造过程中形成若干浅槽，即图 6 所示的区域 31 和 32。所述浅槽的深度为 350~750 埃。半导体层 12' 首选是一薄的单晶硅层，也可为单晶的锗硅合金层，其厚度为 50~200 埃。

所述晶体管包括一栅结构 14+15+25，一栅介质层 16，一半导体沟道区 12，和—源区 23+23'，和一漏区 13+13'。其中栅电极 15 位于栅介质层 16 之上；栅介质层 16 位于半导体沟道区 12 之上；半导体沟道区 12 两端分别与—源区 23+23' 和漏区 13+13' 相连。

栅结构包括导电的栅电极部分 (15+25) 和一对位于该栅电极两侧的绝缘介质侧墙层 14。栅电极部分由重掺杂的半导体层 15 和其金属化合物 25 组成，也可全部由半导体金属化合物或仅由金属组成；栅电极材料优选为多晶硅或多晶锗硅及其相应的金属化合物。栅电极的高度为 800~1500 埃，长度小于 650 埃。绝缘介质侧墙层 14 为二氧化硅，其高度和宽度分别为 800~1500 埃和 100~300 埃。

栅介质层 16 的优选材料为氮氧化硅，也可为氧化硅或高 K 材料。其等效氧化层厚度 (equivalent oxide thickness, EOT) 为 5~20 埃。

半导体沟道区 12 位于绝缘衬底 11 的表面，其优选材料为单晶硅或单晶锗硅合金薄膜，其厚度为 50~200 埃。该区域是极轻掺杂甚至是未掺杂的。在掺杂的情况下，其掺杂类型与源漏区掺杂相反。超薄的沟道区显著减小器件的短沟道效应，增强器件的可缩小能力从而提高超大规模集成电路的密度。

源区 23+23'，和漏区 13+13' 分别位于绝缘层 11 的浅槽 (图 7 中的 31 和 32 区域) 内。源区的下半部分 23 和漏区下半部分 13 均为半导体层，上半部分 23' 和 13' 是相应的金属半导体化合物。源漏区的底部低于半导体沟道区 12 的底部，即源漏区比沟道区厚。如此下陷的源漏区有足够的半导体材料用于低阻的金属半导体化合物的生成。较厚的源区 23+23'、漏区 13+13' 通过辐射状的衔接部分过渡到较薄的沟道区 12。在所述过渡区，源漏区的中的 13 和 23 一小部分延伸到所述栅电极 15 之下。一显著特征是源漏区相互对称并和栅电极 15 自对准。这一对称和自对准结构的形成方法示意于图 6 和图 7。源漏区的材料为硅和金属硅化物，也可为锗硅和金属锗硅化物。源漏区的总厚度 (最深处) 为 350~750 埃。

所述晶体管的制作方法的一具体例由图 2 至图 10 所示，包括以下步骤：

如图 2 所示，所用衬底为 SOI 材料。该 SOI 材料由键合和背面腐蚀技术制成。它由硅基底 10、埋氧化层 11 和单晶硅膜 12 组成。埋氧化层的厚度为 750~2000

埃。硅膜 12 的起始厚度为 50~200 埃，如过厚，可由热氧化和 BOE 腐蚀技术减薄到所需厚度。基底也可以是蓝宝石或玻璃等绝缘材料。

如图 3 所示，采用常规 CMOS 工艺（光刻/刻蚀或 LOCOS 技术）定出器件有源区 12，并生长热氧化层 16。热氧化层 16 为二氧化硅，其厚度为 10~15 埃。栅介质的形成方法还可以为下列方法之一：掺氮热氧化、化学气相淀积（CVD）、物理气相淀积（PVD）。

如图 4 所示，用 LPCVD 淀积栅电极层多晶硅 15 和牺牲介质层氮化硅 17。多晶硅 15 的厚度为 800~1500 埃，氮化硅 17 的厚度为 200~400 埃。接着采用常规 CMOS 工艺光刻和刻蚀所淀积的牺牲介质层和栅电极层形成栅电极图形。然后以栅电极图形为掩膜腐蚀掉栅二氧化硅层 16 的裸露部分。半导体硅层 12 中被栅电极 15 所覆盖的部分形成晶体管的沟道区。所淀积的栅电极材料还可以为下列之一：多晶锗硅合金、金属。牺牲介质层材料还可以是其它与硅和氧化硅均有很高腐蚀选择比的薄膜材料。

如图 5 所示，用 LPCVD 淀积 400~800 埃的牺牲侧墙介质层氮化硅，接着用回刻（etch-back）技术在栅电极两侧形成宽度为 350~750 埃的氮化硅侧墙 18。然后以牺牲介质层氮化硅 17 和氮化硅侧墙 18 为掩膜腐蚀掉半导体硅层 12 所显露的部分。腐蚀停止于隐埋氧化层 11 上。牺牲侧墙介质层材料还可以是其它与硅和氧化硅均有很高腐蚀选择比的薄膜材料。

如图 6 所示，涂布一光刻胶层 21，再采用常规 CMOS 光刻工艺技术在光刻胶层上开一窗口。该窗口显露出氮化硅侧墙 18 和多晶硅栅电极 15。同时，在氮化硅侧墙 18 两侧还显露出隐埋氧化层 11 的部分表面 31' 和 32'。

如图 7 所示，以光刻胶层 21，氮化硅侧墙 18 和氮化硅 17 为掩膜，采用 BOE 腐蚀所露出的隐埋氧化层部分 31' 和 32' 以形成浅槽 31 和 32。由于 BOE 对二氧化硅的腐蚀是各向同性的，故在腐蚀过程中，所形成的浅槽 31 和 32 的内壁在向下延伸的同时也向侧面延伸。当浅槽 31 和 32 侧面边界延伸到栅电极 15 以下一定长度，即与栅电极 15 形成一定的交叠后停止腐蚀。由于腐蚀过程以栅电极 15 以及两侧的氮化硅侧墙 18 为掩膜，故栅电极 15 两端的交叠部分其长度是相等的并与栅电极 15 形成自对准。两端的交叠部分长度之和为栅电极长度的四分之一到三分之一。这样，在浅槽 31 和 32 形成后，硅层 12 两端位于浅槽区域内部分的底部

裸露。

如图 8 所示，用半导体材料硅或锗硅合金填充所形成的浅槽 31 和 32 以形成晶体管的源区 23 和漏区 13。优选的填充方法是选择外延法，即以硅层 12 两端位于浅槽区域内的部分为籽晶外延生长单晶硅或单晶锗硅。也可采用选择化学汽相淀积法（CVD），即以硅层 12 两端位于浅槽区域内的部分为基底选择淀积多晶硅或多晶锗硅。另一可采用的方法是常规低压化学汽相淀积法（LPCVD），包括：淀积一较厚的多晶硅或多晶锗硅层（其厚度应大于层 17，16，15 和 12 的厚度之和）；用化学机械抛光（CMP）技术使表面平坦化；回刻淀积的多晶硅或多晶锗硅层至场区隐埋氧化层。

如图 9 所示，源 23 漏 13 区半导体材料形成后，用热磷酸腐蚀掉所有栅电极顶部和两侧的牺牲介质氮化硅层 17 和 18。并再淀积另一厚度为 100~350 埃的二氧化硅介质层 14'。以层 14' 为缓冲层，离子注入掺杂栅电极 15，源区 23 和漏区 13。对 N 型晶体管而言，掺杂剂为磷或砷或锑等。对 P 型晶体管而言，掺杂剂为硼或氟化硼或铟或镓等。掺杂剂浓度为 $5 \times 10^{19} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ 。

如图 10 所示，栅电极 15，源区 23 和漏区 13 掺杂后回刻离子注入缓冲层 14' 以形成栅电极侧墙 14。侧墙 14 的厚度为 100~300 埃。

如图 1 所示，以侧墙 14 为隔离层，采用常规 CMOS 技术在栅电极 15，源区 23 和漏区 13 上自对准制作金属硅化物层 25、23' 和 13'。由于源区 23 和漏区 13 下陷于隐埋氧化层 11 中，而且该下陷深度是可调节的，故为低阻的金属硅化物层 23' 和 13' 的形成提供了足够的可消耗硅层。

最后进入常规 CMOS 后道工序，包括淀积钝化层、开接触孔以及金属化等，即可制得所述的超薄体 SOI MOS 晶体管。

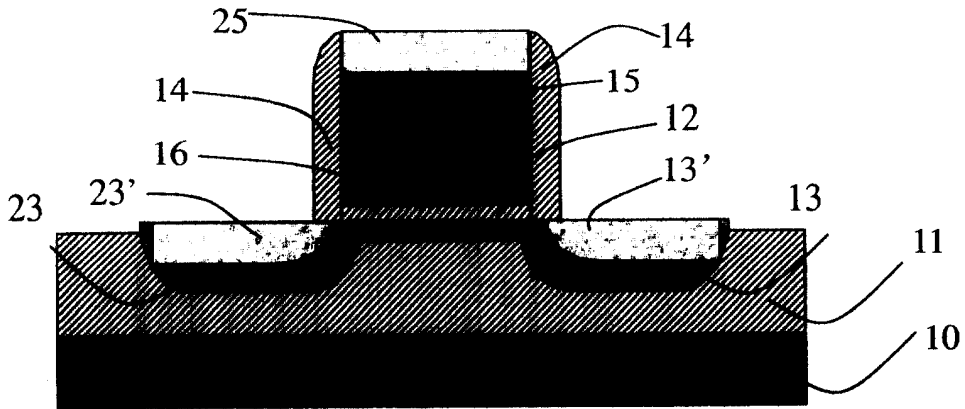


图 1



图 2



图 3

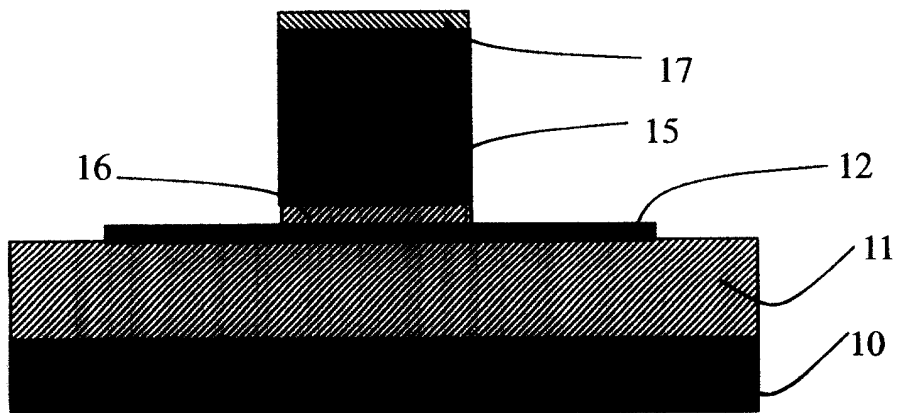


图 4

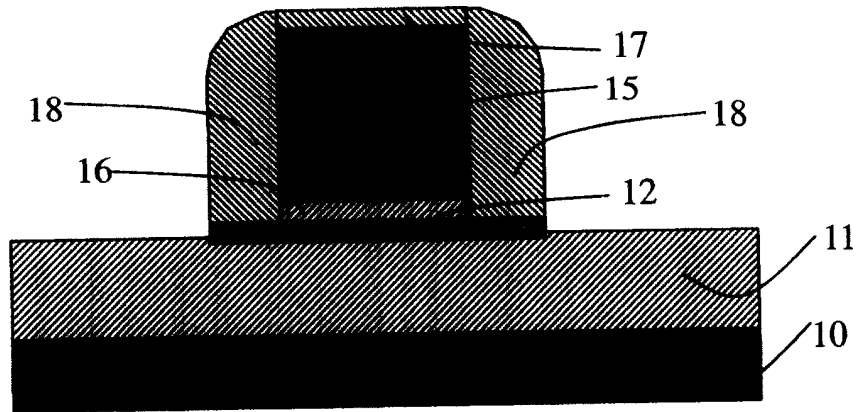


图 5

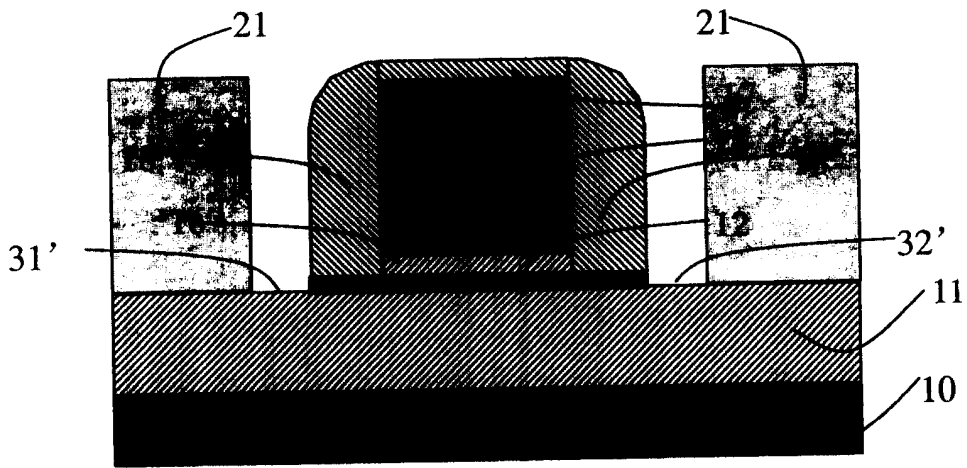


图 6

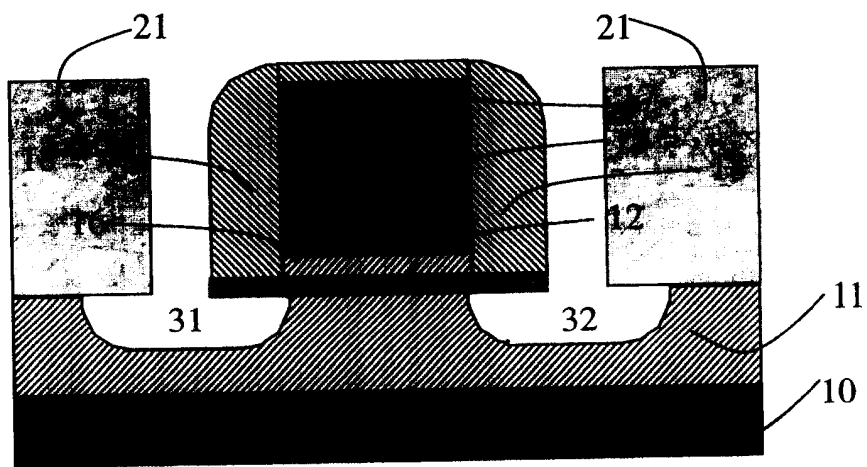


图 7

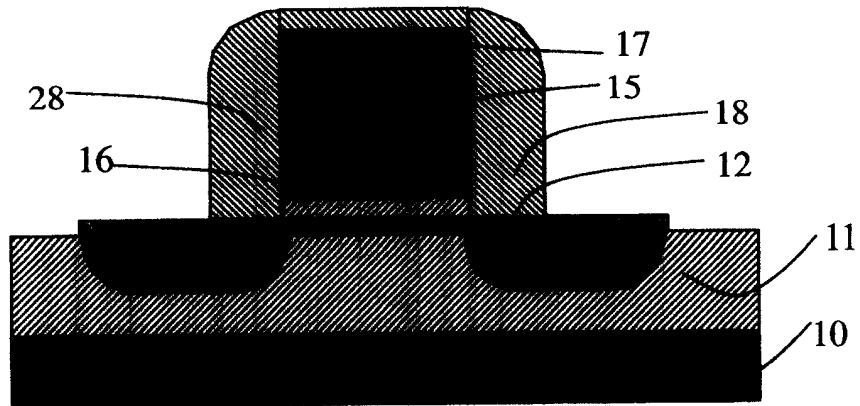


图 8

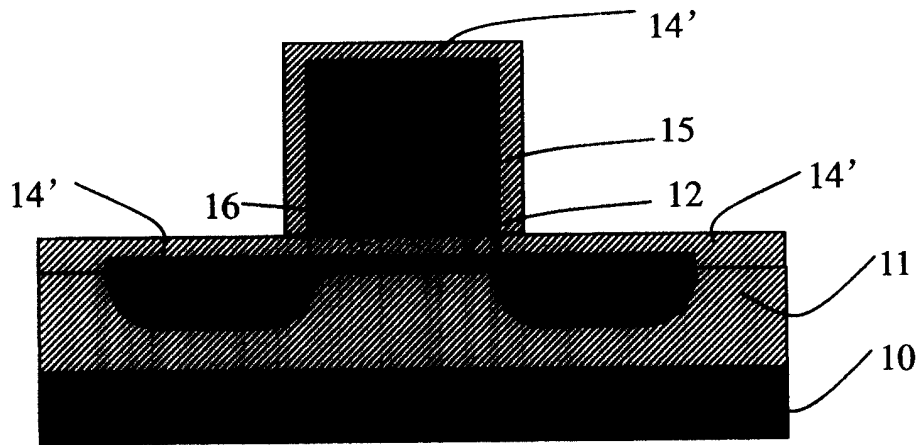


图 9

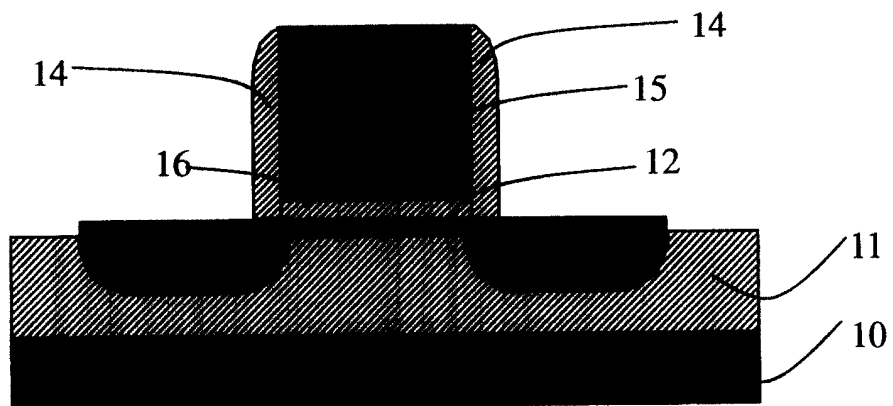


图 10