

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3955409号
(P3955409)

(45) 発行日 平成19年8月8日(2007.8.8)

(24) 登録日 平成19年5月11日(2007.5.11)

(51) Int. Cl.	F I
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 3 2 1
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 6 1 3 B
HO 1 L 29/792 (2006.01)	HO 1 L 29/78 6 1 8 D

請求項の数 6 (全 28 頁) 最終頁に続く

(21) 出願番号	特願平11-71402	(73) 特許権者	503121103
(22) 出願日	平成11年3月17日(1999.3.17)		株式会社ルネサステクノロジ
(65) 公開番号	特開2000-269457(P2000-269457A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成12年9月29日(2000.9.29)	(74) 代理人	100080001
審査請求日	平成15年11月7日(2003.11.7)		弁理士 筒井 大和
		(74) 代理人	100075096
			弁理士 作田 康夫
		(74) 代理人	100068504
			弁理士 小川 勝男
		(72) 発明者	石井 智之
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究
			所内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタおよび第2のトランジスタを有するメモリセルと、
前記第1のトランジスタのソース電極またはドレイン電極に接続された読み出しデータ線と、

前記第2のトランジスタのソース電極またはドレイン電極の一方に接続された書き込みデータ線と、

前記第2のトランジスタのゲート電極に接続されたワード線とを有し、

前記第1のトランジスタのゲート電極に前記第2のトランジスタのソース電極またはドレイン電極の他方が接続され、

前記第2のトランジスタのシリコンで構成されたチャンネル領域の平均の厚さが5nm以下であり、

前記メモリセルは、前記第1のトランジスタのゲート電極の電荷量によって、情報を記憶し、

リフレッシュ時には、前記読み出しデータ線および前記書き込みデータ線を介して、記憶した情報を前記メモリセルに再書き込みすることを特徴とする半導体記憶装置。

【請求項2】

請求項1記載の半導体記憶装置において、

前記再書き込みは、前記メモリセルに記憶された情報を読み出すことによって前記読み出しデータ線に現れた電圧の反転情報に対応する電圧を前記書き込みデータ線に供給し、

前記ワード線に書き込みパルスを与えることによって行なわれることを特徴とする半導体記憶装置。

【請求項3】

請求項1記載の半導体記憶装置において、

前記第2のトランジスタは、前記第1のトランジスタのゲート電極上に重なりを有するように配置され、

前記第2のトランジスタのソース電極およびドレイン電極は、基板面に対し垂直方向に配置され、

前記チャンネル領域は、前記第2のトランジスタのゲート電極の側面に配置されていることを特徴とする半導体記憶装置。

10

【請求項4】

請求項3記載の半導体記憶装置において、

前記第2のトランジスタのゲート電極の少なくとも一部が前記チャンネル領域に囲まれていることを特徴とする半導体記憶装置。

【請求項5】

請求項3記載の半導体記憶装置において、

前記第2のトランジスタのゲート電極が、前記第2のトランジスタのソース電極およびドレイン電極並びにチャンネル領域を含む構造の外周部を覆っていることを特徴とする半導体記憶装置。

【請求項6】

請求項1記載の半導体記憶装置において、

前記第2のトランジスタは、前記第1のトランジスタに対する素子分離領域上に配置されていることを特徴とする半導体記憶装置。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子及び半導体装置に関する。

【0002】

【従来の技術】

通常MOSFET (metal-oxide-semiconductor field effect transistor) はオフ状態でpn接合によって電流が流れるのを防いでいる。リーク電流の主因としてサブスレッショルド電流とキャリアの再結合の逆過程等が挙げられる。このような電流は微少ではあるが無視はできず、例えばDRAM(dynamic random access memory)の記憶保持時間を決定し、リフレッシュサイクルを決める。リーク電流低減の手段としてエピタキシャル成長させたウエハを用いて結晶欠陥を少なくする方法やSOI (silicon on insulator) ウエハを用いてオフ状態で完全空乏化させる方法が考えられている。

30

【0003】

また、従来、DRAMセルの蓄積電荷を減少させても動作可能な構造として、ゲインセルと呼ばれる記憶素子構造が提案されている。これは書き込み用のトランジスタを介して記憶ノードに電荷を注入し、蓄積された電荷により他に設けた読み出し用のトランジスタのしきい電圧が変化することを利用して記憶を行うものである。本発明に関連した従来技術として、書き込み用のトランジスタに多結晶シリコンを用いたH. Shichijo et al, Conference on Solid State Devices and Materials pp265-268, 1984年、及び読み出し用のトランジスタに多結晶シリコンを用いた S. Shukuri et al, IEEE International Electron Devices Meeting pp1006-1008, 1992年を挙げる。

40

【0004】

本発明に関連した他の従来技術として、K. Yano et al, IEEE International Electron Devices Meeting pp541-544, 1993年、及びT. Ishii et al, IEEE International Solid State-State Circuits Conferences pp266-267, 1996年に記載されている多結晶シリコンを用いた単一電子メモリをあげる。この技術においては多結晶シリコン薄膜によって電流

50

経路であるチャネル及び電子を捕獲する記憶領域を同時形成する。記憶領域に電子が捕獲されるとしきい電圧が変化することを利用し、情報の記憶を行なう。数個の電子の蓄積で1ビットの記憶を行なう所に特徴がある。記憶領域への電子注入はゲート電極に12Vないしは15Vの電圧を印加して行う。逆の蓄積電子放出ではゲート電極に-10Vないしは-15Vの電圧を印加する。多結晶シリコンの結晶粒の利用によって加工した寸法より実効的に小さい構造が実現され、室温においても動作が可能となる。また1トランジスタで記憶素子が構成できる。

【0005】**【発明が解決しようとする課題】**

MOSFETの微細化の指針としてスケーリング側がある。これによればサイズを1/Kにした場合に基板濃度をK倍にする。しかし、基板濃度を上げると空乏層幅が狭まり、接合のリークは増えてしまう。これに対し、SOI基板を用いてオフ状態で完全に空乏化させる方法が考えられる。この場合でもキャリアの再結合の逆過程等の要因によって通常基板と比べて相対的には小さいながらリーク電流は流れる。また微細化が非常に進むとチャネル内不純物の位置ゆらぎが影響を及ぼす。高しきい電圧に設計したくとも不純物の位置ゆらぎに起因してしきい電圧より低い電圧で電流経路ができてしまいリーク電流が流れる。

10

【0006】

また、微細構造の進歩によってDRAM、フラッシュメモリ等各種メモリのメモリセルは小面積化が進み、メモリの大容量化を成し遂げてきた。特に1トランジスタと1キャパシタを基本構成とするDRAMは高速性と高集積性を両立するメモリとして広く用いられている。しかしながら規模の増大に従ってリフレッシュサイクルは延ばしていかなければならない。従ってこの観点からも低リークのFETが求められている。さらにDRAMについては、単純に微細化を進め、小面積とすると、キャパシタの面積も減少するため、キャパシタの静電容量が減少し、蓄積電荷量も小さくなっていく。しかし、大容量化に従ってデータ線は基本的に長くなるためこの充放電、あるいは雑音耐性等を考えると蓄積電荷量はあまり小さくできない。このためキャパシタの立体化あるいはキャパシタ絶縁膜の高誘電率化の新たな工夫を世代を進めるごとに行わなければならないという問題がある。この問題に対する解決策として、蓄積電荷で直接データ線を充放電するのではなく、トランジスタのチャネル近傍に電荷を蓄積し、これによるトランジスタのしきい電圧変化を利用して記憶を行う方法が考えられる。トランジスタのドレイン電流でデータ線の充放電を行うため、上記の問題を回避でき、素子の縮小が容易である。このような素子として従来3トランジスタ型のDRAMが提案されている。しかしながら蓄積電荷量が通常のDRAMと比較して小さくなるため、リフレッシュサイクルを現在より短くする必要がある。しかし、集積度が上がるに従いリフレッシュサイクルは延ばして行く必要があるから、この観点から問題が起こってしまう。

20

30

【0007】

一方、トランジスタのチャネル近傍に電荷を蓄積し、これによるトランジスタのしきい電圧変化を利用して記憶を行う他の素子としてEEPROMあるいはフラッシュメモリがある。これらはトンネル絶縁膜に大電圧を加え、フローティングゲートに電子あるいは正孔を注入する。絶縁膜中に電流を流すため書き込み/消去に時間がかかる等の課題がある。また動作電圧が大きいため高耐圧の周辺回路を用意する必要があり、従って周辺回路の面積が増大する。さらに高電圧印加という使用条件の下で記憶保持の信頼性確保をするためトンネル絶縁膜の厚さは10nmを僅かに切る程度から薄くできない。このため素子のスケールダウンに際してトンネル絶縁膜厚は薄くできず、短チャネル効果が顕著になって行くことが予想される。さらに、このトンネルは絶縁膜の厚さやトラップの有無によってその電流量が非常に大きく変化するため、素子間の特性ばらつきが大きいという課題もある。

40

【0008】

以上から、本発明の目的とするところは、低リークあるいは不純物注入以外のしきい電圧制御方法を有する半導体素子を提供することであり、さらにこの素子を用いてスケールダウン可能で、リフレッシュサイクルを十分長く確保できる高速書き込みの可能な半導体記

50

憶素子を提供する、またこれらを用いた半導体装置を提供することである。

【0009】

【課題を解決するための手段】

本発明はチャンネルに極めて薄い半導体を用いることにより膜厚方向の量子力学的な閉じ込め効果を利用してリーク電流を低減し、さらにしきい電圧の制御を行うことを特徴とする。

【0010】

詳しく述べると、本発明の代表的な実施形態による半導体素子は、ソース(200)、ドレイン領域(201)を有し、ソース(200)、ドレイン領域(201)は互いに半導体のチャンネル領域(202)を介して接続され、制御電極(203)を有し、制御電極(203)により上記チャンネル領域(202)のコンダクタンスを制御するトランジスタ構造において、チャンネル領域(202)の平均の厚さが5nm以下であることを特徴とする。一例としては第23図に示すものがあるが、この構造に限定されるものではない。

10

【0011】

また本発明は、蓄積した電荷量の大小により読み出しトランジスタのソース、ドレイン間のコンダクタンスが変化することをを用いて記憶を行う半導体記憶素子において、電荷蓄積領域に電荷を注入あるいは放出するために設けたトランジスタのチャンネルが厚さ5nm以下の半導体からなることを特徴とする。これにより高速の情報書き込みと長い情報保持時間を両立できる。トランジスタのチャンネルの厚さの下限としては、製造プロセス上、膜の欠陥が顕在化しないことを条件に定めることができる。

20

【0012】

詳しく述べると、本発明の代表的な実施形態による半導体素子は、ソース(7)、ドレイン領域(8)を有し、ソース(7)、ドレイン領域(8)は互いに半導体(6)を介して接続され、制御電極(5)を有し、制御電極(5)により上記ソース(7)、ドレイン領域(8)を接続する半導体(6)のコンダクタンスを制御する読み出しトランジスタ構造を有し、ソース(7)、ドレイン領域(8)を接続する半導体(6)近傍に電荷蓄積領域(1)を有し、電荷蓄積領域(1)に電荷を注入あるいは放出する書き込みトランジスタ構造(1)(2)(3)(5)を有し、電荷蓄積領域に蓄積した電荷量の大小により読み出しトランジスタのソース、ドレイン間のコンダクタンスが変化することをを用いて記憶を行う半導体記憶素子において、書き込みトランジスタのチャンネルが、平均の厚さが5nm以下の半導体からなることを特徴とする。実施例としては第1図

30

【0013】

低次元系の電気伝導はモビリティ向上の観点からの議論はあったが、オフ状態のリーク低減の観点からは議論されてこなかった。このような非常に薄い半導体膜でリーク電流が小さくなるということは当初明らかでなかった。そこで図20(a)(b)に示す半導体トランジスタを試作して、実際に低リークであることを確認した。図20(a)が断面図、図20(b)が上面図である。試作したトランジスタはn型多結晶シリコンのソース(103)、ドレイン(105)、制御電極(106)を持ち、チャンネル(104)は厚さ平均が3nmのノンドーパの多結晶シリコン膜である。チャンネルはアモルファス状態で堆積し、その後熱工程によって結晶化させる。チャンネル細線の幅は0.1ミクロン、長さは0.3ミクロンであり、ゲート酸化膜厚は25nm

である。この半導体トランジスタのドレイン電圧を1Vに固定し、ゲート電圧を変化させた場合のドレイン電流変化を図21(a)に示す。またドレイン電圧を1Vに固定し、ゲート電圧を-0.5Vに固定した時のドレイン電流の時間変化を図21(b)に示す。電流測定にはヒューレットパッカード社製のHP4156パラメータアナライザを用い、longの測定モードで室温で測定した。測定の最小単位は10fAであるが、0と-10fAの間をゆらぐデータが得られている。電流値の振る舞いからこれは真性の電流ではなく周囲のノイズと考えられる。つまりリーク電流は10fA未満である。さらに、チャンネル(104)の平均の厚さを3nm、5nm、8nmと変えて作製したトランジスタについて、リーク電流の比較を行った。ドレイン電圧を1Vとし、ドレイン電流が1pA流れるゲート電圧をしきい電圧 V_{th} より1.5V小さいゲート電圧でリーク電流を測定した。各膜厚のトランジスタを各々6素子測定し、平均をとった

40

50

結果を図39に示す。膜厚3nm、5nmではほぼ測定限界以下であるが、8nmの試料ではリークが一桁上昇し、測定可能となっている。この結果膜厚は8nm未満が望ましいことがわかった。また、このトランジスタの動作は公知の多結晶シリコンを用いた単一電子メモリの動作と異なり、使用する電圧がプラスマイナス3V以下と低電圧であるという特徴がある。さらにこの実験では25nmと比較的厚いゲート酸化膜を用いたが、より使用電圧が小さいため耐圧の観点からさらに薄い膜厚が使用可能である。その場合、より低電圧の動作が可能となる。本発明は上記のような独自の事前検討に基づくものである。

【0014】

また、本願発明は新規なゲインセル構造を提案するものである。それは、基板と、基板内に例えば、拡散領域として形成されたソース領域およびドレイン領域と、ソース領域とドレイン領域を互いに接続するチャンネル領域とを有する読み出しトランジスタと、チャンネル領域近傍に配置された電荷蓄積領域と、電荷蓄積領域に電荷を注入あるいは放出する書き込みトランジスタを有し、書き込みトランジスタのチャンネルの一部または全部が、上記基板の主面（最も広い面）に交差する面上に被着された半導体膜で形成されていることを特徴とする。

10

【0015】

この構成によると、書き込みトランジスタは拡散層を使わずに構成することができる。好適には半導体膜が、上記基板の主面上に凸型に形成された構造物の側面に被着された平均の厚さが8nm以下、より好ましくは5nm以下の半導体膜からなる。膜の厚さの下限は膜の構造の欠陥が顕在化しない範囲で決めることができるが、3nmでは好ましい特性が得られる。構造物の側面は、例えば、基板の主面に垂直である。この構造物は、チャンネルに対する制御電極を兼ねることができる。このときに、書き込みトランジスタのソースおよびドレインは、基板の主面上に積層された膜により構成されることができる。この構成では書き込みトランジスタのチャンネルを流れる電流の方向は、チャンネルを形成する半導体膜の面に沿っており、基板の主面に略垂直である。

20

【0016】

他の例としては、基板と、基板内に形成されたソース領域およびドレイン領域と、ソース領域とドレイン領域を互いに接続するチャンネル領域とを有する読み出しトランジスタと、チャンネル領域近傍に配置された電荷蓄積領域と、電荷蓄積領域に電荷を注入あるいは放出する書き込みトランジスタを有し、書き込みトランジスタのソース、ドレイン、およびチャンネルが、基板の主面上に被着された膜で形成され、ソースおよびドレインは基板の主面に水平方向に距離をもって配置されることを特徴とする。このときに、書き込みトランジスタのチャンネルを形成する膜が、平均の厚さが8nm以下の半導体からなることが望ましい。より好ましくは5nm以下の半導体膜からなる。膜の厚さの下限は膜の構造の欠陥が顕在化しない範囲で決めることができるが、3nmでは好ましい特性が得られる。書き込みトランジスタのソースおよびドレインを形成する膜の厚さは、書き込みトランジスタのチャンネルを形成する膜よりも厚いことが望ましい。このような形態では書き込みトランジスタのチャンネルを流れる電流の方向は、チャンネルを形成する半導体膜の面に沿っており、基板の主面に略平行である。

30

【0017】

本発明の他の手段、目的と特徴は、以下の実施の形態から明らかになる。

40

【0018】

【発明の実施の形態】

実施例1

以下には、本発明の具体的な実施例による半導体素子及び半導体装置を説明する。図23は本実施例による素子の断面構造図を示す。SOI基板を用い、ソース(200)、ドレイン(201)、チャンネル(202)は単結晶からなり、SiO₂膜(204)上にある。ソース(200)、ドレイン(201)は高不純物濃度n型である。チャンネル(202)はソース(200)、ドレイン(201)領域よりも薄く、厚さ平均が4nmのp型となっている。制御電極(203)は、高不純物濃度n型の多結晶シリコンよりなる。チャンネル(202)と制御電極(203)はSiO₂膜からなるゲート絶縁膜(205)で絶

50

縁されている。

【0019】

本実施例では制御電極(203)に正の電圧を印加していくとトランジスタがオン状態となり、ソース(200)、ドレイン(201)間に電流が流れるという点では通常のnチャンネルMOSと同じである。またオフ状態ではチャンネル(202)が完全に空乏化する点では、より厚いチャンネル膜厚のSOI基板を用いた場合と同様である。異なるのは、チャンネル(202)膜厚が薄いことから量子力学的な閉じ込めの効果により、バンドギャップが広がる点である。このため完全空乏化による効果以上にリークを減らすことが可能である。さらに、膜厚の選択によってチャンネルの不純物濃度とは独立にしきい電圧を制御することができる。このチャンネル薄膜化の効果はチャンネル全面で一様に生じるため、前述のような微細化に伴い不純物の位置ゆらぎによって生じるリークパスを防ぐ効果もある。同様の構造でソース、ドレイン領域をp型とし、チャンネルをn型とすることでpチャンネルトランジスタを構成してもよい。制御電極はn型のままでよいしp型としてもよい。また、しきい電圧を膜厚で制御するためチャンネルをノンドープとしてもよい。ただし、膜厚を薄くする分抵抗が高くなる。これらnチャンネル、pチャンネルのトランジスタを組み合わせることによってCMOS回路を構成することができる。図25(a)にはインバータを示す。pチャンネルトランジスタ(206)とnチャンネルトランジスタ(207)を組み合わせた構造で入力が高の場合pチャンネルトランジスタ(206)が、入力がlowの場合nチャンネルトランジスタ(207)がオフとなり貫通電流が少なくなるようにしており、逆にこれらのリーク電流が貫通電流となる。本発明ではこのリーク電流が小さいため消費電力の低減を図ることが可能である。図25(b)にはNAND回路を示す。やはり同様に貫通電流を低減させられる。これは他のCMOS回路でも同様である。

10

20

【0020】

次に本実施例の製造工程を説明する。図24にはリソグラフィー工程で使用するマスクパターンを示す。まず薄膜SOI基板を用い、ホトレジストをマスクにアクティブ領域(208)の周りのシリコンをドライエッチングする。さらに周囲にできた溝を絶縁膜で埋め込み、平坦化を行う。次にシリコン表面を犠牲酸化した後、Si₃N₄膜を堆積する。ホトレジストをマスクにSi₃N₄膜のドライエッチングを行いチャンネル領域(209)のSi₃N₄膜を除去する。この後酸化を行うとSi₃N₄膜パターンの無い部分のみ酸化される。この後Si₃N₄膜を除去し、As(ヒ素)またはP(リン)イオンを打ち込んでソース(200)、ドレイン領域(201)をn型とする。pチャンネルトランジスタのソース、ドレイン領域はこの時レジストで覆っておく。さらにnチャンネルトランジスタのソース、ドレイン領域をレジストで覆ってB(ボロン)を打ち込みpチャンネルトランジスタのソース、ドレイン領域をp型とする。この時酸化膜で覆われているためチャンネル部分には不純物が打ち込まれない。この後酸化膜のウエットエッチングを行ってチャンネル部分(202)を薄膜化する。表面を犠牲酸化し、pチャンネルトランジスタのアクティブ領域をレジストで覆った後Bを打ち込みnチャンネルトランジスタのチャンネルの不純物濃度を調整する。同様にnチャンネルトランジスタのアクティブ領域をレジストで覆った後Asを打ち込みpチャンネルトランジスタのチャンネルの不純物濃度を調整する。犠牲酸化膜を除去した後酸化を行いゲート絶縁膜(205)を形成する。さらにn型の多結晶シリコンを堆積し、レジストパターン(210)をマスクにドライエッチングを行って制御電極(203)を形成する。この後SiO₂膜堆積後平坦化を行い、コンタクト工程、配線工程を行う。ここで、制御電極形成用の多結晶シリコンをノンドープで堆積し、レジストをマスクにnチャンネルトランジスタとpチャンネルトランジスタの制御電極に異なる不純物を導入してもよい。尚、あらかじめ薄い様なシリコン膜厚の状態を作り、ソース、ドレイン部分にシリコンあるいは他の半導体あるいはシリサイド、金属等を積み上げることで低抵抗化を図ってもよい。チャンネル形成はウエハ全面で同じ膜厚とすればよい。製造中のチャンネル膜厚モニタがしやすいという特徴がある。

30

40

【0021】

実施例2

図26は、本発明の第2の実施例を示す。図26(a)は本実施例による素子の断面構造図を示す。実施例1ではSOI基板表面にソース(200)、ドレイン(201)、チャンネル(202)を形成した

50

のに対し、本実施例でSiO₂(214)上に堆積した多結晶シリコンでソース(208)、ドレイン(209)、チャンネル(210)を形成する点が異なる。ソース(208)、ドレイン(209)は高不純物濃度n型である。チャンネル(210)は、厚さ平均が3nmのノンドープ多結晶シリコンである。チャンネル部分はアモルファス状態で堆積し、後の熱工程で結晶化する。より厚いシリコン膜厚から薄くしてチャンネルを形成した実施例1と比べ、薄い膜厚で堆積するだけでよく、製造工程が簡単であるという特徴がある。オフ状態において、チャンネルが全て空乏化する、あるいは膜が薄いため膜厚方向の量子力学的な閉じ込めエネルギーに起因して膜内のポテンシャルが上がるという点では実施例1と同様である。これに加え、膜が薄い領域では僅かな膜厚の変化でも大きなポテンシャル変化があるため、膜内のポテンシャル分布は一様でなくランダムに変化する。このため非導通状態において膜内に低ポテンシャル部分が複数あっても高ポテンシャルの領域で分断されることになる。さらに多結晶膜の粒界もポテンシャル障壁として働くという特徴がある。一方でグレインバウンダリを通じたリーク電流に注意が必要である。シリコン基板(213)表面を用いて回路を形成してもよい。基板表面のトランジスタと本実施例のトランジスタが上下の位置関係に来ることも可能であり、積層化によってチップ面積低減が図れる。さらにシリコン基板(213)にはSOI基板を用いてもよい。またSOI基板表面に実施例1のトランジスタを形成し、これと組み合わせて用いてもよい。nチャンネルトランジスタと同様の構造で不純物を変えることでpチャンネルトランジスタも構成できる。これらを用いて構成したSRAM(static random access memory)の回路図を図26(b)に示す。トランジスタが低リークであるためメモリセルの貫通電流を低減でき、消費電力の低減が図れる。その他の効果は実施例1と同様である。尚、実施例1のようにSOI基板表面を用いるトランジスタにおいて、ソース、ドレイン部分を単結晶シリコンで、チャンネル部分を実施例2のように多結晶シリコンで形成してもよい。この場合製造工程においてソース、ドレイン部分を残してチャンネル部分のシリコンを削ってしまい、改めてチャンネルの薄膜を堆積する。実施例1のようにより厚い膜厚から薄くして行く製造方法よりも工程が簡単でかつチャンネル膜厚制御性が向上するという特徴がある。

【0022】

実施例3

図27は、本発明の第3の実施例を示す。図27(a)がメモリセル断面図、図27(b)がメモリセル回路図である。DRAMのスイッチングトランジスタ(216)に実施例1のトランジスタを用いている。DRAMはキャパシタ(215)に電荷を蓄積して情報を記憶しているが、この電荷はスイッチングトランジスタを通じたリーク電流によって徐々に失われる。このため現在の標準的なDRAMでは1秒弱のサイクルでリフレッシュを行っている。本実施例ではトランジスタのリークが減少するため、リフレッシュサイクルを長くすることができる。このためリフレッシュ頻度が減り、データ保持の消費電力が低減できると同時にアクセス時にリフレッシュと競合する頻度も減少するため平均のアクセス時間も低減することが可能である。本実施例のキャパシタ(215)は立体構造をとることで容量を大きくしているが、溝のような他の構造を採ってもよく、またキャパシタ絶縁膜(217)に高誘電率の材料を用いてもよい。

【0023】

実施例4

図1から図6は、本発明の第4の実施例を示す。図1は本実施例による記憶素子の断面構造図を示す。書き込みトランジスタのソース(1)、ドレイン(2)、制御電極(5)は、高不純物濃度n型の多結晶シリコンよりなる。チャンネル(3)は厚さ平均が3nmのノンドープの多結晶シリコンからなる。チャンネル(3)と制御電極(5)はSiO₂膜からなるゲート絶縁膜(4)で絶縁されている。書き込みトランジスタのソース(1)は電荷蓄積領域を兼ねている。さらに、読み出しトランジスタのソース(7)、ドレイン(8)はp型シリコン基板中に設けた高不純物濃度n型領域である。読み出しトランジスタの制御電極(5)は書き込みトランジスタの制御電極と共通で、電荷蓄積領域(1)を介した容量結合によって基板表面の電位を制御し、チャンネルを形成する。本実施例では便宜上ソースやドレインという呼び方を用いているが、特に書き込みトランジスタはパストランジスタであるため逆の呼び方も可能である。

また、本実施例及び以下の実施例では工程簡略化のため拡散層構造を最も簡単な構造としたが、短チャネル効果に強いより複雑な構造を採ってもよい。さらに、本実施例ではキャリアを電子とし、以下の実施例でも電子とするが、キャリアは正孔でも構わない。キャリアが正孔の場合、電圧の大小関係や電流の方向が変わることになる。

【0024】

次に本実施例の記憶素子の動作を説明する。書き込み動作は書き込みトランジスタのドレイン(2)の電位を、書き込みたい情報に応じてハイレベルまたはローレベルに設定し、制御電極(5)の電位を変化させて書き込みトランジスタを導通状態とすることで行う。ドレイン(2)の電位がハイレベルの場合、ドレイン(2)の電位がローレベルの場合と比較して、電荷蓄積領域(1)内の電子数が小さくなる。この蓄積電子の出し入れにはトランジスタを用いるため、EEPROMやフラッシュメモリと比べて印加電圧は小さくてよい。また高速の情報書き込み/消去が可能である。蓄積電子の保持は制御電極(5)の電位を低くし、書き込みトランジスタを非導通状態とすることで行う。この時、チャネルが周囲を絶縁体で囲まれた非常に薄い半導体膜であるため、膜が全て空乏化する。また、膜が薄いため膜厚方向の量子力学的な閉じ込めエネルギーに起因して膜内のポテンシャルが上がる。さらに膜が薄い領域では僅かな膜厚の変化でも大きなポテンシャル変化があるため、膜内のポテンシャル分布は一様でなくランダムに変化する。このため非導通状態において膜内に低ポテンシャル部分が複数あっても高ポテンシャルの領域で分断されることになる。多結晶膜の粒界もポテンシャル障壁として働く。以上から単純な薄膜のSOI(silicon on insulator)構造を用いて完全空乏化のみを利用する場合よりも書き込みトランジスタのリーク電流が小さくなり、保持特性が向上する。シリコンの場合チャネルの厚さが5nm程度以下になるとこの効果が現れる。これは膜厚ばらつきにより薄くなった部分の膜厚が3nm程度となり、閉じ込めエネルギーによるポテンシャル障壁の高さが室温の熱エネルギー程度となるからと考えられる。実際、膜厚の平均を3nm程度とすると効果が顕著になる。先に課題を解決するための手段の中で述べたように実験的にも5nm程度からリーク電流減少の効果を確かめている。この現象は発明者らが独自に見出したものである。従来は多結晶シリコンを用いたTFT(thin film transistor)はリーク電流が大きいとされてきた。電荷蓄積領域(1)内の電子数が異なると、読み出しトランジスタのしきい電圧が異なる。従って所定の電圧条件の下で読み出しトランジスタを流れる電流値の大小を見ることにより、記憶されている情報を読み出すことができる。DRAMとは異なり、蓄積電荷自身ではなく、読み出しトランジスタのドレイン電流の形で情報を記憶素子の外側に取り出すため、素子の縮小しても信号量が大きく減少することがなく、スケールダウンに適している。本構成においては読み出しトランジスタと書き込みトランジスタの制御電極を共通としているため、読み出し時の制御電極(5)の電位は書き込み時の制御電極(5)の電位よりも低く設定する。また読み出し条件において保持電荷が一定の時間以上保持されるよう書き込みトランジスタのしきい電圧を高く設定する必要がある。本実施例では制御電極(5)の電位を5Vに設定して書き込みを行い、2Vに設定して読み出しを行う。さらに、このしきい電圧の設定によっては読み出し時に蓄積電荷が一部失われる場合があるため、読み出し終了後に情報の再書き込み(リフレッシュ)を行ってもよい。本発明はスケール可能のため微細加工技術が進むほど大容量化が可能となり、しかも記憶保持時間を長く設計することが可能である。従ってメインメモリへの応用の他に音声、静止画像、動画像記録等にも適する。さらに、ロジック機能と本発明の半導体記憶装置を同一ウエハ上に集積し、データ転送速度向上と製造コスト低減を図ることが可能である。この際、CMOSとDRAMを混載した場合と異なり、記憶素子のキャパシタ絶縁膜あるいはそのための電極を形成するのに新材料を必要としないため、製造工程が簡単であるという特徴がある。

【0025】

次に本実施例の製造工程を説明する。図2にはリソグラフィー工程で使用するマスクパターンを示す。ホトレジストをマスク(46)にエッチングを行い、この溝を絶縁体で埋め込むことでP型基板(6)表面にマスクパターン(46)で囲まれた場所にアクティブ領域を用意する。基板にはSOI基板を用いてもよい。次に表面を酸化して厚さ7nmの読み出しトランジスタ

10

20

30

40

50

タのゲート絶縁膜(9)を形成した後n型多結晶シリコン膜を堆積し、ホトレジストをマスク(10)にエッチングすることで電荷蓄積領域(1)を形成する。電荷蓄積領域(1)をマスクとしてAs(ヒ素)またはP(リン)イオンを打ち込んで読み出しトランジスタのソース(7)、ドレイン(8)を形成する。打ち込んだイオンを加熱により活性化した後、この上にSiO₂膜を堆積し、さらにn型多結晶シリコン膜を堆積する。この後EB(electron beam)レジストをマスク(11)にしてドレイン(2)の多結晶シリコン膜とSiO₂膜を貫通し、電荷蓄積領域(1)に達する穴を形成する。ここでは正方形の穴を用いたが、形は異なってもよい。またマスクパターンが正方形あるいは長方形であっても、レジストパターンは角が丸くなるため、実際の孔パターンはむしろ円柱あるいは長円の柱に近くなる。さらに厚さ3nmのアモルファスシリコン及び厚さ10nmのSiO₂膜を堆積し、アニールを行ってアモルファスシリコンを結晶化する。ホトレジストをマスク(12)にSiO₂膜、多結晶シリコン膜をエッチングし、書き込みトランジスタのドレイン(2)を形成する。この後ゲート絶縁膜(4)として厚さ5nmのSiO₂膜を堆積し、さらにn型多結晶シリコン膜を堆積する。ホトレジストをマスク(13)に多結晶シリコン膜エッチングすることで制御電極(5)を形成する。書き込みトランジスタのゲート絶縁膜(4)の膜厚はアモルファスシリコン堆積後に二回堆積したSiO₂膜の和から洗浄工程による削れを引いたもので、ここでは12nmである。公知の多結晶シリコンを用いた単一電子メモリではゲート絶縁膜厚は25nmであるが、これは書き込み消去動作で15V以上の電圧がかかるため、耐圧を確保するためである。本発明では低電圧動作が可能であるため、ゲート絶縁膜厚を薄くし、トランジスタとしての性能を向上させることが可能である。この後SiO₂膜堆積後平坦化を行い、コンタクト工程、配線工程を行う。以上でわかるように本実施例の素子構造では立体構造を採っているにもかかわらず製造工程において高段差存在下でのリソグラフィ工程がないという特徴がある。

【0026】

図3、図4、図5は、上記記憶素子を行列状に並べてメモリセルアレイを構成した場合の配線の上面図を示す。図3が単位構造、図4(a)(b)と図5がアレイ構造である。制御電極(5)は書き込み/読み出し用ワード線(40)に、読み出しトランジスタのドレイン(8)は読み出し用データ線(41)に、書き込みトランジスタのドレイン(2)は書き込み用データ線(42)に接続されている。図34(a)には単位構造の等価回路を示す。書き込みトランジスタのソース(1)はノードDD(267)で読み出しトランジスタの電荷蓄積領域(1)に、書き込みトランジスタのドレイン(2)はノードAA(268)で書き込みデータ線(266)に、書き込みトランジスタの制御電極(5)はノードBB(233)でワード線(264)に各々接続されている。また、読み出しトランジスタのソース(223)はノードFF(235)でソース線に、読み出しトランジスタのドレイン(8)はノードEE(270)で読み出しデータ線(265)に、読み出しトランジスタの制御電極(5)はノードCC(272)でワード線(264)に各々接続されている。メモリセルアレイを構成する場合、素子一個の面積ばかりでなく何本の配線を用意する必要があるかも面積に大きく影響する。この観点からも読み出しトランジスタの制御電極(5)と書き込みトランジスタの制御電極(5)とを共通化した本素子構造は有効である。ここでは読み出し用トランジスタのチャネル電流方向と書き込み/読み出し用ワード線(40)の方向を平行としたが、これは変わっても構わない。本実施例のような方向を用いれば、読み出し用データ線方向に並ぶ複数の記憶素子の読み出しトランジスタの拡散層を共有することによって読み出しトランジスタのドレイン(8)と読み出し用データ線(41)を接続するコンタクト数を減らすことができる。図4(a)は単位構造を左右反転して配置したメモリセルアレイである。従って書き込み用データ線(107)や読み出し用データ線(108)が向かい合う構造を採る。この配置をとることにより、向かい合った読み出し用データ線(108)の間のソース領域が共有化でき、面積削減が可能である。等価回路図を図34(b)に示す。長円(273)で囲った部分が単位セル構造である。尚、本実施例では異なる行のソース領域の拡散層を共有し、これを読み出しトランジスタのソース線に用いているためソース線を図示していないが、適当な本数のワード線を単位にしてコンタクトを取り、金属配線と繋げる必要がある。勿論セル毎に読み出しトランジスタのソース領域のコンタクトを取り金属のソース線に繋げて

10

20

30

40

50

ない。面積という点では大きくなるが、抵抗が減るため読み出しトランジスタの電流が大きく取れ、読み出しが高速になるという特徴がある。図4(b)は左右反転を行う図4(a)とは異なり、同じ構造が繰り返されている。従って読み出し用データ線(109)と書き込み用データ線(110)が順に繰り返される。この等価回路図を図35(a)に示す。図4(a)の構造のように隣接列でのソース領域共有はできず面積は若干大きくなるが、安定な読み出し動作が可能である特徴がある。図4(a)の構造では読み出し用データ線が隣接しているため隣の線の電位変動の影響を受ける恐れがあるが、図4(b)の構造では互いの距離が離れるからである。また間の書き込み用データ線の電位を固定することによって読み出し動作を安定化してもよい。図5のレイ構造では隣り合う読み出し用データ線(114)(115)に属するセル(111)(112)で書き込み用データ線(113)を共有している。また同じワード線に属するセルは一つ置きに配置されている。この構造は記憶密度は若干下がるが、読み出し用データ線に折り返しデータ線構造を採ることが可能となっており、ノイズマージンが大きいという特徴がある。等価回路図を図35(b)に示す。

10

【0027】

上記のメモリセルアレイを含む半導体記憶装置の構成を図6に示す。本実施例は不揮発性の半導体記憶装置であり、リフレッシュ動作は行わない。書き込みトランジスタのしきい値を十分高く設定することで電源を切っても記憶が保持される不揮発性メモリとなる。もちろんしきい値の設定をあまり高くせず、バックアップ電源を用いてワード線電位を保持電圧に固定する形でデータを保持しても構わない。この場合保持がより安定し、書き込み電圧を下げることも可能である。あるいは、記憶保持時間を数週間から数ヶ月程度に設定し、電源投入時あるいは電源遮断前にのみリフレッシュを行ってもよい。このような設計は消費電力低減に効果があり、特にバッテリー駆動を行う携帯機器応用に適している。データの入出力はシフトレジスタ(77)を介してシリアルに行く。本発明では揮発性に設計すれば不揮発性に設計する場合より書き込みトランジスタのオン電流を大きくとりやすい。このため書き込み動作が高速であるという特徴がある。記憶が揮発か不揮発とアクセスがランダムかシリアルかの組み合わせはどれをとっても構わない。

20

【0028】

実施例5

図7は、本発明の第2の実施例を示す。ソース(電荷蓄積領域)(116)、ドレイン(117)、制御電極(119)、チャンネル(118)からなる書き込みトランジスタと、ソース(120)、ドレイン(122)、制御電極(119)、チャンネル(121)からなる読み出しトランジスタを有する。書き込みトランジスタのチャンネル(118)はB(ボロン)を含む厚さ平均が3nmの多結晶シリコンからなる。書き込みトランジスタと読み出しトランジスタの制御電極(119)が共通なのは実施例1と同様であり、動作のために印加する電圧の関係も同様である。実施例4では電荷蓄積領域(1)に達する穴を開ける必要があり、従って電荷蓄積領域(1)の大きさはこの穴以上に必要がある。このため読み出しトランジスタのソース(7)、ドレイン(8)を電荷蓄積領域(1)に対して自己整合的作製する場合、短いチャンネル長の読み出しトランジスタ形成が難しい。本実施例では電荷蓄積領域(116)を小さくできるため面積が小さく、オン電流量も大きい読み出しトランジスタ形成が可能である。ただし書き込みトランジスタのチャンネル(118)形成時や制御電極(119)形成時に段差が存在するため加工上の難しさがある。

30

40

【0029】

実施例6

図10は、本発明の第6の実施例を示す。メモリセル構成は基本的に実施例4の図5のレイ構造と同様であるが、記憶素子の書き込みトランジスタのチャンネルに厚さ平均4.5nmの多結晶シリコン薄膜を用いる。よりトランジスタがオンの時の抵抗が小さく、従って高速の書き込みが可能であるが、反面記憶保持時間が短くなるため揮発性のメモリとなる。また本実施例ではデータの入出力は列デコーダ(83)を用いてランダムに行く。

【0030】

揮発性のランダムアクセスメモリである。リフレッシュ動作を図11を用いて説明する。

50

リフレッシュ時、あるいは読み出し時にはセンスアンプで増幅された電圧が読み出しデータ線(79)に現れるが、これは書き込み時に書き込みデータ線(80)に与えた電圧の反転情報に対応する。スイッチを開くとインバータ(78)を介した結果書き込み時に与えた情報と同じになった情報が書き込みデータ線(80)に現れる。この後スイッチ(82)を閉じてワード線(81)に書き込みパルスを与えれば再書き込みが可能である。

【0031】

実施例7

図8、図9は、本発明の第7の実施例を示す。図8(a)は書き込みトランジスタのソース(21)、ドレイン(23)、チャンネル(22)、制御電極(24)を含む面での断面であり、読み出しトランジスタについては制御電極(28)、チャンネル(26)を含んでいる。図8(b)はこれに直交する面での断面であり、読み出しトランジスタのソース(25)、ドレイン(27)を含む。書き込みトランジスタのソース(21)は本記憶素子の電荷蓄積領域の機能を持つ。絶縁体による素子分離領域(29)も示してある。本実施例では実施例4、5と異なり書き込みトランジスタと読み出しトランジスタで共有する部分がない。また立体構造も使用していない。このため素子の占める面積は大きくなってしまいが、動作時の電圧設定の自由度が大きく、また製造工程も簡単ですむという利点がある。特に製造工程において通常のMOSデバイス製造に僅かに工程を加えるだけでよいので、ロジック部分と記憶部分とを同一ウエハ上に形成するのに適している。

【0032】

次に本実施例の記憶素子の動作を説明する。書き込み動作は書き込みトランジスタのドレイン(23)の電位を、書き込みたい情報に応じてハイレベルまたはローレベルに設定し、制御電極(24)の電位を変化させて書き込みトランジスタを導通状態とすることで行う。蓄積電子の保持は制御電極(24)の電位を低くし、書き込みトランジスタを非導通状態とすることで行う。電荷蓄積領域(21)内の電子数が異なると、読み出しトランジスタのしきい電圧が異なる。従って所定の電圧条件の下で読み出しトランジスタを流れる電流値の大小を見ることにより、記憶されている情報を読み出すことができる。また読み出し動作において制御電極(24)の電位は低いままでよく、ソース(21)、ドレイン(23)間に大きな電圧がかかることもないため読み出し動作に対して保持記憶が安定であるという特徴がある。

【0033】

図9は上記記憶素子を行列状に並べてメモリセルアレイを構成した場合の配線の上面図を示す。図9が単位セルに当たる。書き込みトランジスタのドレイン(23)は書き込み用データ線(126)に、読み出しトランジスタのソース(25)はソース線(127)に、ドレイン(27)は読み出し用データ線(123)に接続されている。また、読み出しトランジスタの制御電極(28)は読み出し用ワード線(125)に、書き込みトランジスタの制御電極(24)は書き込み用ワード線(126)に接続されている。本実施例では読み出しトランジスタのソース(25)、ドレイン(27)、制御電極(28)、書き込みトランジスタのドレイン(23)、制御電極(24)の全てに異なる線を容易したが、配線を共有化して面積削減を図ることも可能である。例えば制御電極に対するワード線を共有すれば、電気的な接続関係は実施例4と同様になる。

【0034】

製造工程においては、読み出しトランジスタの電荷蓄積(21)形成と同時に書き込みトランジスタのドレイン領域(23)も形成する。この後チャンネル(22)を形成する。チャンネル形成においてはSi薄膜、SiO₂薄膜を例えば各々厚さ4nmと10nmに堆積後、レジストをマスクにウエットエッチングを行いSiO₂薄膜をエッチングする。レジスト除去後O₂プラズマ雰囲気中で酸化する。この酸化は高温の酸化と異なり酸化プロセスが遅く、従って10nm未満、例えば7nm程度の厚さの酸化を制御性よく行うのに適している。この酸化によってウエットエッチングによりSiO₂膜がなくなっている部分のSi薄膜は全て酸化されるが、ウエットエッチングされなかった部分はSiO₂膜にマスクされて酸化されずに残る。このようなチャンネル形成方法を採用することによってドライエッチでSi薄膜をエッチングして形成した場合よりも読み出しトランジスタへのダメージが少なく、また書き込みトランジスタのソース(21)、ドレイン(23)の削れも少なく抑えることが可能である。この後書き込みトランジスタのゲート絶

10

20

30

40

50

縁膜を堆積後、読み出しトランジスタの制御電極(28)、書き込みトランジスタの制御電極(24)を形成する。

【0035】

実施例 8

図12は、本発明の第8の実施例を示す。実施例7とは書き込みトランジスタのチャンネルと配線において異なる。

【0036】

図12(a)は書き込みトランジスタのチャンネル部分の制御電極形成前における上面図である。ソース(48)、ドレイン(49)は実施例3と同様だが、チャンネル(47)は連続膜ではなく、直径の平均が4nmの微少なシリコン結晶粒が二次元的に並べられている。書き込み動作では制御電極に電圧を印加してチャンネル(47)のポテンシャルを下げる。結晶粒間はトンネル効果によってキャリアが移動できる。保持においては結晶粒が空乏化し、これに加えて結晶粒間のポテンシャルバリアがキャリアのリークを抑えるという特徴がある。本実施例のチャンネル構造は結晶粒径、結晶粒間距離のような上面から観察できる特徴で品質を管理できるため、膜厚で管理するよりも品質管理がしやすい。尚、本実施例のチャンネル構造は他の実施例の書き込みトランジスタのチャンネルに用いても構わない。さらに本実施例の構造において書き込みトランジスタのチャンネル構造に実施例4の多結晶シリコン薄膜を用いても構わない。

10

【0037】

図12(b)は上記記憶素子を行列状に並べてメモリセルアレイを構成した場合の配線の上面図を示す。実施例4では素子構造として書き込みトランジスタのドレイン(23)と読み出しトランジスタのドレイン(27)は別であったが、本実施例では金属配線で電氣的に接続されている。すなわち、書き込みトランジスタのドレイン(49)と読み出しトランジスタのドレイン(54)はともに書き込み/読み出し用データ線(55)に接続されている。また、読み出しトランジスタの制御電極(52)は読み出しワード線(53)に、書き込みトランジスタの制御電極(50)は書き込みワード線(51)に接続されている。このようなワード線を二本用意する構成では読み出し動作時に書き込みトランジスタのリーク電流が増加する怖れがないという特徴がある。この接続関係における単位セル構造の等価回路を図36(a)に示す。書き込みトランジスタのソース(48)はノードA1(274)で読み出しトランジスタの電荷蓄積領域(48)に、書き込みトランジスタのドレイン(49)はノードA2(275)でデータ線(55)に、書き込みトランジスタの制御電極(50)はノードA3(276)で書き込みワード線(51)に各々接続されている。また、読み出しトランジスタのソース(54A)はノードA4(227)でソース線に、読み出しトランジスタのドレイン(54)はノードA5(278)でデータ線(55)に、読み出しトランジスタの制御電極(53)はノードA6(279)で読み出しワード線(53)に各々接続されている。書き込み動作では書込みたい情報に応じてデータ線(55)をhighまたはlowの電圧に設定し、書き込みワード線(51)をhighとする。この時読み出しワード線(53)はlowとし、読み出しトランジスタをオフにしておく。読み出し動作時にはデータ線(55)を0Vより高い電位にプリチャージした後、読み出しワード線(53)をhighとする。この時書き込みワード線(51)はlowとし、書き込みトランジスタをオフにしておく。この読み出し動作においては、書き込み時にデータ線(55)をhighに設定した場合の方がlowに設定した場合よりデータ線(55)の電位が急速に下がる。従ってセンスアンプで増幅すると書き込み時の設定を反転した情報に対応する電位に増幅される。メモリセルを並べる密度には必要な配線本数も関係している。書き込み/読み出し共用のデータ線(55)を利用することで配線本数が減らせ、従って記録密度が向上するという特徴がある。また、図12(b)の構造でも隣接セルと読み出しトランジスタのソース領域(54A)を共有して面積削減を図ることができる。このような配置のセルアレイの回路図を図36(b)に示す。単位セル構造は円(280)で囲った部分であり、ソース線(281)を共有化している。

20

30

40

【0038】

図12のメモリセルを基本要素とするメモリセルアレイを含む半導体記憶装置の構成を図13に示す。図12(b)を90度回転させた形で配置している。リフレッシュ動作について

50

は、本実施例ではデータ線が共通である点で実施例4と本質的に異なっている。つまり本実施例においては読み出し動作によって、書き込み時と逆の情報として増幅される。再書き込みにおいてこのデータ線設定をそのまま使うため、セルに記憶される情報はリフレッシュの度に反転することになる。このため書き込みワード線が選択された回数を数えるカウンタを備え、情報読み出し時にはその偶奇と読み出されたデータで論理をとって外部に出力する機能を備えている。尚、ソース線(281)を高に設定して使用することにより書き込み時に対し反転しない情報を読み出すこともできる。リフレッシュサイクルは1時間である。リフレッシュ中はアクセスが禁止され、その分アクセスが遅くなる。DRAMにおいては数msから数十msの時間間隔でリフレッシュが行われるが、本実施例ではリフレッシュサイクルが1時間と極めて長い。リフレッシュ頻度が小さいため低消費電力であり、さらにリフレッシュのためにアクセスが遅れることがほとんどないため高速である。

10

【0039】

実施例9

図22は本発明の第9の実施例を示す。本実施例では一素子に2ビットの記憶を行う。メモリセルは図12(b)と同様であるが、チャンネルには厚さ3nmの多結晶シリコン膜を用いる。すなわち、書き込みトランジスタのドレイン(149)と読み出しトランジスタのドレイン(154)はともに書き込み/読み出し用データ線(155)に接続されている。また、読み出しトランジスタの制御電極(152)は読み出しワード線(153)に、書き込みトランジスタの制御電極(150)は書き込みワード線(151)に接続されている。

【0040】

動作を説明する。書き込む2ビットの情報を0、1、2、3する。情報書き込みはデータ線(155)に書き込みたい情報に応じた電位を与え書き込みワード線(151)にパルスを加えることで行う。ここで1ビット記憶の場合と異なり、データ線(155)に与える電位は4種類ある。この電位に応じて蓄積される電荷量が異なる。ここでフラッシュメモリの多値記憶では記憶情報を検証、調整を行う所謂ベリファイという動作を行う。これは素子間の特性ばらつきにより、同じパルスを加えても注入される電荷量が異なってしまうからである。本発明ではデータ線(155)に与えられた電位がそのまま反映されて電荷量が決まるため、素子間で電荷量のばらつきが小さい。このためベリファイ動作が不要、あるいはベリファイを行う場合でも短時間で収束するという特徴がある。読み出しは二回に分けて行う。データ線(155)をプリチャージした後所定の読み出し電位を読み出しワード線(153)に与え、センスすることによって情報が0または1なのか2または3なのか判定する。さらにデータ線(155)を再度プリチャージした後、判定結果に応じて先ほどの読み出し電位よりも高い、あるいは低い所定の電位を読み出しワード線(153)に与え、センスする。これにより0と1、あるいは2と3を判別する。ここでDRAMのように蓄積電荷でデータ線を充放電する記憶素子ではマージンが少ない。さらに破壊読み出しであるため上記のような単純な二回読み出しはできず、工夫が必要である。以上から本発明は多値記憶に非常に適した記憶素子を提供できる。これは本実施例のような書き込み用トランジスタのドレイン領域と読み出し用トランジスタのドレイン領域を共通化した構造に限らない。また本実施例では記憶を2ビットとしたが、より多くの情報を記憶させても構わない。

20

30

【0041】

実施例10

図14は本発明の第10の実施例による記憶素子の断面構造図を示す。断面構造では実施例1と同様に見えるが、動作が異なり、従ってこの素子を行列状に並べてメモリセルアレイを構成した場合の互いの接続関係も異なる。

【0042】

本実施例においては、書き込みトランジスタのソース(電荷蓄積領域)(14)、ドレイン(15)、制御電極(18)、チャンネル(16)は実施例1にそのまま対応している。書き込みトランジスタのソース(電荷蓄積領域)(14)、ドレイン(15)、制御電極(18)が多結晶シリコンからなる点、チャンネル(16)が厚さ平均が3nmのノンドープの多結晶シリコンからなる点は実施例4、5と同様である。読み出しトランジスタについてはソース(19)、ドレイン(20)は同

40

50

じであるが、制御電極(15)が書き込みトランジスタのドレイン(15)と共通である点で実施例1と異なる。また、本実施例では読み出しトランジスタ形成後Si₃N₄膜(17)を堆積している。これは後の書き込みとトランジスタのチャンネル形成のためのアモルファスシリコン堆積工程で、Si₃N₄膜上では膜厚の制御性がよいためである。

【0043】

本実施例の記憶素子の動作において、書き込み動作は実施例4と同様でよい。読み出し動作においては、書き込みトランジスタの制御電極(18)の電位を低く設定し、書き込みトランジスタを非導通状態に保ったまま読み出しトランジスタの制御電極(15)の電位を上げる。このとき電荷蓄積領域(14)に蓄積されている電子数の大小によってしきい電圧が異なる。実施例1の場合読み出し時の制御電極(5)の電位よりも書き込み時の制御電極(5)の電位を高く設定するため、書き込み時に読み出しトランジスタが強いオン状態となり、電流が流れる可能性がある。あるいは、読み出し条件において書き込みトランジスタが僅かにオン状態となり、保持電荷が失われてしまう可能性もある。本実施例においては書き込みトランジスタの制御電極(18)と読み出しトランジスタの制御電極(15)が異なるため書き込み動作時において読み出しトランジスタを高抵抗に保ち、読み出し動作時において書き込みトランジスタを高抵抗に保つことが可能であるという特徴がある。

10

【0044】

図15は、上記記憶素子を行列状に並べてメモリセルアレイを構成した場合の配線の上面図を示す。書き込みトランジスタ制御電極(18)は書き込み用ワード線(43)に、読み出しトランジスタのドレイン(20)は読み出し用データ線(44)に、書き込みトランジスタのドレイン(15)は書き込み用データ線兼読み出し用ワード線(45)に接続されている。本実施例においては読み出し用データ線(44)に平行なのは書き込み用ワード線(43)であるという点で実施例1とは異なっている。本実施例のメモリセルを基本要素とするメモリセルアレイを含む半導体記憶装置の構成を図16に示す。シリアルアクセスを行うメモリ構成である。本実施例では書き込みワード線(43)と読み出しワード線(45)が直交しており、入力用レジスタと出力用レジスタを持つ。大規模の行列状のデータを扱うのに適している。デコーダを用いて入力あるいは出力をランダムアクセスとしてもよい。

20

【0045】

実施例11

図17は、本発明の第11の実施例を示す。

30

【0046】

図17(a)は本実施例の記憶素子の断面図である。本実施例は書き込みトランジスタのソース(32)、ドレイン(30)、チャンネル(31)、制御電極(33)の構造は実施例4と同様であるが、読み出しトランジスタの構造が異なる。読み出しトランジスタの制御電極(32)が電荷蓄積領域を兼ね、他に読み出しトランジスタの制御電極を持たないという特徴がある。蓄積電荷量の大小によるソース(34)、ドレイン(36)間のコンダクタンス変化を読み出すわけであるが、このままでは記憶内容によっては読み出しトランジスタが常時オンとなってしまうため、行列状に並べて制御する際に不都合である。そこで読み出し時の選択のためのトランジスタをさらに一つ用意する。ソース(36)、ドレイン(38)、チャンネル(37)、制御電極(39)からなり、読み出し時に導通状態とする。図17(b)は本実施例の記憶素子の上面図である。行列状に並べるための配線も示している。ただしソース領域(34)に対する配線は省略しコンタクト孔(34A)のみ示した。アクティブ領域(37A)は太い線で示した。書き込みトランジスタのドレイン領域(30)と制御電極(33)は各々書き込み用データ線(30A)、書き込み用ワード線(33A)に接続され、読み出しトランジスタのドレイン領域(38)と制御電極(39)は各々読み出し用データ線(38A)、読み出し用ワード線(39A)に接続されている。本実施例では一つ多くトランジスタを用意するため面積が大きくなるが、実施例4よりさらに製造工程が簡単となる。また、読み出しトランジスタの制御電極が電荷蓄積部を介して容量結合でチャンネル領域の電位制御を行う実施例1から7と比べ、制御電極で直接チャンネル領域の電位制御を行うため低電圧化がしやすいという特徴がある。

40

【0047】

50

実施例 1 2

図 1 8 は、本発明の第 1 2 の実施例を示す。図 1 8 (a)はソース (電荷蓄積領域) (56)、ドレイン(58)、制御電極(59)、チャンネル(57)からなる書き込みトランジスタと、ソース (60)、ドレイン(62)、制御電極(58)、チャンネル(61)からなる読み出しトランジスタを有する。書き込みトランジスタのチャンネル(57)はB (ボロン) を含む厚さ平均が3nmの多結晶シリコンからなる。書き込みトランジスタのドレイン(58)と読み出しトランジスタの制御電極(58)が共通なのは実施例 7 と同様であり、動作のために印加する電圧の関係も同様である。実施例 7 では電荷蓄積領域 (14)に達する穴を開ける必要があり、従って電荷蓄積領域 (14)の大きさはこの穴以上にする必要があり、このため読み出しトランジスタのソース(19)、ドレイン(20)を電荷蓄積領域 (14)に対して自己整合的作製する場合、短いチャンネル長の読み出しトランジスタ形成が難しい。本実施例では電荷蓄積領域 (14)を小さくできるため面積が小さく、オン電流量も大きい読み出しトランジスタ形成が可能である。

10

【 0 0 4 8 】

類似の構造として、チャンネル(64)が書き込みトランジスタのドレイン(65)の両側に設けられた記憶素子を図 1 9 に示す。実施例 5 と類似の構造であるが、各部の役割が異なり、従って制御方法が異なる。図 1 8 の構造と同じ大きさでチャンネル(64)の幅を二倍にでき、書き込みトランジスタのオン電流を大きくとれるため、書き込み消去が速いという特徴がある。

【 0 0 4 9 】

実施例 1 3

図 2 8 は、本発明の第 1 3 の実施例を示す。図 2 8 (a)が記憶素子の断面図、図 2 8 (b)は図 2 8 (a)の記憶素子を並べた 2 セルの上面図 (レイアウト図) である。SOI基板を用いる。ソース(218)、ドレイン(219)、チャンネル(220)、制御電極(221)を含む書き込みトランジスタは実施例 1 のトランジスタと同様の構造を持つ。さらにソース(222)、ドレイン(223)、チャンネル(224)、電荷蓄積領域(225)、制御電極(226)を含む読み出しトランジスタのうち、ソース(223)、ドレイン(222)、チャンネル(224)、電荷蓄積領域(225)の構造は実施例 1 のトランジスタと同様である。本実施例では書き込みトランジスタの制御電極(221)と読み出しトランジスタの制御電極(226)が電氣的に接続されており、各々別に配線した場合と比べて配線面積が少なくよい。書き込みトランジスタを通じて電荷蓄積領域(225)への電荷の出し入れを行い、読み出しトランジスタのしきい電圧変化によって情報を読み出す点では実施例 4 と同じである。本実施例では立体構造を用いる実施例 4 と比べて面積は大きくなるが、単結晶基板を用いるため読み出しトランジスタの電流が大きく取れ、読み出しが高速である。また読み出しトランジスタや書き込みトランジスタの特性はらつきも小さくできるため、動作がより安定し、マージンを見込んで電圧設定を行わなくてよい分低電圧化にも適している。しきい電圧は書き込みトランジスタと読み出しトランジスタで違って構わない。例えば書き込みトランジスタのしきい電圧を高く設定してリーク電流を低減すればよい。またこのSOI基板表面を用いてロジック回路を形成してもよい。尚、図 3 0 に示すように、読み出しトランジスタについては膜厚の薄いチャンネルを使用せず、書き込みトランジスタより厚い膜厚でチャンネル部(237)を形成してもよい。書き込みトランジスタのリーク電流を抑えながら読み出しトランジスタのチャンネル電流を大きくとることが可能である。図 2 9 には本実施例の等価回路を示す。図 2 9 (a)は図 2 8 (a)の単位セル構造の等価回路である。書き込みトランジスタのソース(218)はノードD(231)で読み出しトランジスタの電荷蓄積領域(225)に、書き込みトランジスタのドレイン(219)はノードA(232)で書き込みデータ線(230)に、書き込みトランジスタの制御電極(221)はノードB(233)でワード線(227)に各々接続されている。また、読み出しトランジスタのソース(223)はノードF(235)でソース線に、読み出しトランジスタのドレイン(223)はノードE(234)で読み出しデータ線(228)に、読み出しトランジスタの制御電極(226)はノードC(236)でワード線(227)に各々接続されている。図 2 9 (b)は図 2 8 (b)のセルを二つ並べた構造の等価回路である。

20

30

40

【 0 0 5 0 】

実施例 1 4

50

図31は、本発明の第14の実施例の断面構造を示す。実施例11と類似の構造である。書き込みトランジスタのソース(239)、ドレイン(238)、チャンネル(240)は多結晶シリコンから成るが、制御電極を上部に設けない点において実施例11と異なる。さらに書き込みトランジスタのソース(239)兼電荷蓄積領域(239)、ソース(241)、ドレイン(242)、チャンネル(243)からなる読み出しトランジスタと、ソース(242)、ドレイン(244)、チャンネル(245)、制御電極(246)から成る選択用トランジスタが接続されている点は実施例11と同様である。本実施例では拡散層(250)をゲート電極の代わりに用いる。図17の構造よりも製造工程数を減らすことができ、さらに低コストでメモリが実現できる。特に通常のMOS構造に対してチャンネル(240)部分の作製を付け加えるだけでメモリ機能を持たせることができるため、ロジック部との混載に向いている。

10

【0051】

実施例15

図32は、本発明の第15の実施例の断面構造を示す。書き込みトランジスタのソース(248)、ドレイン(247)、チャンネル(249)は多結晶シリコンからなり、拡散層(250)が制御電極の役割を果たすという意味で実施例14と共通である。読み出しトランジスタはソース(250)、ドレイン(251)、チャンネル(252)、電荷蓄積領域(248)、制御電極(248)からなる。実施例7の図8の構造においては、書き込みトランジスタの制御電極(24)と読み出しトランジスタの制御電極(28)を同じ工程で構成する場合この二つのショートを防ぐために距離を開けなければならない。しかし本実施例の構造では、この余裕を設ける必要がないためより小さい面積でメモリセルの構成が可能となっている。

20

【0052】

実施例16

図33は、本発明の第16の実施例の断面構造を示す。SOI基板を用いる。図33(a)が書き込みトランジスタのソース(254)、ドレイン(255)、チャンネル(256)、制御電極1(257)、制御電極2(262)を含む面での断面であり、読み出しトランジスタについては制御電極(261)、チャンネル(260)を含んでいる。図8(b)はこれに直交する面での断面であり、読み出しトランジスタのソース(258)、ドレイン(259)を含む。書き込みトランジスタのソース(254)、ドレイン(255)、チャンネル(256)、制御電極1(257)、読み出しトランジスタの制御電極(261)は多結晶シリコンからなる。書き込みトランジスタの制御電極2(262)、読み出しトランジスタのソース(258)、ドレイン(259)、チャンネル(260)は基板の単結晶シリコンを用いて形成する。本実施例では書き込みトランジスタのチャンネル(256)が制御電極1(257)と制御電極2(262)のダブルゲートを有するという特徴がある。このため制御電極とチャンネル(256)の容量が増え、書き込みトランジスタのリーク電流小さくを抑えるのに有利である。さらに書き込みトランジスタのオン電流も多くとすることができるため書き込み動作が高速に行えるという特徴を持つ。

30

【0053】

実施例17

図37は、本発明の第17の実施例を示す。記憶素子の単位構造は実施例4の図1と同様である。実施例4では別々に設けていた書き込みデータ線と読み出しデータ線を接続している点で異なる。図37は単位構造を3行3列の行列状に並べたセルアレイの一部である。点線で囲んだ部分(282)(283)が単位構造にあたる。説明のため小規模並べて示すが実際にはより多く並べてセルアレイの構成要素(メモリマットと呼ぶ)を構成する。読み出しトランジスタのドレイン(285)は同じ列に属する記憶素子と共有構造を採っており、拡散層を配線に用いている点で実施例4で示した図4、図5とは異なる。この方がセル面積が小さい。ソース(284)についても同じ列に属する記憶素子と拡散層を通じて接続されている。書き込みトランジスタと読み出しトランジスタに共通の制御電極(290)は同じ行に属する記憶素子と接続されている。書き込みトランジスタのドレイン(286)も同じ列に属する記憶素子と接続されており、さらにメモリマット端で読み出しトランジスタのドレイン(285)とコンタクト孔(287)を通じて接続されている。大規模集積時には拡散層配線、多結晶シリコン配線共に抵抗が高すぎ、従って金属配線で裏打ちすることが必要になるが、ここで

40

50

は読み出しデータ線兼書込みデータ線の金属配線を用意すればよい。従って配線の面からも面積が小さい。メモリマットの他端にて読み出しトランジスタのソース(284)に対するコンタクト孔(288)を用意し、金属のソース線(289)と接続する。同じ素子のソース、ドレイン領域に対するコンタクト孔(287)(288)をメモリマットの異なる端に設けることでコンタクト孔のために面積の余裕を持たせながらも隣接列の間隔を広くとらずにすむ。この等価回路を図38に示す。さらに隣接列で読み出しトランジスタのソース領域を共通にして面積低減を図ってもよい。この場合隣接列では左右反転の構造となる。加えて読み出しトランジスタのドレイン領域をも隣接列で共有化してもよい。この場合が最小の構成となるが、同時に同じ行に属す隣接する素子への書込みあるいは読み出しが同時にできないため、一列おきに二回に分けて操作するという動作が必要である。本実施例の構成は書込みトランジスタと読み出しトランジスタでデータ線、制御電極ともに共有するものであり、面積を非常に小さくできる。ただし、これらを分離した場合より安定動作できる電圧、しきい値の余裕が少なくなる。尚、ここでは面積削減を最優先として複数記憶素子に対して一個所のコンタクト孔(287)を用いる構成を採ったが、記憶素子毎あるいは少数の記憶素子毎にコンタクト孔を用意してもよい。この場合データ線あるいはワード線間の配線ピッチをより広くとらなければならないが、高抵抗の配線部分が減るため高速動作に適した記憶装置を提供することが可能である。

10

【0054】

【発明の効果】

本発明によれば、低リークあるいは不純物注入以外のしきい電圧制御方法を有する半導体素子を提供することが可能であり、さらにこの素子を用いてスケールダウン可能で、リフレッシュサイクルを十分長く確保できる高速書き込みの可能な半導体記憶素子を提供でき、またこれらを用いた半導体装置を提供できる。

20

【図面の簡単な説明】

【図1】本発明の実施例4の半導体記憶素子の断面構造図である。

【図2】本発明の実施例4の半導体記憶素子を製造するためのマスクパターンである。

【図3】本発明の実施例4の半導体記憶素子を用いてメモリセルアレイを構成する際の配線パターンである。

【図4】本発明の実施例4の半導体記憶素子によるアレイ構造図である。

【図5】本発明の実施例4の半導体記憶素子による他のアレイ構造図である。

30

【図6】本発明の実施例4の半導体記憶装置の構成を示す図である。

【図7】本発明の実施例5の半導体記憶素子の断面構造図である。

【図8】本発明の実施例7の半導体記憶素子の構造図である。(a)が書き込みトランジスタのチャンネルに平行な面での断面図、(b)が読み出しトランジスタのチャンネルに平行な面での断面図である。

【図9】本発明の実施例7の半導体記憶素子の上面図である。

【図10】本発明の実施例6の半導体記憶装置の構成図である。

【図11】本発明の実施例6の半導体記憶装置のリフレッシュ動作を説明する回路図である。

【図12】本発明の実施例8の半導体記憶素子の構造図である。(a)が書き込みトランジスタのチャンネル部分、(b)が上面図である。

40

【図13】本発明の実施例8の半導体記憶装置の構成図である。

【図14】本発明の実施例10の半導体記憶素子の断面構造図である。

【図15】本発明の実施例10の半導体記憶素子の配線を示す上面図である。

【図16】本発明の実施例10の半導体記憶装置の構成図である。

【図17】本発明の実施例11の半導体記憶素子の構造図である。(a)が断面構造図、(b)が上面図である。

【図18】本発明の実施例12の半導体記憶素子の断面構造図である。

【図19】本発明の実施例12の半導体記憶素子の他の素子構造を示す断面構造図である。

50

【図20】本発明に先立つ検討に用いたトランジスタの構造を説明する図である。(a)が断面構造図、(b)が上面図である。

【図21】本発明に先立つ検討に用いたトランジスタの電気特性を示す図である。(a)がゲート電圧に対するドレイン電流変化、(b)がリーク電流の時間変化を示す図である。

【図22】本発明の実施例9の半導体記憶素子の上面図である。

【図23】本発明の実施例1の半導体素子の断面構造図である。

【図24】本発明の実施例1の半導体素子を製造するためのマスクパターンである。

【図25】本発明の実施例1の半導体素子を用いた半導体装置の回路図である。(a)がインバータ回路m、(b)がNAND回路である。

【図26】本発明の実施例2の(a)が半導体素子の構造図、(b)が(a)の半導体素子を用いた半導体装置の回路図である。である。 10

【図27】本発明の実施例3の半導体記憶装置の単位記憶構造である。(a)が断面図、(b)が回路図である。

【図28】本発明の実施例13の半導体記憶素子の断面図が(a)であり、この素子を二つ並べた構造の上面図が(b)である。。

【図29】本発明の実施例13の半導体記憶素子の等価回路図である。(a)が図28(a)に対応する一素子の回路図、(b)が図28(b)に対応する回路図である。

【図30】本発明の実施例13の半導体記憶素子の他の素子構造を示す断面構造図である。

【図31】本発明の実施例14の半導体記憶素子の断面構造図である。 20

【図32】本発明の実施例15の半導体記憶素子の断面構造図である。

【図33】本発明の実施例16の半導体記憶素子の断面構造図である。(a)が書き込みトランジスタのチャンネルに平行な面での断面図、(b)が読み出しトランジスタのチャンネルに平行な面での断面図である。

【図34】本発明の実施例1の等価回路図を示す。(a)が単位構造の等価回路図、(b)が図4(a)のアレイ構造に対応する回路図である。

【図35】本発明の実施例1の等価回路図を示す。(a)が図4(b)のアレイ構造に対応する回路図、(b)が図5のアレイ構造に対応する回路図である。

【図36】本発明の実施例8の等価回路図を示す。(a)が単位構造の等価回路図、(b)が図12(b)の単位記憶構造を用い隣接セル間でソース領域を共有する構造の回路図である。 30

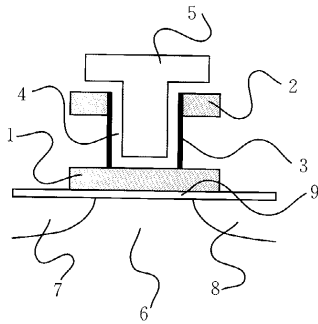
【図37】本発明の実施例17の半導体記憶装置のメモリマットの上面図である。

【図38】本発明の実施例17の半導体記憶装置のメモリマットの等価回路図である。

【図39】本発明に先立つ検討に用いたトランジスタのリーク電流のチャンネル膜厚依存性を示す図である。

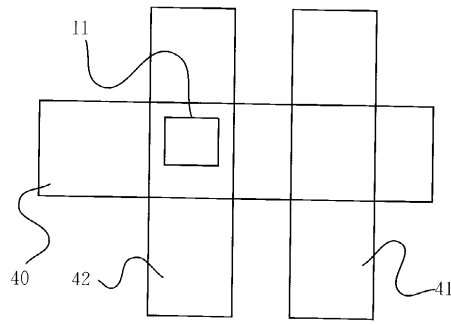
【 図 1 】

図1



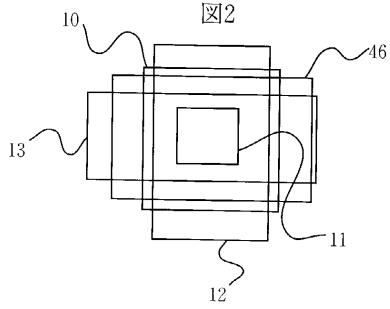
【 図 3 】

図3



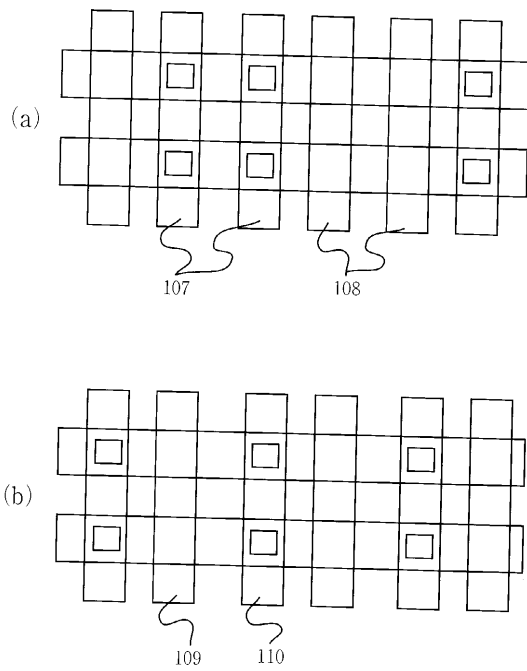
【 図 2 】

図2



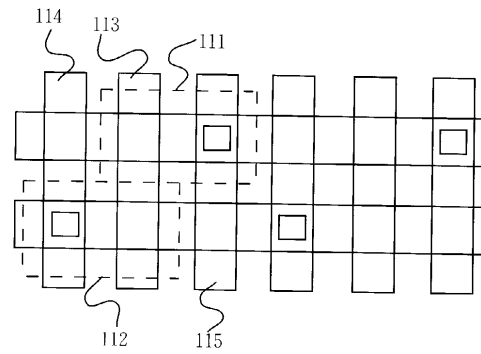
【 図 4 】

図4



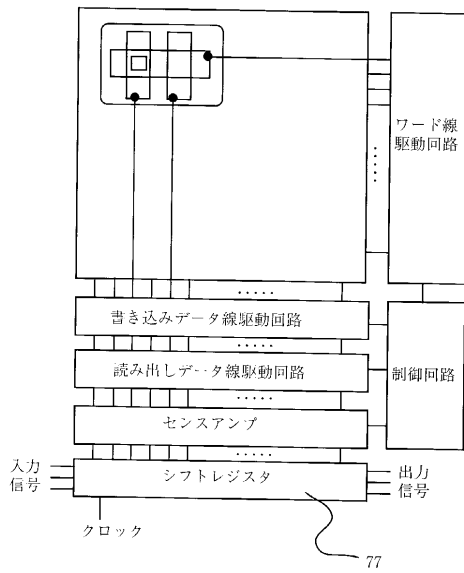
【 図 5 】

図5



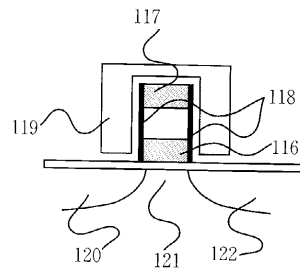
【 図 6 】

図6



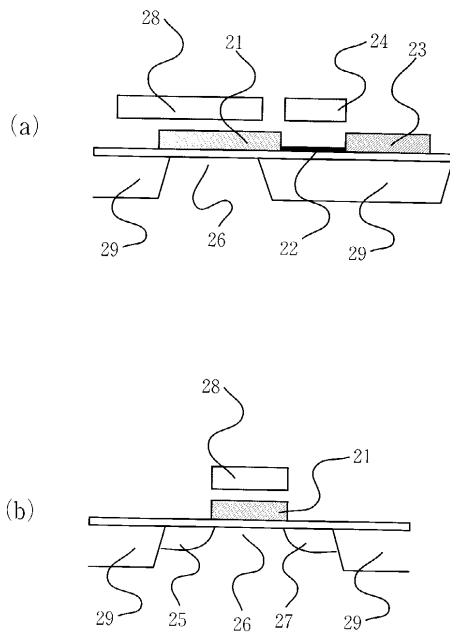
【 図 7 】

図7



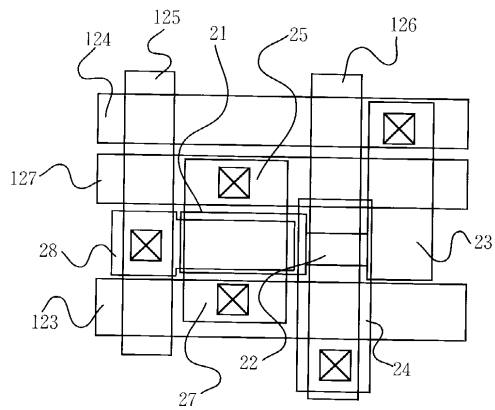
【 図 8 】

図8



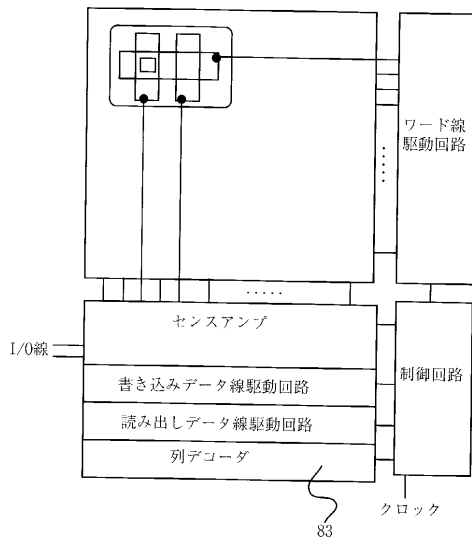
【 図 9 】

図9



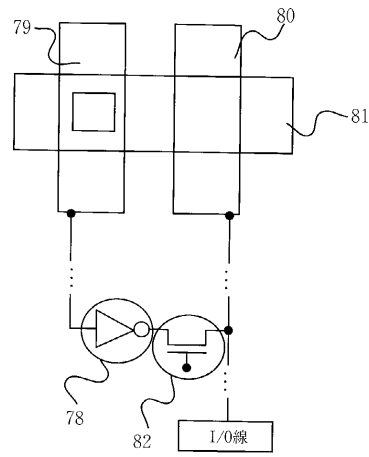
【図10】

図10



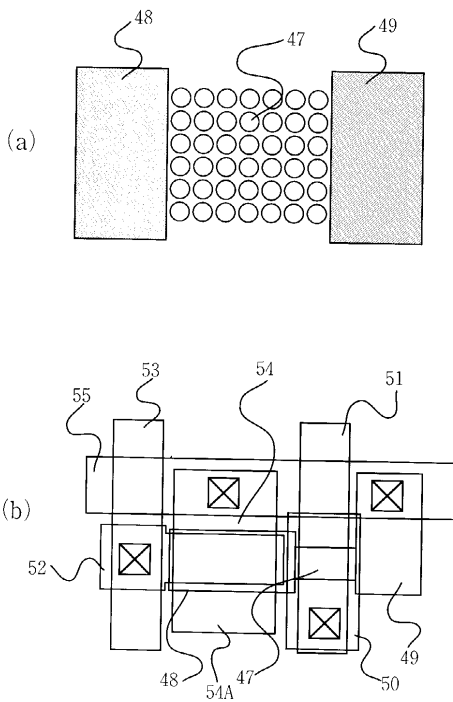
【図11】

図11



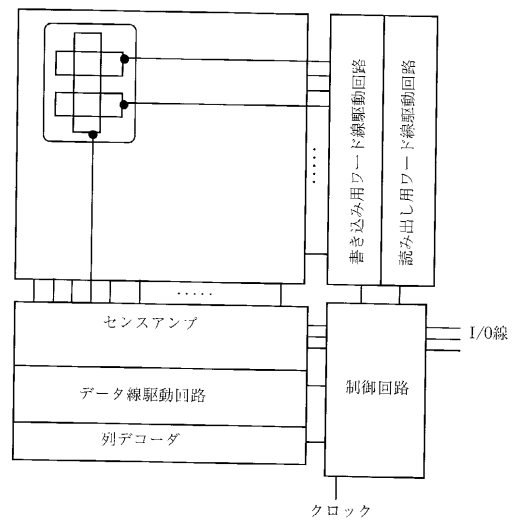
【図12】

図12

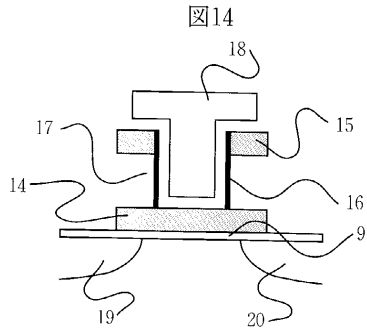


【図13】

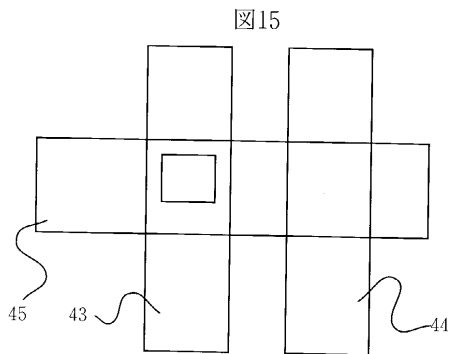
図13



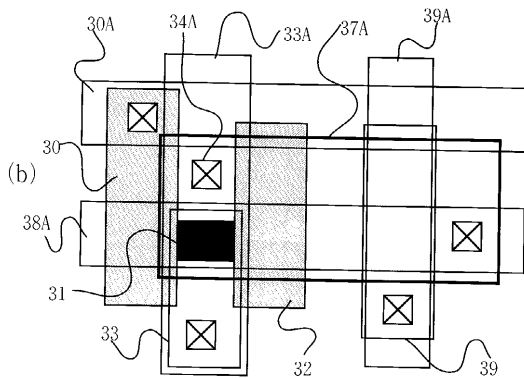
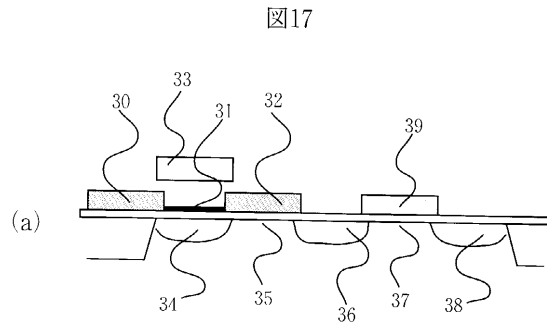
【 図 1 4 】



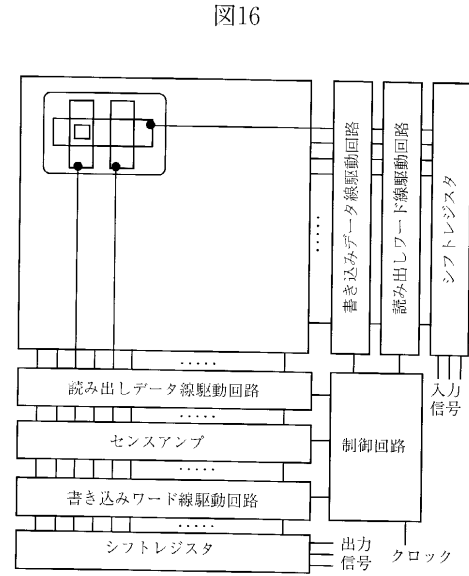
【 図 1 5 】



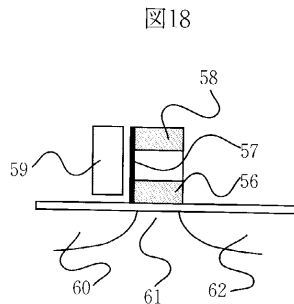
【 図 1 7 】



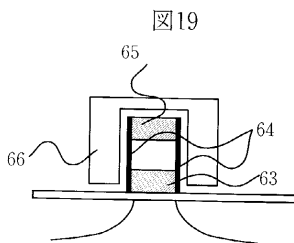
【 図 1 6 】



【 図 1 8 】

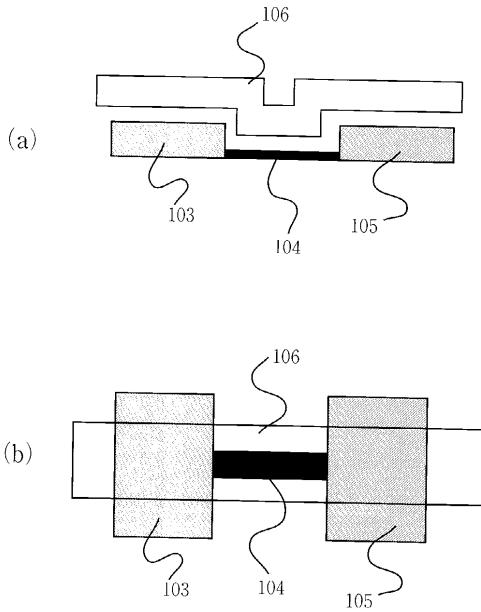


【 図 1 9 】



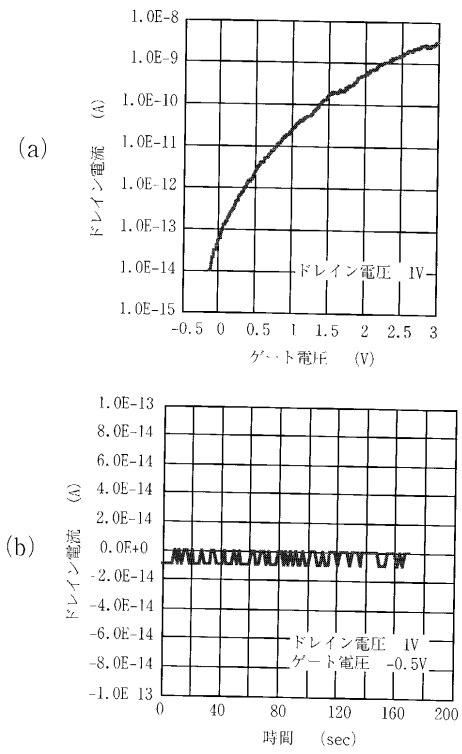
【 図 2 0 】

図20



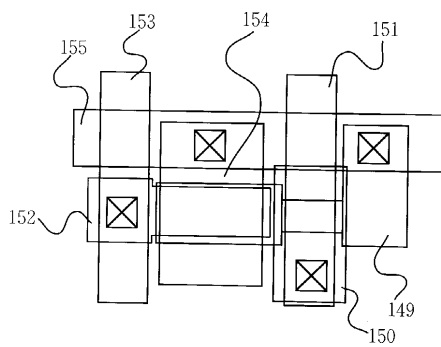
【 図 2 1 】

図21



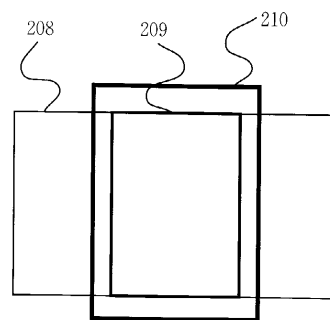
【 図 2 2 】

図22



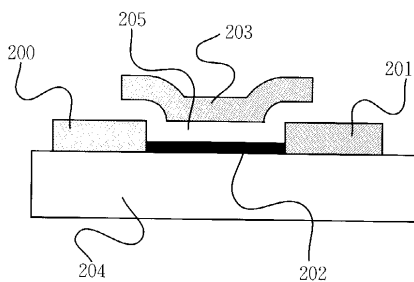
【 図 2 4 】

図24



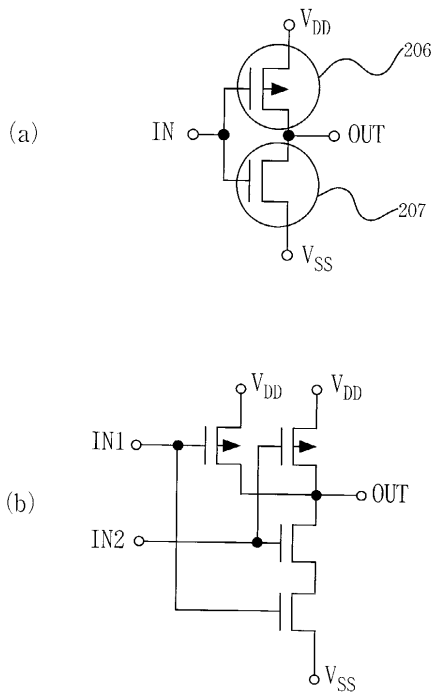
【 図 2 3 】

図23



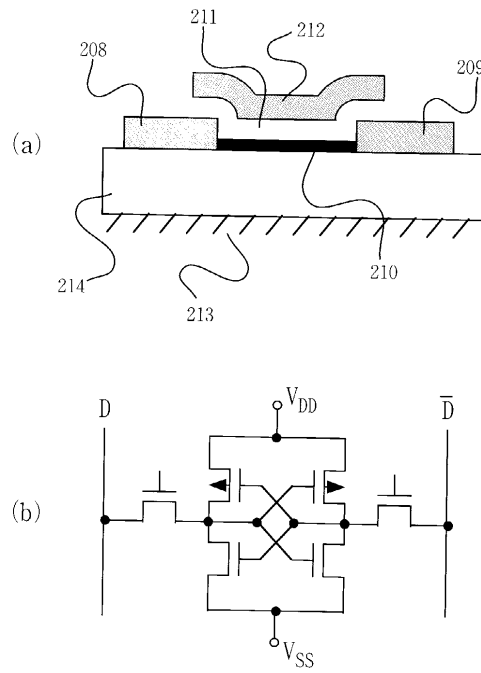
【 図 2 5 】

図25



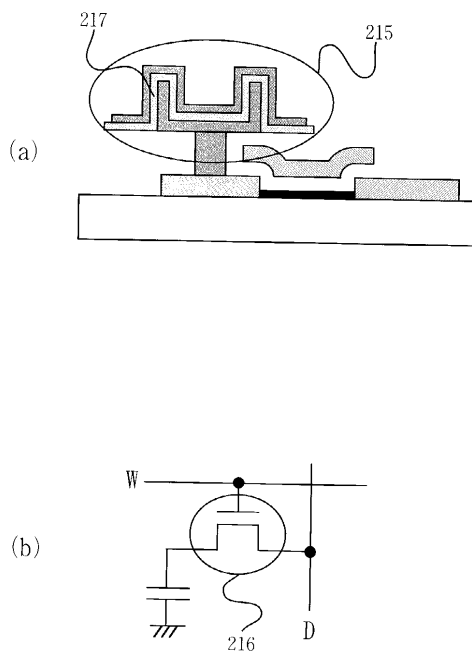
【 図 2 6 】

図26



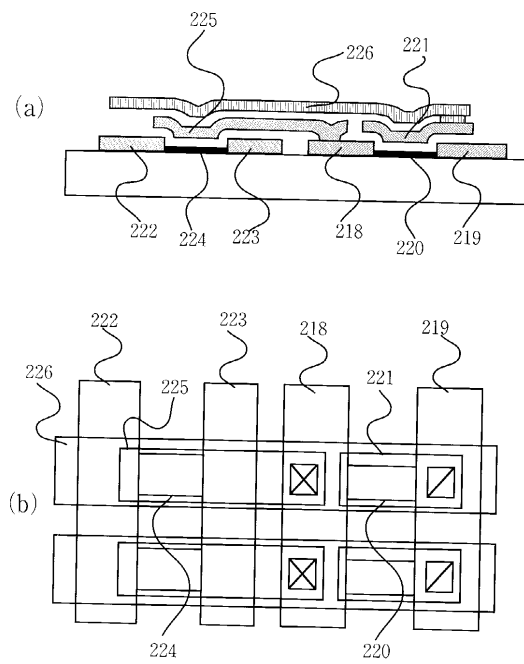
【 図 2 7 】

図27



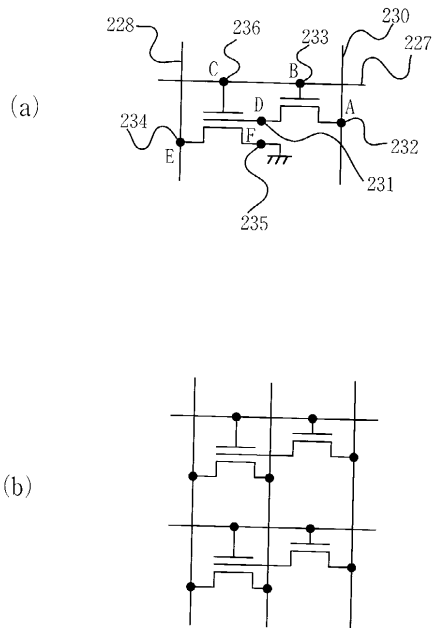
【 図 2 8 】

図28



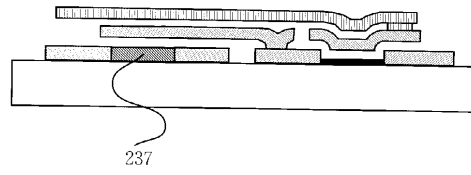
【 図 2 9 】

図29



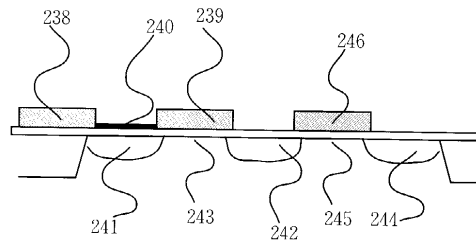
【 図 3 0 】

図30



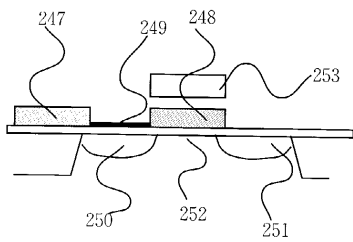
【 図 3 1 】

図31



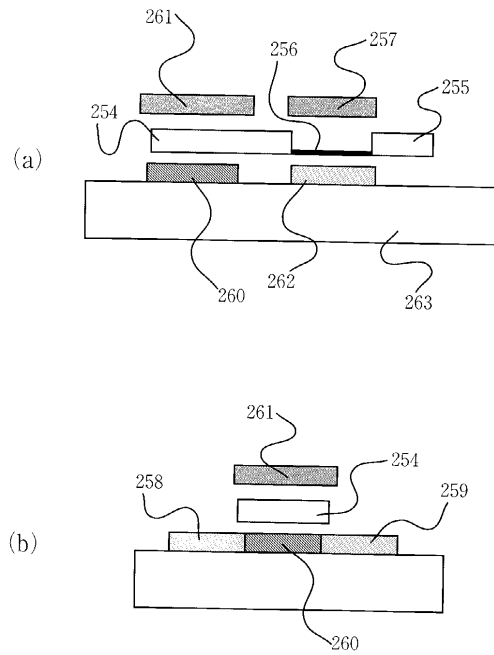
【 図 3 2 】

図32



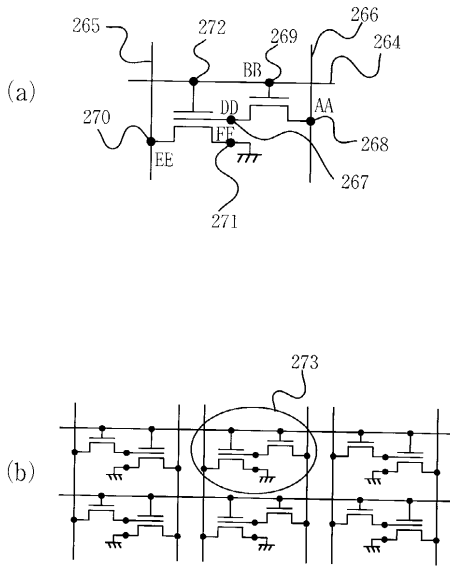
【 図 3 3 】

図33



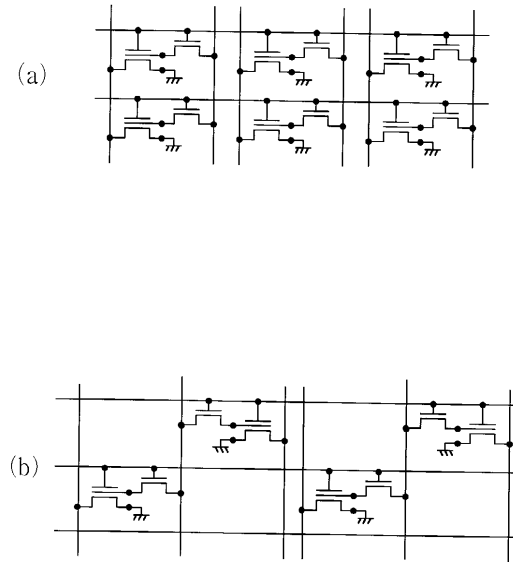
【 図 3 4 】

図34



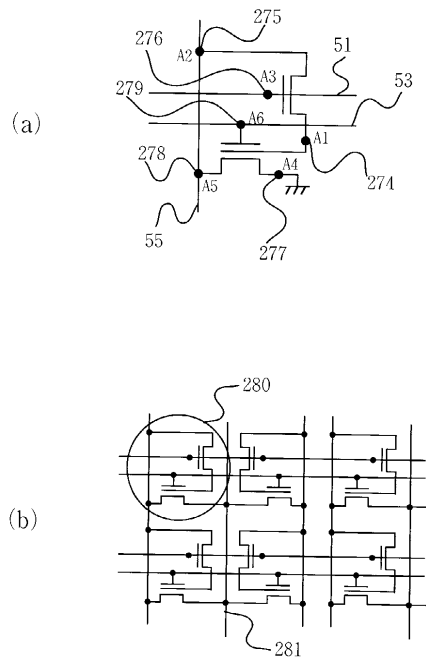
【 図 3 5 】

図35



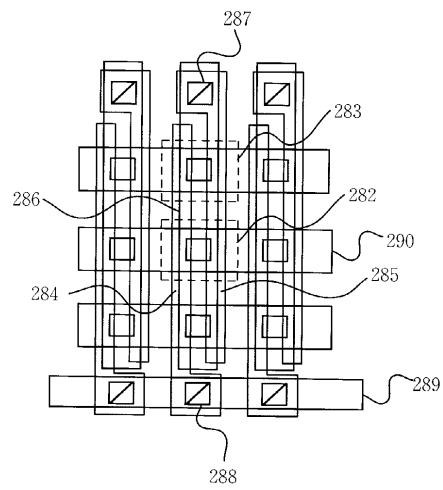
【 図 3 6 】

図36



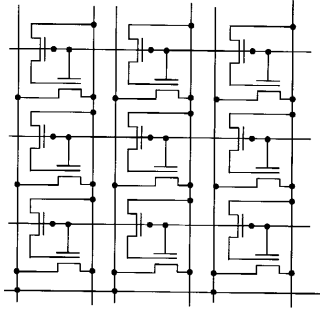
【 図 3 7 】

図37



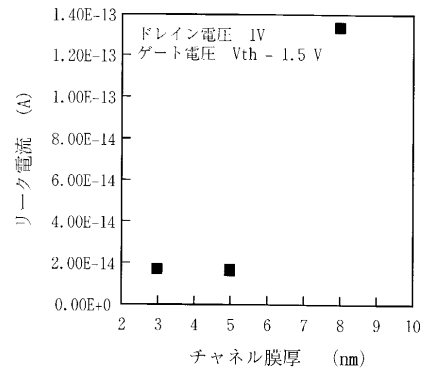
【 図 3 8 】

図38



【 図 3 9 】

図39



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 29/788 (2006.01) H 0 1 L 29/78 6 2 6 A
H 0 1 L 29/786 (2006.01)

(72)発明者 矢野 和男
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
(72)発明者 峰 利之
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

審査官 瀧内 健夫

(56)参考文献 特開昭61-085868(JP,A)
特開平09-213822(JP,A)
特開昭60-025269(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 21/8242
H01L 21/8244
H01L 21/8247
H01L 27/108
H01L 27/11
H01L 27/115
H01L 29/786
H01L 29/788
H01L 29/792