

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-340602

(P2005-340602A)

(43) 公開日 平成17年12月8日(2005.12.8)

(51) Int. Cl.⁷

H01L 21/3205

F I

H01L 21/88

K

テーマコード(参考)

5F033

H01L 21/88

M

H01L 21/88

R

審査請求 未請求 請求項の数 9 O L (全 18 頁)

(21) 出願番号

特願2004-159070 (P2004-159070)

(22) 出願日

平成16年5月28日(2004.5.28)

(71) 出願人

503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人

100119035

弁理士 池上 徹真

(72) 発明者

近藤 誠一

茨城県つくば市小野川16番地1 株式会

社半導体先端テクノロジーズ内

Fターム(参考) 5F033 HH11 HH12 HH18 HH21 HH28

HH32 HH34 HH35 MM01 MM12

MM13 PP06 PP15 PP27 QQ00

QQ09 QQ11 QQ19 QQ25 QQ48

RR01 RR04 RR05 RR06 RR25

RR29 SS11 SS22 WW00 WW01

WW09

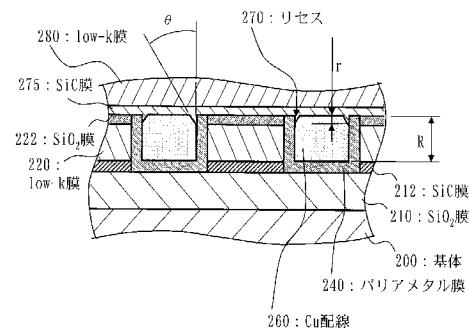
(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【目的】 配線間の絶縁耐圧を高めることを目的とする。

【構成】 導電性材料としてCuを用いた複数のCu配線となるCu膜260と、前記複数のCu配線となるCu膜260の各側面に配置されたバリアメタル膜240と、前記複数のCu配線となるCu膜260の間に、前記バリアメタル膜240を介して配置されたlow-k膜220と、を備え、前記Cu配線となるCu膜260の側面と前記バリアメタル膜240とが接触していない領域が2nm以上の距離存在することを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

導電性材料を用いた複数の導電部と、
前記複数の導電部の各側面に配置されたバリアメタル膜と、
前記複数の導電部の間に、前記バリアメタル膜を介して配置された絶縁膜と、
を備え、
前記導電部の側面と前記バリアメタル膜とが接触していない領域が 2 nm 以上の距離存在することを特徴とする半導体装置。

【請求項 2】

導電性材料を用いた複数の導電部と、
前記複数の導電部の各側面に配置されたバリアメタル膜と、
前記複数の導電部の間に、前記バリアメタル膜を介して配置された絶縁膜と、
を備え、
前記導電部の側面と前記バリアメタル膜とが接触していない領域が前記導電部の高さの 1 / 100 以上の距離存在することを特徴とする半導体装置。

【請求項 3】

導電性材料を用いた複数の導電部と、
前記複数の導電部の各側面に配置されたバリアメタル膜と、
前記複数の導電部の間に、前記バリアメタル膜を介して配置された絶縁膜と、
を備え、
前記導電部の側面が前記バリアメタル膜の側面に対し 5 度以上傾斜して接触していない領域を有することを特徴とする半導体装置。

【請求項 4】

前記領域は、前記導電部の側面上部に位置することを特徴とする請求項 1 ~ 3 いずれか記載の半導体装置。

【請求項 5】

前記導電部の上面は、前記バリアメタル膜と接触していない領域であることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】

前記導電性材料は、銅 (Cu) を用いたことを特徴とする請求項 1 ~ 5 いずれか記載の半導体装置。

【請求項 7】

前記絶縁膜の材料として、比誘電率 3 . 5 以下の材料を用いたことを特徴とする請求項 1 ~ 6 いずれか記載の半導体装置。

【請求項 8】

基体上に絶縁膜を形成する第 1 の絶縁膜形成工程と、
前記絶縁膜に開口部を形成する開口部形成工程と、
前記開口部の表面にバリアメタル膜を形成するバリアメタル膜形成工程と、
前記バリアメタル膜が表面に形成された前記開口部に導電性材料を堆積させる堆積工程と、
前記導電性材料が堆積した基体表面を研磨する研磨工程と、
前記研磨工程により研磨された基体表面を、エッチング液を用いてエッチングするエッチング工程と、
前記エッチング工程によりエッチングされた基体表面に絶縁膜を形成する第 2 の絶縁膜形成工程と、
を備えたことを特徴とする半導体装置の製造方法。

【請求項 9】

前記エッチング工程において、前記エッチング液として、酸化剤と有機酸との混合液を用いることを特徴とする請求項 8 記載の半導体装置の製造方法。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、半導体装置及び半導体装置の製造方法に係り、特にCu配線を用いた半導体装置の製造方法に関するものである。

【背景技術】

【0002】

近年、半導体集積回路(LSI)の高集積化、及び高性能化に伴って新たな微細加工技術が開発されている。化学機械研磨(ケミカル・メカニカル・ポリッシング:chemical mechanical polishing:CMP)法もその一つであり、LSI製造工程、特に多層配線形成工程における層間絶縁膜の平坦化、金属プラグ形成、或いは埋め込み工程において頻繁に利用されている技術である(例えば、特許文献1参照)。

10

【0003】

特に、最近ではLSIの高速性能化を達成するために、配線技術を従来のアルミ(Al)合金から低抵抗のCu或いはCu合金(以下、まとめてCuと称する。)に代える動きが進んでいる。Cuは、Al合金配線の形成において頻繁に用いられたドライエッチング法による微細加工が困難であるので、溝加工が施された絶縁膜上にCu膜を堆積し、溝内に埋め込まれた部分以外のCu膜をCMPにより除去して埋め込み配線を形成する、いわゆるダマシン(damascene)法が主に採用されている(例えば、特許文献2参照)。Cu膜はスパッタ法などで薄いシード層を形成した後に電解めっき法により数100nm程度の厚さの積層膜を形成することが一般的である。

20

【0004】

さらに、最近では層間絶縁膜として比誘電率の低いlow-k膜を用いることが検討されている。すなわち、比誘電率kが、約4.2のシリコン酸化膜(SiO₂)膜から比誘電率kが例えば3.5以下のlow-k膜を用いることにより、配線間の寄生容量を低減することが試みられている。また、比誘電率kが2.5以下のlow-k膜材料の開発も進められており、これらは材料中に空孔が入ったポーラス材料となっているものが多い。このようなlow-k膜(若しくはポーラスlow-k膜)とCu配線を組み合わせた多層配線構造を有する半導体装置の製造方法は次のようなものである。

【0005】

図13は、従来のlow-k膜とCu配線を組み合わせた多層配線構造を有する半導体装置の製造方法を示す工程断面図である。

30

図13では、デバイス部分等の形成方法は省略している。

図13(a)において、シリコン基板による基体200上に化学気相成長(CVD)等の方法により第1の絶縁膜221を成膜する。

図13(b)において、フォトリソグラフィ工程及びエッチング工程により、Cu金属配線或いはCuコンタクトプラグを形成するための溝構造(開口部H)を第1の絶縁膜221に形成する。

図13(c)において、第1の絶縁膜221上にバリアメタル膜240、Cuシード膜及びCu膜260をかかるとして形成して、150 から400 の温度で約30分間アニール処理する。

40

図13(d)において、Cu膜260とバリアメタル膜240をCMPにより除去することにより、溝である開口部HにCu配線を形成する。

図13(e)において、前記Cu膜260表面に還元性プラズマ処理を施した後に第2の絶縁膜281を成膜する。

さらに、多層Cu配線を形成する場合は、これらの工程を繰り返して積層していくのが一般的である。ここで、第1の絶縁膜221と第2の絶縁膜281の大半がlow-k膜となる。

【0006】

また、埋め込まれた金属配線の表面中央部分が等方的に腐食されて皿のように窪むディ

50

ッシングや配線密度の高い部分で絶縁膜も研磨されて金属配線の厚みが薄くなるエロージョンの少ない埋め込み配線を形成するためのCMPに関する技術が特許文献3に、CMP後の還元性プラズマ処理に関する技術が特許文献4に開示されている。

【0007】

また、埋め込まれた金属配線直上のみにキャップバリアを形成する技術が開示されている（例えば、特許文献5参照）。

【特許文献1】米国特許番号4944836

【特許文献2】特開平2-278822号公報

【特許文献3】特開2002-198333号公報

【特許文献4】特開2002-110679号公報

10

【特許文献5】特開平11-111843号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

図14は、図13の方法により積層された半導体装置の一例を示す断面図である。

図14では、第1の絶縁膜として、SiC膜212とlow-k膜280とSiO₂膜222とが形成され、第2の絶縁膜として、SiC膜275をCu膜260上に形成後、low-k膜280を形成した例を示している。

かかる図14で示すようなCu配線をシリコンウエハ上に形成しても、Cu配線間のスペースが0.2ミクロン以下のような場合は、十分な絶縁耐圧を確保することが困難であった。

20

図15は、絶縁破壊を説明するための図である。

図15に示すように、特に、第2の絶縁膜を形成する前のCu-CMPを行った際に、CMPスラリーに含まれる砥粒によって絶縁膜表面にマイクロクラッチなどの微細なダメージが加わり、そこから絶縁破壊が誘発されるという問題があった。また、CMP面となる絶縁膜にlow-k膜を用いている場合は、絶縁耐圧の劣化問題は深刻であった。これはlow-k膜の機械的強度が低く、ダメージを受けやすいからである。

【0009】

本発明は、かかる問題点を克服し、配線間の絶縁耐圧不良を低減することを目的とする。

30

【課題を解決するための手段】

【0010】

本発明の半導体装置は、
導電性材料を用いた複数の導電部と、
前記複数の導電部の各側面に配置されたバリアメタル膜と、
前記複数の導電部の間に、前記バリアメタル膜を介して配置された絶縁膜と、
を備え、
前記導電部の側面と前記バリアメタル膜とが接触していない領域が2nm以上の距離存在することを特徴とする。

40

【0011】

バリアメタル膜と導電部の間に2nm以上の深さの非接触領域（リセス）を設けることによって、導電部と絶縁膜表面のダメージ層との距離を離すことができる。

【0012】

或いは、本発明の半導体装置が、
導電性材料を用いた複数の導電部と、
前記複数の導電部の各側面に配置されたバリアメタル膜と、
前記複数の導電部の間に、前記バリアメタル膜を介して配置された絶縁膜と、
を備え、
前記導電部の側面と前記バリアメタル膜とが接触していない領域が前記導電部の高さの1/100以上の距離存在することを特徴とする。

50

【0013】

バリアメタル膜と導電部の間に前記導電部の高さの1/100以上の深さのリセスを設けることによって、導電部と絶縁膜表面のダメージ層との距離を離すことができる。

【0014】

或いは、本発明の半導体装置が、
導電性材料を用いた複数の導電部と、
前記複数の導電部の各側面に配置されたバリアメタル膜と、
前記複数の導電部の間に、前記バリアメタル膜を介して配置された絶縁膜と、
を備え、
前記導電部の側面が前記バリアメタル膜の側面に対し5度以上傾斜して接触していない領域を有することを特徴とする。

10

【0015】

バリアメタル膜と導電部の間に前記バリアメタル膜の側面に対し5度以上傾斜するリセスを設けることによって、導電部と絶縁膜表面のダメージ層との距離を離すことができる。

【0016】

特に、前記領域は、前記導電部の側面上部に位置することを特徴とする。

【0017】

さらに、前記導電部の上面は、前記バリアメタル膜と接触していない領域であることを特徴とする。

20

【0018】

絶縁破壊は、配線上端部で隣の配線との間の電位でドリフトするため、配線上端部と絶縁膜表面のダメージ層の距離を離すことが有効である。

【0019】

また、前記導電性材料は、銅(Cu)を用いた。

【0020】

配線の微細化に伴って、使用されるようになったCu配線では、配線間の距離も小さく、かかる場合に特に有効である。

【0021】

また、前記絶縁膜の材料として、比誘電率3.5以下の材料を用いた。

30

【0022】

Cu配線と共に、配線の微細化に伴って、使用されるようになった低誘電率の材料では配線間の距離も小さく、絶縁膜の幅も小さくなる。絶縁膜の幅も小さくなるから絶縁破壊を起こし易い。よって、かかるような場合に特に有効である。

【0023】

本発明の半導体装置の製造方法は、
基体上に絶縁膜を形成する第1の絶縁膜形成工程と、
前記絶縁膜に開口部を形成する開口部形成工程と、
前記開口部の表面にバリアメタル膜を形成するバリアメタル膜形成工程と、
前記バリアメタル膜が表面に形成された前記開口部に導電性材料を堆積させる堆積工程と、
前記導電性材料が堆積した基体表面を研磨する研磨工程と、
前記研磨工程により研磨された基体表面を、エッチング液を用いてエッチングするエッチング工程と、
前記エッチング工程によりエッチングされた基体表面に絶縁膜を形成する第2の絶縁膜形成工程と、
を備えたことを特徴とする。

40

【0024】

前記研磨工程により研磨された基体表面を、エッチング液を用いてエッチングすることで、前記開口部に堆積した導電性材料にリセスを形成することができる。リセスを形成す

50

ること導電部となる導電性材料と絶縁膜表面のダメージ層との距離を離すことができる。

【0025】

前記エッチング工程において、前記エッチング液として、酸化剤と有機酸との混合液を用いることを特徴とする。

【0026】

前記エッチング液として、酸化剤と有機酸との混合液を用いることにより効率よく所望するリセスを形成することができる。

【発明の効果】

【0027】

導電部と絶縁膜表面のダメージ層との距離を離すことができるので、導電部による配線間の絶縁耐圧を高めることができる。配線間の絶縁耐圧を高めることができるので、配線間の信頼性を向上させることができる。

【発明を実施するための最良の形態】

【0028】

実施の形態1.

本実施の形態1では、ダマシCu配線の側壁上部において、Cu膜とバリアメタル膜が接触していない領域の距離を確保することによって、狭ピッチCu配線間の絶縁耐圧劣化の問題を解決する方法を説明する。

図1は、実施の形態1における半導体装置の一例を示す断面図である。

図1において、基体200上には、SiO₂膜210が形成され、SiO₂膜210上に第1の絶縁膜が形成されている。第1の絶縁膜としては、下地膜となるSiC膜212とSiC膜212上にlow-k膜220、low-k膜220上にSiO₂膜222が形成される。第1の絶縁膜には、導電性材料としてCuを用いた高さRの複数のCu配線となるCu膜260と各Cu配線となるCu膜260側面及び下面を覆うバリアメタル膜240が形成される。ここで、前記Cu配線となるCu膜260の側面上端部と前記バリアメタル膜とが接触していない非接触領域としてリセス270が深さ方向にrの距離存在する。或いは/及び、リセス270として、前記Cu配線となるCu膜260の側面が前記バリアメタル膜240の側面に対し角度傾斜して接触していない領域を形成する。SiO₂膜222、バリアメタル膜240の上端部、及びCu配線となるCu膜260上面には、SiC膜275が形成され、SiC膜275は、リセス270を埋めている。SiC膜275上には、多層配線のために次のlow-k膜280が形成される。

【0029】

上記の狭ピッチCu配線となるCu膜260間の絶縁耐圧劣化の問題は、ダマシCu配線の側壁上部にリセス270を設け、このリセス270によってCu膜とバリアメタル膜の表面が接触していない距離を確保し、比誘電率が3.5のlow-k膜220の場合、その距離rが2nm以上であることにより解決される。さらに、リセス270の深さ方向の距離rが5nm以上であれば、比誘電率が2.9のlow-k膜がCMP面に露出している絶縁耐圧が高く、10nm以上であれば、比誘電率が2.5のlow-k膜がCMP面に露出している絶縁耐圧を確保することが可能となる。

【0030】

若しくは、ダマシCu配線となるCu膜260の側壁上部にリセス270を設けることによって、比誘電率が3.5のlow-k膜220の場合、前記Cu膜とバリアメタル膜の表面が、Cu配線の高さRの1/100以上の距離rだけ接触していないことにより解決される。さらに、リセスの深さの距離rがCu配線の高さRの1/50以上の距離だけ離れていれば、比誘電率が2.9のlow-k膜がCMP面に露出している絶縁耐圧が高く、リセスの深さの距離rがCu配線の高さRの1/10以上の距離だけ離れていれば、比誘電率が2.5のlow-k膜がCMP面に露出している絶縁耐圧を確保することが可能となる。

【0031】

10

20

30

40

50

若しくは、ダマシンCu配線となるCu膜260の側壁上部において、比誘電率が3.5のlow-k膜220の場合、Cu膜表面とバリアメタル膜表面の角度が5度以上の角度を有して離れていることが望ましい。さらに、10度以上の角度を有して離れていれば、比誘電率が2.9のlow-k膜がCMP面に露出しているにもかかわらず絶縁耐圧が高く、25度以上の角度を有して離れていれば、比誘電率が2.5のlow-k膜がCMP面に露出しているにもかかわらず高い絶縁耐圧を確保することが可能となる。かかる角度と前記接触していない深さ方向の距離rとを両方備えていれば、なおよい。

【0032】

以下、図1の半導体装置の製造方法を説明する。

図2は、図1の半導体装置の構成のうち、下層のSiO₂膜形成工程からlow-k膜上のSiO₂膜形成工程までを示す工程断面図である。それ以降の工程は後述する。 10

【0033】

図2(a)において、SiO₂膜形成工程として、基体200上にCVD法によって、例えば、膜厚200nmの下地SiO₂膜を堆積し、SiO₂膜210を形成する。ここでは、CVD法によって成膜しているが、その他の方法を用いても構わない。基体200として、例えば、直径300ミリのシリコンウエハを用いる。ここでは、デバイス部分の形成を省略している。

【0034】

図2(b)において、SiC膜形成工程として、SiO₂膜210の上に、CVD法によって、SiCを用いた膜厚30nmの下地SiC膜を堆積し、SiC膜212を形成する。ここでは、CVD法によって成膜しているが、その他の方法を用いても構わない。SiC膜212は、エッチングストップとしての機能も有する。SiC膜を生成するのは難しいためSiC膜の代わりにSiOC膜を用いても構わない。或いは、SiCN膜、SiN膜を用いることができる。 20

【0035】

図2(c)において、low-k膜形成工程として、基体200の上に形成された前記SiC絶縁膜形成工程により形成されたSiC膜212の上に多孔質の絶縁性材料を用いたlow-k膜220を200nmの厚さで形成する。low-k膜220を形成することで、比誘電率kが3.5よりも低い層間絶縁膜を得ることができる。low-k膜220の材料としては、例えば、多孔質のメチルシルセスキオキサン(methyl silsequioxane:MSQ)を用いることができる。また、その形成方法としては、例えば、溶液をスピコートし熱処理して薄膜を形成するSOD(spin on dielectric coating)法を用いることができる。ここでは、スピナーの回転数は900min⁻¹(900rpm)で成膜した。このウエハをホットプレート上で窒素雰囲気中250の温度でベークを行い、最終的にホットプレート上で窒素雰囲気中450の温度で10分間のキュアを行った。MSQの材料や形成条件などを適宜調節することにより、所定の物性値を有する多孔質の絶縁膜が得られる。例えば、密度が0.7g/cm³で比誘電率kが1.8となる。low-k膜のSiとOとCの組成比は、Siが25から35%の範囲、Oが45から57%の範囲、Cが13から24%の範囲にある物性値を有するLow-k膜220が得られる。そして、Heプラズマ処理工程として、このlow-k膜220表面をCVD装置内でヘリウム(He)プラズマ照射によって表面改質する。Heプラズマ照射によって表面が改質されることで、low-k膜220とlow-k膜220上に形成する後述するキャップ膜としてのCVD-SiO₂膜222との接着性を改善することができる。ガス流量は1.7Pa·m³/s(1000sccm)、ガス圧力は1000Pa、高周波パワーは500W、低周波パワーは400W、温度は400とした。キャップCVD膜をlow-k膜上に成膜する際は、low-k膜表面にプラズマ処理を施すことがキャップCVD膜との接着性を改善する上で有効である。プラズマガスの種類としてはアンモニア(NH₃)、亜酸化窒素(N₂O)、水素(H₂)、He、酸素(O₂)、シラン(SiH₄)、アルゴン(Ar)、窒素(N₂)などがあり、これらの中でもHeプラズマはlow-k膜へのダメージが少ないために特に有効 30 40 50

である。また、プラズマガスはこれらのガスを混合したもので良い。例えば、Heガスは他のガスと混合して用いると効果的である。

【0036】

図2(d)において、SiO₂膜形成工程として、前記Heプラズマ処理を行った後、キャップ膜として、CVD法によってlow-k膜220上にSiO₂を膜厚50nm堆積することで、SiO₂膜222を形成する。SiO₂膜222を形成することで、直接リソグラフィを行うことができないlow-k膜220を保護し、low-k膜220にパターンを形成することができる。かかるキャップCVD膜は、SiO₂膜、SiC膜、SiOC膜、SiCN膜などがあるが、ダメージ低減の観点からはSiO₂膜が優れ、低誘電率化の観点からはSiOC膜が、耐圧向上の観点からはSiC膜やSiCN膜が優れている。さらに、SiO₂膜とSiC膜の積層膜、もしくはSiO₂膜とSiCO膜の積層膜、もしくはSiO₂膜とSiCN膜の積層膜を用いることができる。さらにキャップCVD膜の一部、もしくは全てが後述する平坦化工程においてCMPにより除去されても良い。キャップ膜を除去することで誘電率をさらに低減することができる。キャップ膜の厚さとしては10nmから150nmが良く、10nmから50nmが実効的な比誘電率を低減する上で効果的である。

10

【0037】

以上の説明において、下層配線における層間絶縁膜は、比誘電率が3.5以下のlow-k膜でなくても構わないが、low-k膜を含む場合に特に有効である。なぜならば、low-k膜は絶縁耐圧が低い材料が多いだけでなく、CMPプロセスによりダメージを受けやすいからである。

20

【0038】

図3は、配線形成のための開口部形成工程からめっき工程までを示す工程断面図である。それ以降の工程は後述する。

図3(a)において、開口部形成工程として、リソグラフィ工程とドライエッチング工程でダマシン配線を作製するための配線溝構造である開口部150をSiO₂膜222とlow-k膜220と下地SiC膜212内に形成する。図示していないレジスト塗布工程、露光工程等のリソグラフィ工程を経てSiO₂膜222の上にレジスト膜が形成された基体200に対し、露出したSiO₂膜222とその下層に位置するlow-k膜220を、下地SiC膜212をエッチングストップとして異方性エッチング法により除去し、その後、下地SiC膜212をエッチングして開口部150を形成すればよい。異方性エッチング法を用いることで、基体200の表面に対し、略垂直に開口部150を形成することができる。例えば、一例として、反応性イオンエッチング法により開口部150を形成すればよい。

30

【0039】

図3(b)において、バリアメタル膜形成工程として、前記開口部形成工程により形成された開口部150及びSiO₂膜222表面にバリアメタル材料を用いたバリアメタル膜240を形成する。物理気相成長法(physical vapor deposition: PVD)法の1つであるスパッタ法を用いるスパッタリング装置内で窒化タンタル(TaN)を膜厚2nm、原子層気相成長(atomic layer deposition: ALD法、あるいは、atomic layer chemical vapor deposition: ALD法)によりタンタル(Ta)膜を膜厚1nm堆積し、さらにその上にスパッタ法によるTa膜を膜厚2nm堆積し、バリアメタル膜240を形成する。TaN膜とTa膜とを積層することで、TaN膜によりCuのlow-k膜220への拡散防止を図り、Ta膜によりCuの密着性向上を図ることができる。バリアメタル材料の堆積方法としては、ALD法、ALD法やCVD法などを用いることでPVD法を用いる場合より被覆率を良くすることができる。

40

前記バリアメタル膜は、Ta膜、TaN膜、もしくはその積層膜であることが望ましい。前記バリアメタル膜の成膜方法は、CVD法もしくはALD法であることが被覆性の観点から望ましいが、上述したスパッタ法などのPVD法であっても有効である。

50

【0040】

図3(c)において、シード膜形成工程として、スパッタ等の物理気相成長(PVD)法により、次の工程である電解めっき工程のカソード極となるCu薄膜をシード膜250としてバリアメタル膜240が形成された開口部150内壁及び基体200表面に堆積(形成)させる。ここでは、シード膜250を膜厚75nm堆積させた。

【0041】

図3(d)において、めっき工程として、シード膜250をカソード極として、電解めっき等の電気化学成長法によりCu膜260を開口部150及び基体200表面に堆積させる。ここでは、膜厚300nmのCu膜260を堆積させ、堆積させた後にアニール処理を250の温度で30分間行った。

10

【0042】

図4は、平坦化する研磨工程から図1に示す第2の絶縁膜としてのlow-k膜形成工程までを示す工程断面図である。

【0043】

図4(a)において、研磨工程として、CMP法によってSiO₂膜222の表面に堆積された導電部としての配線層となるCu膜260、シード膜250、及びバリアメタル膜240を研磨除去することにより、図4(a)に表したような埋め込み構造を形成する。ここでは、一例として、CMP装置はオービタル方式で、ノベラスシステムズ社のMomentum300を用いた。CMP荷重は 1.03×10^4 Pa (1.5 psi)、オービタル回転数は 600 min^{-1} (600 rpm)、ヘッド回転数は 24 min^{-1} (24 rpm)、スラリー供給速度は0.3 L/min (300 cc/分)、研磨パッドは発泡ポリウレタン製の単層パッド(ロデル社のIC1000)、CMPスラリーはCu用に砥粒フリースラリー(日立化成工業製のHS-C430-TU)、バリアメタル用にコロイダルシリカ砥粒スラリー(日立化成工業製のHS-T605-8)を用いた。上述の条件でCMPを行い、溝外部のCu膜とバリアメタル膜を除去してダマシンCu配線を形成した。

20

【0044】

図4(b)において、エッチング工程として、前記研磨工程により研磨された基体表面を、エッチング液を用いてエッチングし、リセス270を形成する。CMP工程後、かつ後洗浄工程に入る直前に、エッチング液として、0.1%クエン酸と9%過酸化水素と0.5%ベンゾトリアゾール(BTA)が混合された水溶液を用いてリンスをCMPプラテン上において行なう。これにより図4(b)のようなCu配線の上端部にリセス270を形成する。例えば、30秒間リンスを行なうことにより、Cu配線の上端部に深さ方向の距離rが10nmのリセスを形成した。Cu膜260表面とバリアメタル膜240表面のリセス270部における角度は、30度離れている。リンスを行わなかったウエハ(図13)も、比較試料(レファレンス)として、リンスを行ったウエハと電気特性を比較するため用意した。

30

【0045】

図5は、リセスを形成する装置の構成を説明するための概念図である。

図5(a)に示すように、CMPプロセスのステップの一部として、ロータリ型のCMP装置において、プラテン520上に配置された研磨パッド525上に、研磨面を下に向けて基板300をキャリア510が保持する。そして、スラリーを用いた研磨工程が終了後、研磨パッド525上のスラリーを純水にて流し、置換した後、前記エッチング液を供給液540として、供給ノズル530から供給する。図5(b)に示すように、キャリア510を図に示すように回転することで基板300を回転させ、プラテン520も回転させる。プラテン520の回転方向先に位置する基板300の手前(図5(b)の540に示す位置)に供給液540を供給することで、供給液540が基板300面内に供給される。

40

【0046】

或いは、次のようにリセスを形成してもよい。

50

図6は、リセスを形成する別の装置の構成を説明するための概念図である。

図6において、CMP直後のリンスプロセスのステップとして、回転テーブル720上に配置された4つの保持具710にて基板300を保持する。そして、回転軸760の回転により回転テーブル720が回転することで、基板300を回転させながら供給口730から供給液740を供給する。例えば、供給液740として、リンス洗浄として純水を15秒、その後、エッチング液を15秒、再度リンス洗浄として純水を30秒流す。エッチング液供給の際には、回転数 200min^{-1} (200rpm)で $5 \times 10^{-1}\text{Pa} \cdot \text{m}^3 / \text{s}$ (300sccm)流す。

【0047】

或いは、次のようにリセスを形成してもよい。

10

図7は、リセスを形成する別の装置の構成を説明するための概念図である。

図7において、CMP後洗浄プロセスのステップの一部として、回転テーブル620上に配置された4つの保持具610にて研磨された研磨面を上にして基板300を保持する。そして、回転軸660の回転により回転テーブル620が回転することで、基板300を回転させながら供給口630から供給液640を供給する。基板300表面は、回転軸656にて揺動可能なアーム654の先端部に配置された回転軸652により回転するブラシ650でブラシスクラブされる。例えば、供給液640として、リンス洗浄として純水を15秒、その後、エッチング液を15秒、再度エッチング液の洗浄として純水を30秒流す。エッチング液供給の際には、回転数 100min^{-1} (100rpm)で $5 \times 10^{-1}\text{Pa} \cdot \text{m}^3 / \text{s}$ (300sccm)流す。

20

【0048】

或いは、次のようにリセスを形成してもよい。

図8は、リセスを形成する別の装置の構成を説明するための概念図である。

CMP後洗浄プロセスのステップの一部として、図8(b)に示す保持具710にて研磨された研磨面を上にして基板300を保持する。そして、図示しない回転軸の回転により基板300を回転させながら供給口730は上面に向かって供給液740を供給し、供給口732は下面に向かって供給液742を供給する。図8(a)、(b)に示すように基板300表面は、自転するブラシ750とブラシ752とで挟持されブラシスクラブされる。例えば、図7と同様、供給液640として、リンス洗浄として純水を15秒、その後、エッチング液を30秒、再度リンス洗浄として純水を30秒流す。エッチング液供給の際には、回転数 100min^{-1} (100rpm)で $5 \times 10^{-1}\text{Pa} \cdot \text{m}^3 / \text{s}$ (300sccm)流す。ここでは、研磨面(リセスを形成する面)を上向きにしているが、下向きにしても構わない。その場合は、供給液742として、エッチング液を流せばよい。

30

【0049】

或いは、次のようにリセスを形成してもよい。

図9は、リセスを形成する別の装置の構成を説明するための概念図である。

図9(a)に示すように、CMPプロセスのステップの一部として、オービタル回転型のCMP装置において、プラテン820上に配置された研磨パッド825上に、研磨面を下に向けて基板300をキャリア810が保持する。そして、スラリーを用いた研磨工程が終了後、研磨パッド825上のスラリーを純水にて流し、置換した後、プラテン820を図に示すようにオービタル回転させながら、図9(b)に示すように、前記エッチング液を供給液840として、研磨パッド825の下側から供給する。供給液840を研磨パッド825の下側から供給することで、供給液840が基板300面内に供給される。供給された供給液840は、プラテン820の回転に伴い、外周部から排出される。

40

【0050】

以上のように、これらのリセス構造を形成は、CMPプロセスのステップの一部、CMP直後のリンスプロセスのステップ、CMP後洗浄プロセスのステップの一部にエッチング剤を用いることによって達成できる。図5や図9に示すように、CMPプラテン上でエッチング液を流しながら研磨面をリンスすることによっても可能であるし、図7や図8に

50

示すように後洗浄プロセスにおいてブラシスクラブをしながらエッチング液を流すことによっても可能である。単に、エッチング液に浸漬させても可能である。エッチング液は酸化剤と有機酸の混合水溶液が望ましい。酸化剤としては過酸化水素、有機酸としてはヒドロキシ酸（OH基を含む有機酸）もしくはカルボン酸（COOH基を含む有機酸）が望ましく、ヒドロキシカルボン酸（OH基とCOOH基を一分子中に含む有機酸）が最も望ましい。例えば、クエン酸、リンゴ酸、コハク酸、酒石酸、フタル酸、マロン酸、マレイン酸、フマル酸、乳酸、ピメリン酸、アジピン酸、グルタル酸、シュウ酸、サリチル酸、グルコール酸、安息香酸、酪酸、吉草酸、プロピオン酸、酢酸、ギ酸などが挙げられる。薬品の濃度は前述の距離、角度になるように最適化することが可能である。有機酸の濃度としては0.01から1%の範囲内で最適化ができる。酸化剤の濃度としては1から30%の範囲内で最適化できる。 10

エッチングの深さを制御するために、さらに防食剤や界面活性剤を添加することは有効である。防食剤としてはベイズトリアゾール（BTA）やイミダゾール、もしくはその誘導体が望ましい。界面活性剤としては、ポリアクリル酸もしくはポリアクリル酸アンモニウムが望ましい。防食剤の濃度としては0.01から0.5%の範囲内で最適化ができる。界面活性剤の濃度としては0.001から1%の範囲内で最適化できる。

【0051】

図4(c)において、還元性プラズマ処理工程として、CVD装置内でアンモニア（NH₃）プラズマ処理を行なう。この処理により図4(a)における平坦化工程でのCu-CMPの際にスラリーとの反応によって形成されたCu表面の錯体を還元し、キャップSiO₂膜上に存在する残留有機物を除去することができる。この処理によりCu-CMPの際にスラリーとの反応によって形成されたCu表面の錯体が還元され、キャップSiO₂膜上にある残留有機物も除去されることから絶縁耐圧は改善される。前記還元性のプラズマはアンモニアプラズマ、もしくは水素（H₂）プラズマが効果的であり、特にアンモニアプラズマが処理装置内におけるガスの扱い易さから好ましい。 20

【0052】

還元性プラズマ処理工程では、図示していないCVD装置内におけるチャンバの内部にて、下部電極を兼ねた温度が400に制御された基板ホルダの上に基体200となる半導体基板を設置する。そして、チャンバの内部に上部電極内部からガスを供給する。供給するガス流量は11.8 Pa・m³/s（7000 sccm）とした。真空ポンプにより233 Paのガス圧力になるように真空引きされたチャンバの内部の上記上部電極と下部電極との間に高周波電源を用いてプラズマを生成させる。高周波パワーは560 W、低周波パワーは250 W、処理時間は10秒とした。 30

【0053】

そして、次の層における第2の絶縁膜形成工程の一部であるSiC膜形成工程として、還元性プラズマ処理した同じCVD装置内で400の温度で30 nmの膜厚のSiC膜275を形成する。SiC膜275は、リセス270にも埋め込まれる。SiC膜275は拡散防止膜の働きがあり、このSiC膜275を形成することで、Cuの拡散を防止することができる。かかるCVD法で形成されるSiC膜275の他に、SiCN膜、SiCO膜、SiN膜、SiO₂膜を用いることができる。 40

【0054】

図4(d)において、low-k膜形成工程として、図2(c)で説明した工程と同様に、SiC膜275の上にSiC膜275よりも比誘電率の低い低誘電率膜である、多孔質の絶縁性材料を用いたlow-k膜280を形成する。以降、多層配線を必要に応じ順次形成する。

【0055】

これらリセスを形成したウエハと形成していないウエハとの2種類のウエハに保護膜とパッド電極を形成して、Cu配線間の絶縁耐圧試験を行った。前述の2種類のウエハにおいて、Cu配線の幅が0.13マイクロメートル、配線間のスペースが0.13マイクロメートルの構造において絶縁耐圧を調べた。その結果、本発明のリンス処理を行ったウエ 50

八では絶縁耐圧の劣化はほとんど見られなかった。99%以上の歩留りで、2MV/cm以上の耐圧があった。これに対して、前述のリセス処理（リセス形成）を行っていないウエハでは同一配線構造の絶縁耐圧が50%まで低下した。劣化したCu配線をTEMで観察した結果、図15に示すような破壊が見られた。すなわち、Cu上端部から絶縁破壊が起こっていた。一方、リセス処理（リセス形成）を行ったウエハでは絶縁破壊が見つからなかった。つまり、リセス処理されたウエハでは配線上端部におけるCuの電界拡散が防止され、絶縁破壊電圧の低下を抑制することができたものと考えられる。

【0056】

図10は、CMPのダメージ層とCu膜の上端部の距離がリセスによって離れることを説明するための概念図である。

10

絶縁破壊電圧の低下を抑制することができたのは、図10に示すように、CMPのダメージ層とCu膜の上端部の距離がリセスによって離れることで、Cuの電界拡散が抑制されたものと考えられる。

図11は、リセスの深さと絶縁耐圧の関係を調べた結果を示す図である。

リセスの深さと絶縁耐圧の関係を調べた結果、リセスの深さが2nm以上あると有効であることがわかった。さらに5nm以上あれば効果が絶大であった。リセスが20nm以上になると、絶縁耐性の効果は高くなるが、配線抵抗の増加が無視できなくなるという問題があることから、リセスの深さがCu配線の高さの1/100以上、1/5以下であることが望ましい。Cu配線の上端部にある場合は、Cu膜表面とバリアメタル膜表面が5度以上の角度を有して離れていることが望ましい。

20

本実験をデバイスが搭載されたウエハで実施しても同様の効果を確認することができた。1層目のCu配線層だけでなく、2層目のCu配線層においても有効であり、さらに3層目以上のCu配線層でも有効な結果が得られた。

low-k材料としては、HSQ (Hydrogen Silsesquioxane) やポリマー、CVDで形成されたSiOC膜を用いても同様の結果が得られた。

【0057】

実施の形態2.

図12は、実施の形態2における半導体装置の一例を示す断面図である。

図12に示すように、リセス270の形状は、Cu配線となるCu膜260の上端部であっても、Cu配線となるCu膜260の表面全体に及んでいても良い。

30

【0058】

前記各実施の形態において、比誘電率kが2.6以下の場合、low-k膜の側壁が、20nm以下の膜厚のCVD膜で被覆されていることが望ましい。その理由は、比誘電率が2.6以下の場合にはポーラス膜であることが多く、ポアシーリングをCu配線の側壁で行う必要があるからである。特に、前述のALD法やCVD法によってバリアメタル膜を成膜する場合は必要である。ポアシーリング用のCVD膜の種類としては、SiC膜、SiCN膜、SiCO膜、SiN膜が望ましい。特に、低誘電率の観点からSiC膜が最適である。

【0059】

以上の説明において、前記各実施の形態は、配線ピッチが300nm以下であると特に有効である。200nm以下であるとさらに有効である。配線ピッチが小さくなるほど絶縁破壊の問題は大きくなり、前記各実施の形態は、配線ピッチが小さくなるほど有効となる。

40

【0060】

以上の説明において、バリアメタルとして、Ta、Ta₂Nに限らず、TaCN（炭化窒化タンタル）、WN（窒化タングステン）、WCN（炭化窒化タングステン）、TiN（窒化チタン）等の高融点金属の窒化膜或いは窒化炭素膜であっても構わない。或いはチタン（Ti）、WSiN等であっても構わない。

【0061】

ここで、上記各実施の形態における配線層の材料として、Cu以外に、Cu-Sn合金

50

、Cu-Ti合金、Cu-Al合金等の、半導体産業で用いられるCuを主成分とする材料を用いて同様の効果が得られる。

【0062】

なお、多層配線構造などを形成する場合には、各図において基体200は、下層の配線層と絶縁膜とが形成されたものである。

【0063】

上記各実施の形態においては、多孔質絶縁膜の材料としては、多孔質誘電体薄膜材料としてのMSQに限らず、他の多孔質無機絶縁体膜材料、多孔質有機絶縁体膜材料を用いても同様の効果を得ることができる。

特に、多孔質の低誘電率材料に上記各実施の形態を適用した場合には、上述の如く顕著な効果が得られる。上記各実施の形態において多孔質絶縁膜の材料として用いることができるものとしては、例えば、各種のシルセスキオキサン化合物、ポリイミド、炭化フッ素(fluorocarbon)、パリレン(parylene)、ベンゾシクロブテンをはじめとする各種の絶縁性材料を挙げることができる。

【0064】

以上、具体例を参照しつつ各実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。

【0065】

例えば、各実施の形態で層間絶縁膜が形成された基体200は、図示しない各種の半導体素子あるいは構造を有するものとして用いることができる。また、半導体基板ではなく、層間絶縁膜と配線層とを有する配線構造の上に、さらに層間絶縁膜を形成してもよい。開口部も半導体基板が露出するように形成してもよいし、配線構造の上に形成してもよい。

【0066】

さらに、層間絶縁膜の膜厚や、開口部のサイズ、形状、数などについても、半導体集積回路や各種の半導体素子において必要とされるものを適宜選択して用いることができる。

【0067】

その他、本発明の要素を具備し、当業者が適宜設計変更しうる全ての半導体装置の製造方法は、本発明の範囲に包含される。

【0068】

また、説明の簡便化のために、半導体産業で通常用いられる手法、例えば、フォトリソグラフィプロセス、処理前後のクリーニング等は省略しているが、それらの手法が含まれることは言うまでもない。

【図面の簡単な説明】

【0069】

【図1】実施の形態1における半導体装置の一例を示す断面図である。

【図2】図1の半導体装置の構成のうち、下層のSiO₂膜形成工程からlow-k膜上のSiO₂膜形成工程までを示す工程断面図である。

【図3】配線形成のための開口部形成工程からめっき工程までを示す工程断面図である。

【図4】平坦化する研磨工程から図1に示す第2の絶縁膜としてのlow-k膜形成工程までを示す工程断面図である。

【図5】リセスを形成する装置の構成を説明するための概念図である。

【図6】リセスを形成する別の装置の構成を説明するための概念図である。

【図7】リセスを形成する別の装置の構成を説明するための概念図である。

【図8】リセスを形成する別の装置の構成を説明するための概念図である。

【図9】リセスを形成する別の装置の構成を説明するための概念図である。

【図10】CMPのダメージ層とCu膜の上端部の距離がリセスによって離れることを説明するための概念図である。

【図11】リセスの深さと絶縁耐圧の関係を調べた結果を示す図である。

【図12】実施の形態2における半導体装置の一例を示す断面図である。

【図13】従来のlow-k膜とCu配線を組み合わせた多層配線構造を有する半導体装

置の製造方法を示す工程断面図である。

【図14】図13の方法により積層された半導体装置の一例を示す断面図である。

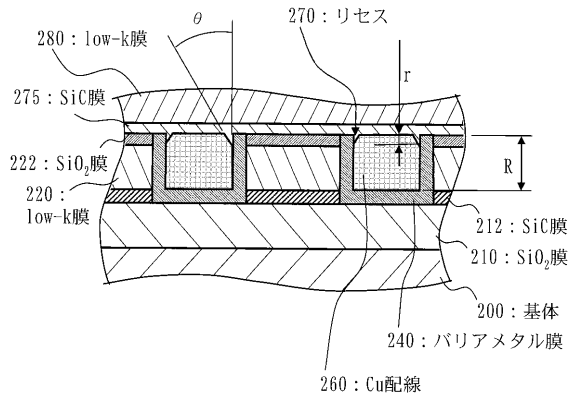
【図15】絶縁破壊を説明するための図である。

【符号の説明】

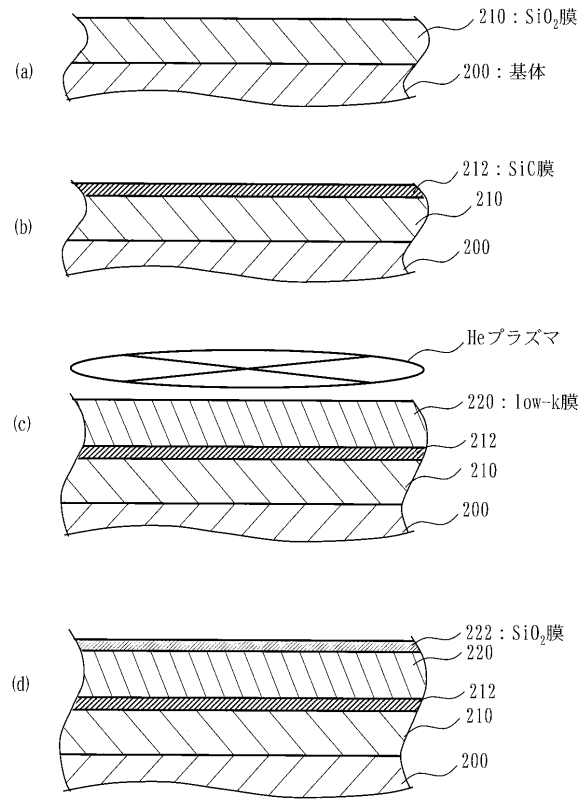
【0070】

150	開口部	
200	基体	
210, 222	SiO ₂ 膜	
212, 275	SiC膜	
220, 280	low-k膜	10
221, 281	絶縁膜	
240	バリアメタル膜	
250	シード膜	
260	Cu膜	
270	リセス	
300	基板	
510, 810	キャリア	
520, 820	プラテン	
525, 825	研磨パッド	
530	供給ノズル	20
540, 640, 740, 742, 840	供給液	
610, 710	保持具	
620, 720	回転テーブル	
630, 730	供給口	
650, 750, 752	ブラシ	
652, 656, 660, 760	回転軸	
654	アーム	

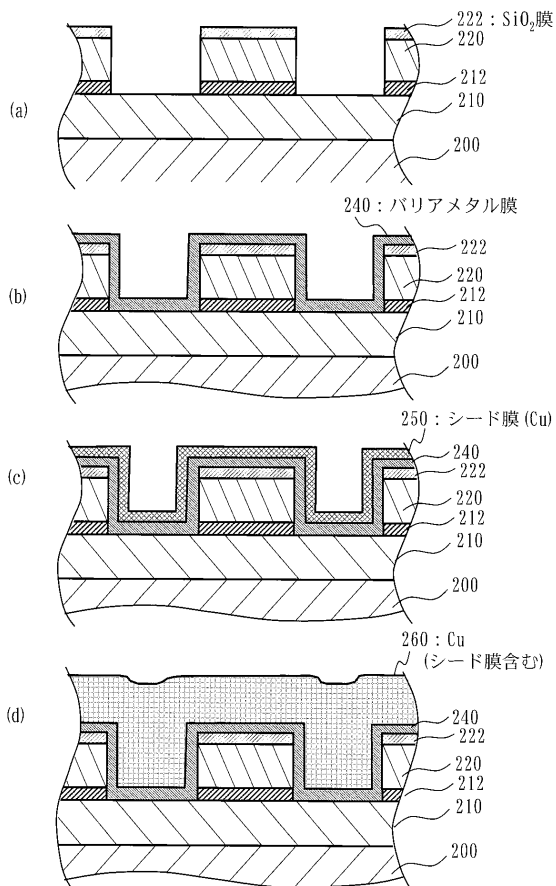
【図1】



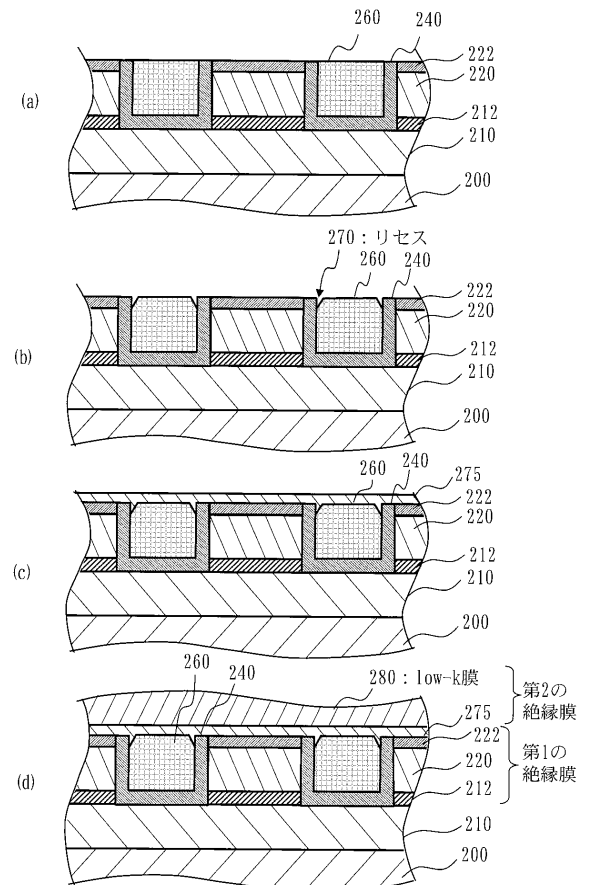
【図2】



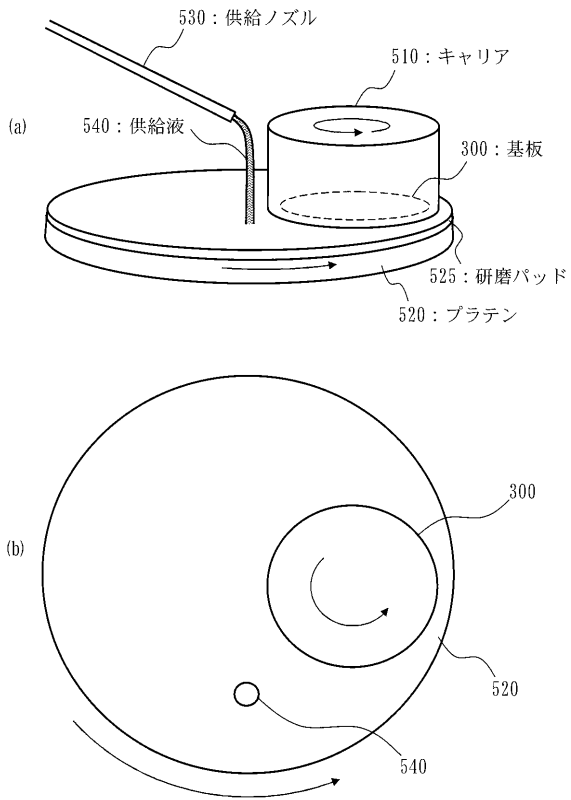
【図3】



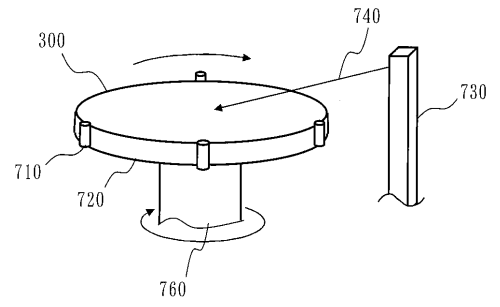
【図4】



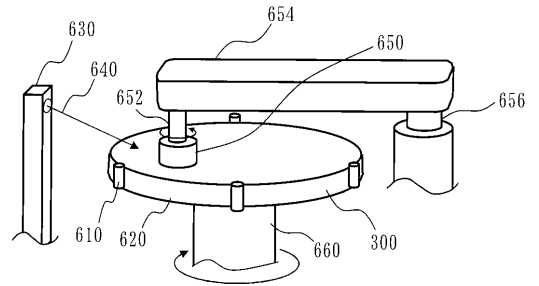
【図5】



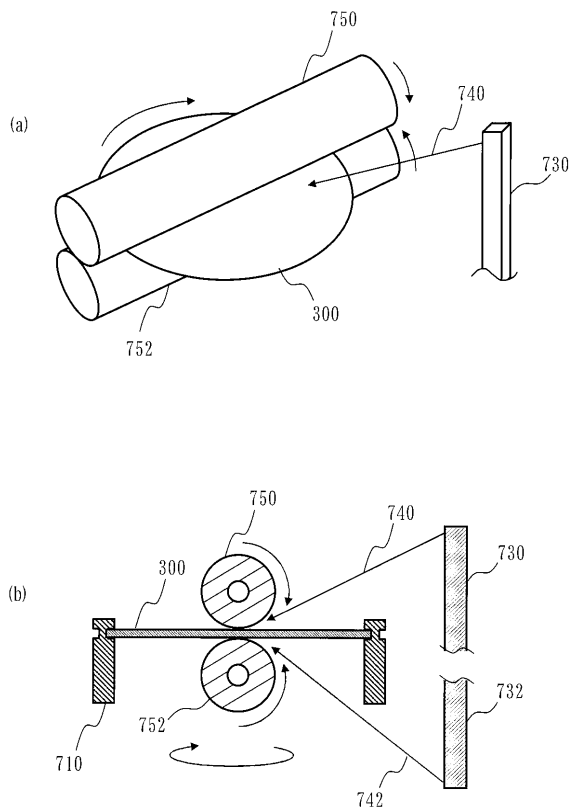
【図6】



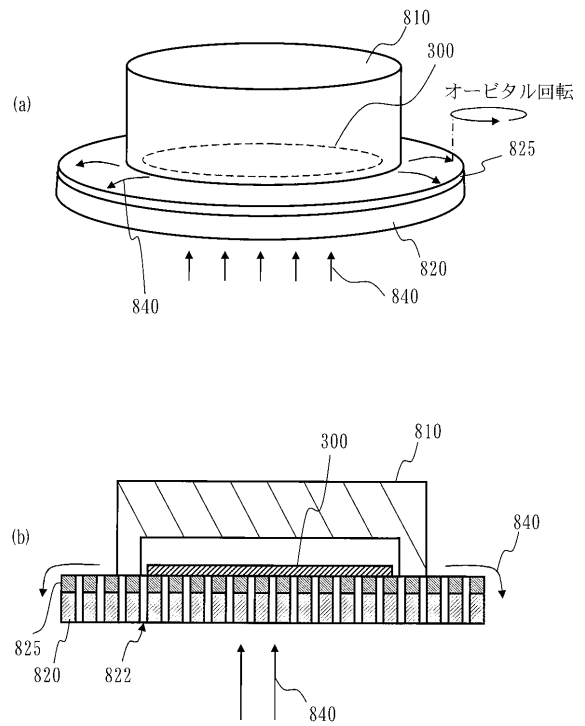
【図7】



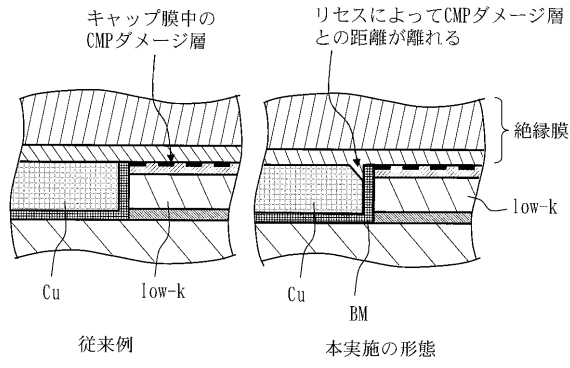
【図8】



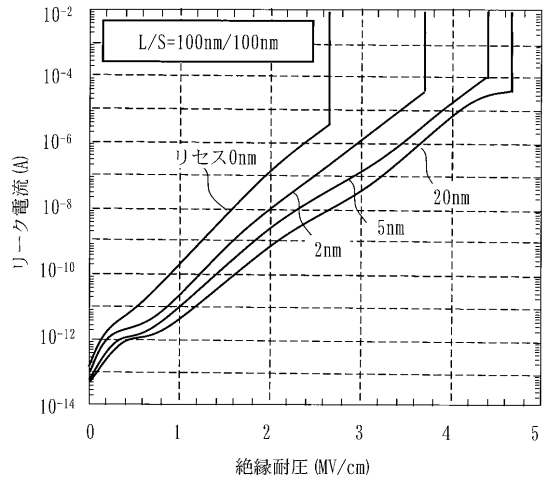
【図9】



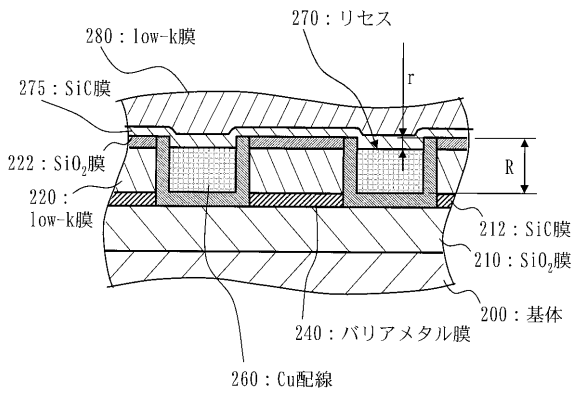
【図10】



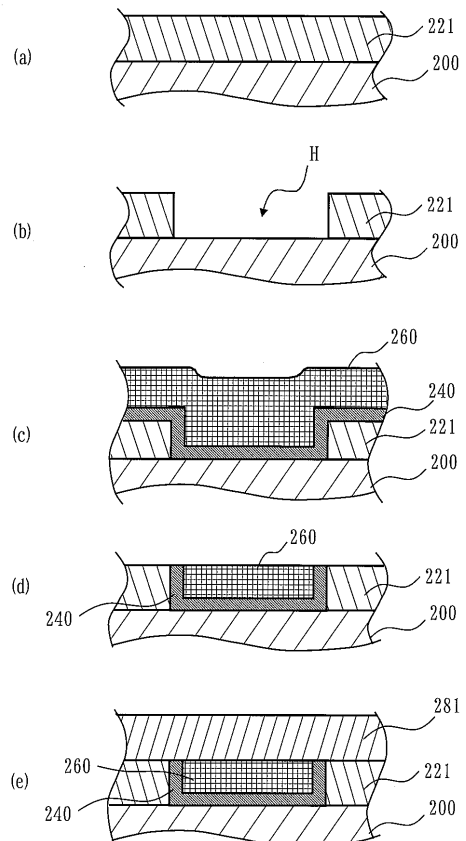
【図11】



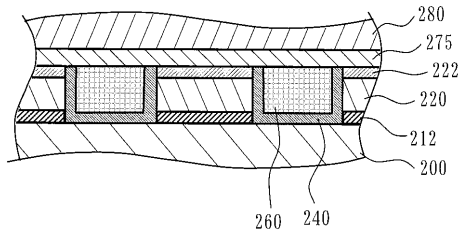
【図12】



【図13】



【 図 1 4 】



【 図 1 5 】

