



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0005066
(43) 공개일자 2009년01월12일

(51) Int. Cl.

H01L 21/336 (2006.01) H01L 29/78 (2006.01)

(21) 출원번호 10-2008-7026162

(22) 출원일자 2008년10월24일

심사청구일자 없음

번역문제출일자 2008년10월24일

(86) 국제출원번호 PCT/US2007/063966

국제출원일자 2007년03월14일

(87) 국제공개번호 WO 2007/127533

국제공개일자 2007년11월08일

(30) 우선권주장

11/380,530 2006년04월27일 미국(US)

(71) 출원인

프리스케일 세미컨덕터, 인크.

미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄
캐논 드라이브 웨스트 6501

(72) 발명자

올로우스키, 마리우스 케이.

미국 78739 텍사스주 오스틴 레드몬드 로드 10813

(74) 대리인

양영준, 백만기

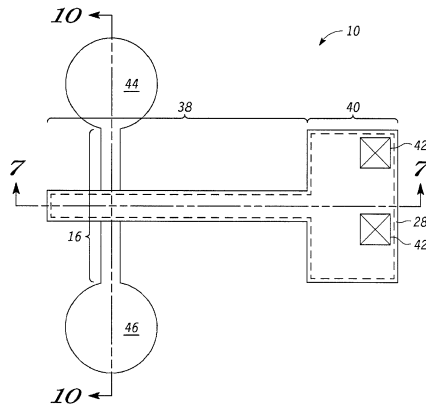
전체 청구항 수 : 총 20 항

(54) 핀을 갖는 반도체 디바이스를 형성하기 위한 방법 및 그 구조

(57) 요약

반도체 디바이스를 형성하기 위한 방법은, 반도체 층(12)을 제공하는 단계, 반도체 층위에 패시베이션 층(20)을 형성하는 단계 - 상기 패시베이션 층은 측벽을 갖는 개구(24)를 가짐 -, 반도체 층위에 핀(16)을 형성하는 단계 - 패시베이션 층을 형성한 후에 핀은 개구내에 존재함 -, 개구내에 게이트의 일부를 형성하는 단계를 포함한다. 일 실시예에서, 더미 게이트(52)가 이용된다. 일 실시예에서, 스페이서(28, 56)가 패시베이션 층의 개구내에 형성된다. 또한 구조가 설명된다.

대표도 - 도8



특허청구의 범위

청구항 1

반도체 디바이스를 형성하는 방법으로서,

반도체 층을 제공하는 단계;

상기 반도체층위에 패시베이션층(passivation layer)을 형성하는 단계 - 상기 패시베이션층은 측벽을 갖는 개구를 가짐 -;

상기 반도체층위에 핀(fin)을 형성하는 단계 - 상기 패시베이션층을 형성한 후에 상기 핀은 상기 개구내에 존재함-; 및

상기 개구내에 게이트의 부분을 형성하는 단계

를 포함하는 방법.

청구항 2

제1항에 있어서,

상기 핀은 상기 패시베이션층을 형성하기 이전에 형성되는 방법.

청구항 3

제1항에 있어서,

상기 개구의 측벽을 따라 스페이서를 형성하는 단계를 더 포함하는 방법.

청구항 4

제3항에 있어서,

상기 핀위에 더미 게이트를 형성하는 단계; 및

상기 스페이서를 형성하기 이전에 상기 더미 게이트를 제거하는 단계를 더 포함하고,

상기 게이트를 형성하는 단계는 상기 더미 게이트를 제거한 후에 수행되는 방법.

청구항 5

제4항에 있어서,

상기 게이트를 형성하는 단계는, 게이트 전극 및 게이트 콘택트 영역을 형성하는 단계를 더 포함하고,

상기 더미 게이트를 형성하는 단계는 상기 게이트 전극에 대한 더미 구조를 형성하는 단계를 더 포함하는 방법.

청구항 6

제3항에 있어서,

상기 스페이서를 형성하는 단계는,

상기 개구내 및 상기 핀위에 유전층을 피착하는 단계; 및

상기 유전층을 이방성 에칭하여 상기 패시베이션층에 인접한 몇몇 부분을 제외한 상기 유전층의 모든 부분을 제거함으로써 상기 스페이서를 형성하는 단계를 더 포함하고,

상기 스페이서는 제1 높이를 갖고, 상기 패시베이션층의 개구는 제2 높이를 가지며, 상기 제1 높이는 상기 제2 높이보다 작은 방법.

청구항 7

제6항에 있어서,

상기 반도체층위에 매립 산화물층을 제공하는 단계;

상기 핀위에 캡핑(capping) 층을 형성하는 단계; 및

상기 개구내 및 상기 핀 위에 게이트 유전층을 형성하는 단계를 더 포함하고,

상기 핀을 형성하는 단계는 상기 매립 산화물층위에 상기 핀을 형성하는 단계를 더 포함하고, 상기 게이트를 형성하는 단계는 상기 게이트 유전층위에 상기 게이트를 형성하는 단계를 더 포함하는 방법.

청구항 8

제1항에 있어서,

상기 패시베이션층을 형성하는 단계는,

패시베이션층을 피착하는 단계;

상기 패시베이션층위에 마스크층을 형성하는 단계 - 상기 마스크층은 패턴을 가짐-; 및

상기 마스크층을 이용하여 상기 패시베이션층을 에칭하여 상기 패시베이션층내에 개구를 형성하는 단계를 더 포함하는 방법.

청구항 9

제3항에 있어서,

상기 개구내에 게이트의 부분을 형성하는 단계는,

상기 게이트의 부분이 상부 및 하부를 갖도록 상기 게이트의 부분을 형성하는 단계를 더 포함하고,

상기 상부는 상기 패시베이션층의 상부와 실질적으로 인접하고, 제1 크기(dimension)를 가지며,

상기 하부는 상기 스페이서와 인접하고, 상기 스페이서간의 제2 크기를 가지며,

상기 제2 크기는 상기 제2 크기와 평행하고,

상기 제1 크기는 상기 제2 크기보다 더 큰 방법.

청구항 10

제1항에 있어서,

상기 핀을 형성하는 단계는 제1 높이를 갖는 핀을 형성하는 단계를 더 포함하고,

상기 패시베이션층을 형성하는 단계는, 제2 높이를 갖는 패시베이션층을 형성하는 단계를 더 포함하고,

상기 제2 높이는 상기 제1 높이보다 큰 방법.

청구항 11

반도체 디바이스를 형성하는 방법으로서,

반도체 층을 형성하는 단계;

상기 반도체층위에 패시베이션층(passivation layer)을 형성하는 단계 - 상기 패시베이션층은 개구를 갖고, 상기 개구는 측벽을 가짐 -;

상기 반도체층위에 핀(fin)을 형성하는 단계 - 상기 패시베이션층을 형성한 후에 상기 핀은 상기 패시베이션층의 개구내에 존재함-; 및

상기 패시베이션층의 개구의 측벽에 인접한 스페이서를 형성하는 단계; 및

게이트를 형성하는 단계를 포함하고,

상기 게이트의 부분은 상기 패시베이션층의 개구내에 존재하는 방법.

청구항 12

제11항에 있어서,
상기 핀은 상기 패시베이션층을 형성하기 이전에 형성되는 방법.

청구항 13

제11항에 있어서,
상기 게이트를 형성하는 단계는, 게이트 전극 및 게이트 콘택트 영역을 형성하는 단계를 더 포함하는 방법.

청구항 14

제11항에 있어서,
상기 스페이서를 형성하는 단계는,
상기 패시베이션층의 개구내 및 상기 핀위에 유전층을 피착하는 단계; 및
상기 유전층을 이방성 에칭하여 상기 핀위에 있는 상기 유전층의 적어도 일부 및 상기 핀에 인접한 상기 유전층의 적어도 일부를 제거함으로써 상기 패시베이션층의 개구의 측벽을 따라 스페이서를 형성하는 단계를 더 포함하는 방법.

청구항 15

제11항에 있어서,
상기 핀위에 더미 게이트를 형성하는 단계; 및
상기 스페이서를 형성하기 이전에 상기 더미 게이트를 제거하는 단계를 더 포함하고,
상기 게이트를 형성하는 단계는 상기 더미 게이트를 제거한 후에 수행되는 방법.

청구항 16

제11항에 있어서,
상기 패시베이션층을 형성하는 단계는,
패시베이션층을 피착하는 단계;
상기 패시베이션층위에 마스크층을 형성하는 단계 - 상기 마스크층은 패턴을 가짐-; 및
상기 마스크층을 이용하여 상기 패시베이션층을 에칭하여 상기 패시베이션층의 개구를 형성하는 단계를 더 포함하는 방법.

청구항 17

반도체 디바이스로서,
반도체층;
상기 반도체층위의 패시베이션층 - 상기 패시베이션층은 개구를 갖고, 상기 개구는 측벽을 가짐-;
상기 반도체층위 및 상기 패시베이션층의 개구내의 핀;
상기 패시베이션층의 개구의 측벽에 인접한 스페이서; 및
게이트를 포함하고,
상기 게이트의 부분은 상기 패시베이션층의 개구내에 존재하는 반도체 디바이스.

청구항 18

제17항에 있어서,
상기 패시베이션층의 개구내의 상기 게이트의 부분은 상부 및 하부를 갖고,

상기 상부는 상기 패시베이션층의 상부와 실질적으로 인접하고, 제1 크기를 가지며,
 상기 하부는 상기 스페이서에 인접하고, 상기 스페이서간의 제2 크기를 가지며,
 상기 제2 크기는 상기 제1 크기와 평행하고,
 상기 제1 크기는 상기 제2 크기보다 큰 반도체 디바이스.

청구항 19

제17항에 있어서,
 상기 핀은 제1 높이를 갖고,
 상기 패시베이션층은 제2 높이를 갖고,
 상기 제2 높이는 상기 제1 높이보다 큰 반도체 디바이스.

청구항 20

제18항에 있어서,
 상기 게이트는 금속 게이트를 포함하는 반도체 디바이스.

명세서

기술분야

<1> 본 발명은 일반적으로 반도체 공정에 관한 것이며, 특히, 핀(fin)을 갖는 반도체 디바이스를 형성하기 위한 것이다.

배경기술

<2> 전형적으로, 채널위에 더 단단한 정전(electrostatic) 제어를 허용하여, 예컨대, 더 작은 크기가 얻어질 수 있기 때문에, 이중 게이트(double gated) 트랜지스터가 바람직하다. 현재 알려진 이중 게이트 트랜지스터의 한 유형은 FinFET(Fin Field Effect Transistor)이다. FinFET는 하나 이상의 핀 위에 게이트 전극을 형성하고, 여기서 게이트 전극에 인접한 핀의 영역은 디바이스의 채널 영역을 형성한다. 그러나, 이러한 디바이스가 스케일되면(scaled), 기계적 안정성은 감소된다. 예컨대, 고 에스펙트(high aspect) 핀 주위에 얇고 키 큰 게이트 전극을 둘러싸면 게이트 전극이 기계적으로 불안정하게 된다. 이러한 문제는 기술이 발전하고, 게이트 길이가 지속적으로 스케일됨에 따라 악화된다.

실시예

<9> 전술한 바와 같이, 디바이스 크기가 지속적으로 스케일됨에 따라 FinFET 트랜지스터의 게이트 전극은 기계적으로 점점 불안정하게 된다. 따라서, 일 실시예에서, FinFET가 형성되고, 여기서, 더 작은 게이트 크기를 허용하면서 기계적 안정성을 증가시키기 위해 스페이서가 이용된다. 일 실시예에서, 스페이서는 게이트 전극의 형성 이전에 형성되고, 개선된 기계적 안정성을 허용하고, 또한 더 작은, 서브리소그래픽(sublithographic), 크기를 얻는데 이용될 수 있다.

<10> 일 실시예에서, 반도체 디바이스를 형성하기 위한 방법은, 반도체 층을 제공하는 단계, 반도체 층위에 패시베이션 층(passivation layer)을 형성하는 단계 - 상기 패시베이션 층은 측벽을 갖는 개구를 가짐 -, 상기 반도체 층위에 핀(fin)을 형성하는 단계 - 상기 패시베이션 층을 형성한 후에 상기 핀은 개구내에 존재함 -, 개구내에 게이트의 부분을 형성하는 단계를 포함한다.

<11> 다른 실시예에서, 핀은 패시베이션 층을 형성하기 이전에 형성된다.

<12> 다른 실시예에서, 방법은 개구의 측벽을 따라 스페이서를 형성하는 단계를 포함한다. 또 다른 실시예에서, 방법은 핀 위에 더미 게이트를 형성하는 단계, 스페이서를 형성하기 이전에 더미 게이트를 제거하는 단계를 포함하고, 게이트를 형성하는 단계는 더미 게이트를 제거한 후에 수행된다. 다른 실시예에서, 게이트를 형성하는 단계는 게이트 전극 및 게이트 콘택트 영역을 형성하는 단계를 더 포함하고, 더미 게이트를 형성하는 단계는 게이트 전극에 대한 더미 구조를 형성하는 단계를 더 포함한다. 또 다른 실시예에서, 스페이서를 형성하는 단계

는, 개구내에 그리고 핀 위에 유전층을 피착하는 단계, 유전층을 이방성 에칭하여 패시베이션층에 인접한 몇몇 부분만을 제외하고 유전층의 전부를 제거하여 스페이서를 형성하는 단계를 포함하고, 여기서 스페이서는 제1 높이를 갖고, 패시베이션층의 개구는 제2 높이를 가지며, 제1 높이는 제2 높이보다 작다. 다른 실시예에서, 방법은 반도체 층위에 매립 산화층을 제공하는 단계, 핀위에 캡핑층(capping layer)을 형성하는 단계, 및 개구내 그리고 핀 위에 게이트 유전층을 형성하는 단계를 더 포함하고, 핀을 형성하는 단계는 매립 산화층위에 핀을 형성하는 단계를 더 포함하고, 게이트를 형성하는 단계는 게이트 유전층위에 게이트를 형성하는 단계를 더 포함한다. 또 다른 실시예에서, 개구내에 게이트의 부분을 형성하는 단계는, 게이트의 부분을 형성하여 게이트의 부분이 상부 및 하부를 갖도록 하는 단계를 더 포함하고, 상부는 실질적으로 패시베이션층의 상부에 인접하고 제1 크기(dimension)를 가지며, 하부는 스페이서에 인접하고, 스페이서간의 제2 크기를 가지며, 제2 크기는 제1 크기와 평행하며, 제1 크기는 제2 크기보다 더 크다.

- <13> 또 다른 실시예에서, 패시베이션층을 형성하는 단계는, 패시베이션층을 피착하는 단계, 패시베이션층위에 마스크층을 형성하는 단계 - 마스크층은 패턴을 가짐 -, 및 패시베이션층내에 개구를 형성하기 위해 마스크층을 이용하여 패시베이션층을 에칭하는 단계를 포함한다.
- <14> 다른 실시예에서, 핀을 형성하는 단계는, 제1 높이를 갖는 핀을 형성하는 단계를 더 포함하고, 패시베이션층을 형성하는 단계는 제2 높이를 갖는 패시베이션층을 형성하는 단계를 더 포함하고, 여기서 제2 높이는 제1 높이보다 더 크다.
- <15> 또 다른 실시예에서, 반도체 디바이스를 형성하는 방법은, 반도체층을 형성하는 단계, 반도체층위에 패시베이션층을 형성하는 단계 - 상기 패시베이션층은 개구를 갖고, 상기 개구는 측벽을 가짐 -, 반도체층위에 핀을 형성하는 단계 - 상기 패시베이션층 형성후에 상기 핀은 패시베이션층의 개구내에 존재함 -, 패시베이션층의 개구의 측벽에 인접한 스페이서를 형성하는 단계, 게이트를 형성하는 단계 - 게이트의 부분은 패시베이션층의 개구내에 존재함 - 를 포함한다.
- <16> 다른 실시예에서, 핀은 패시베이션층을 형성하기 이전에 형성된다.
- <17> 또 다른 실시예에서, 게이트를 형성하는 단계는 게이트 전극 및 게이트 콘택트 영역을 형성하는 단계를 더 포함한다.
- <18> 다른 실시예에서, 스페이서를 형성하는 단계는, 패시베이션층의 개구내 그리고 핀위에 유전층을 피착하는 단계, 유전층을 이방성 에칭하여 핀위에 있는 유전층의 적어도 부분 및 핀에 인접한 유전층의 적어도 일부를 제거하여 패시베이션층의 개구의 측벽을 따라 스페이서를 형성하는 단계를 포함한다.
- <19> 또 다른 실시예에서, 방법은 핀위에 더미 게이트를 형성하는 단계, 스페이서를 형성하기 이전에 더미 게이트를 제거하는 단계를 더 포함하고, 게이트를 형성하는 단계는 더미 게이트를 제거하는 단계후에 수행된다.
- <20> 다른 실시예에서, 패시베이션층을 형성하는 단계는, 패시베이션층을 피착하는 단계, 패시베이션층위에 마스크층을 형성하는 단계 - 마스크층은 패턴을 가짐 -, 및 마스크층을 이용하여 패시베이션층을 에칭하여 패시베이션층의 개구를 형성하는 단계를 더 포함한다.
- <21> 다른 실시예에서, 반도체 디바이스는, 반도체층, 반도체층위의 패시베이션층 - 상기 패시베이션층은 개구를 갖고 개구는 측벽을 가짐 -, 반도체층위 그리고 패시베이션층의 개구내의 핀, 패시베이션층의 개구의 측벽에 인접한 스페이서, 및 게이트 - 게이트의 부분은 패시베이션층의 개구내에 존재함 - 을 포함한다.
- <22> 다른 실시예에서, 스페이서내의 게이트의 부분은 상부 및 하부를 갖고, 상부는 실질적으로 패시베이션층의 상부와 인접하고 제1 크기를 가지며, 하부는 스페이서와 인접하고 스페이서간의 제2 크기를 가지며, 제2 크기는 제1 크기와 평행이며, 제1 크기는 제2 크기보다 더 크다.
- <23> 또 다른 실시예에서, 핀은 제1 높이를 갖고, 패시베이션층은 제2 높이를 갖고, 제2 높이는 제1 높이보다 크다.
- <24> 다른 실시예에서, 게이트는 금속 게이트를 포함한다.
- <25> 도 8은 본 발명의 다양한 실시예에 따라 형성되는 FinFET 반도체 디바이스의 상면도를 도시한다. 디바이스(10)는 하나의 단부에서 제1 소스/드레인 영역(44) 및 대향 단부에서 제2 소스/드레인 영역(46)을 갖는 핀 부분(16)을 포함한다. 게이트 전극(38)은 핀(16)위에 형성된다. 디바이스(10)는 또한 게이트 전극(38)의 하나의 단부에서 게이트 콘택트 영역(40)을 포함한다. 게이트 콘택트 영역(40)은 게이트 콘택트(42)를 포함한다. 디바이스(10)는 또한 게이트 전극(38) 및 게이트 콘택트 영역(40) 밑에 있는 스페이서(28)를 포함한다. 스페이서

(28) 밑에 있는 핀(16)의 부분 및 게이트 전극(38)은 디바이스(10)의 채널 영역을 형성한다. 게이트 전극(38) 및 게이트 콘택트 영역(40)은 디바이스(10)의 게이트로 명칭됨을 유의한다.

<26> 디바이스(10)의 형태는 예시적이며, 대안적인 실시예는 다양한 수의 변형을 포함할 수 있다. 예컨대, 게이트 콘택트 영역은 게이트 전극(38)의 양쪽 단부에 위치할 수 있다. 소스/드레인 영역(44 및 46)의 형상은 상이한 실시예에서는 또한 다를 수 있다. 또한, 도 8은 단지 하나의 핀(16)을 도시하고, 그러나, 대안적인 실시예는 어느 하나의 수의 핀들을 포함할 수 있고, 여기서 게이트 전극(38)은 이에 따라 핀위에 형성될 수 있다. 또한, 어느 하나의 수의 게이트 콘택트가 형성될 수 있다. 도시되지 않았지만, 디바이스(10)는 소스/드레인 영역(44 및 46)과 접촉하는 어느 하나의 수의 소스/드레인 콘택트를 포함할 수 있다. 도 1-7은 도 8의 디바이스를 형성 하는데 이용되는 다양한 공정 단계의 단면도를 도시한다.

<27> 도 1은 핀(16), 패시베이션층(20), 및 패터닝된 마스크층(22)을 형성한 후의 디바이스(10)를 도시한다. 디바이스(10)는 층(12) 및 층(12)위의 절연층(14)을 포함한다. 일 실시예에서, 층(12)은 예컨대, 실리콘층과 같은 반도체 층을 포함한다. 그러나, 대안적인 실시예에서, 층(12)은 어느 하나의 재료로 형성될 수 있고, 절연층(14)을 지지하는데 이용될 수 있다. 일 실시예에서, 절연층(14)은 산화물(oxide)이다. 절연층(14)은 또한 매립 산화물층으로 명칭될 수 있다. 핀(16)은 절연층(14)위에 형성되고, 예컨대, 실리콘 또는 실리콘 게르마늄과 같은 반도체 재료를 포함할 수 있다. 도시된 실시예에서, 핀(16)은 또한 예컨대, 질화물이 될 수 있는 캡핑(capping) 층(18)을 포함한다. 일 실시예에서, 핀(16)은 SOI(semiconductor-on-insulator) 웨이퍼를 이용하여 형성된다. 이 실시예에서, 층(층(12))위에 있는 절연층(절연층(14))위의 반도체층을 갖는 SOI 웨이퍼가 제공된다. 제공된 SOI의 반도체층은 다음에 패터닝되어 핀(16)과 같은 하나 이상의 핀을 형성한다. 캡핑층(18)이 존재하면, 핀을 패터닝하기 이전에 SOI 웨이퍼위에 층이 형성되어 캡핑층(18) 및 핀(16)이 된다.(캡핑층(18)은 또한 캡으로 명칭될 수 있음을 유의한다.)

<28> 패시베이션층(20)은 절연층(14) 및 핀(16)위에 형성된다. 일 실시예에서, 패시베이션층(20)은 예컨대, TEOS(tetraethylorthosilicate)를 이용하여 피착된다. 패터닝된 마스크층(22)은 패시베이션층(20)위에 형성되고, 여기서 패터닝된 마스크층은 게이트 전극(38) 및 게이트 콘택트 영역(40)에 대응하는 개구를 정의한다. 일 실시예에서, 패터닝된 마스크층은 포토레지스트를 포함한다.

<29> 도 2는 패터닝된 마스크층(22)을 이용하여 핀(16)위의 패시베이션층(20)의 일부를 제거(예컨대, 에칭)하여 개구(24)를 형성한 후의 디바이스(10)를 도시한다. 개구(24)는 디바이스(10)의 게이트의 적어도 일부의 위치(location)를 정의한다. 예컨대, 다시 도 8을 참조하면, 개구(24)는 게이트 전극(38) 및 게이트 콘택트 영역(40)의 위치를 정의할 수 있다. 패시베이션층(20)내의 개구(24)는 패시베이션층(20)내의 캐버티(cavity)의 단면임을 유의한다. 또한, 핀(16)은 개구(24)내에 있음을 유의한다. 패시베이션층(20)내에 개구(24)를 형성한 후에, 패터닝된 마스크층(22)은 제거된다.

<30> 도 3은 패시베이션층(20)위 그리고 절연층(14) 및 개구(24)내의 핀(16)(및 존재한다면 캡핑층(18))위에 스페이서층(26)을 형성한 후의 디바이스(10)를 도시한다. 스페이서층(26)은 예컨대, 피착 공정을 이용하여 형성될 수 있다. 일 실시예에서, 스페이서층(26)은 산화물을 포함한다. 스페이서층(26)은 어느 하나의 적절한 유전층을 포함할 수 있고, 이에 따라 유전층으로 명칭될 수 있음을 유의한다.

<31> 도 4는 패시베이션층(20)의 측벽에 인접한 스페이서(28) 및 핀(16)의 측벽에 인접한 스페이서(30)를 형성하도록 스페이서층(26)을 이방성 에칭하는 중간 단계 동안의 디바이스(10)를 도시한다. 스페이서(30)가 제거될 때 까지 도 5에 도시된 바와 같이 이방성 에칭이 지속된다. 그러나, 패시베이션층(20)의 높이가 핀(16)의 높이보다 더 크기 때문에, 스페이서(28)의 부분은 패시베이션층(20)의 인접 측벽에 잔류한다. 따라서, 스페이서(28)의 높이가 패시베이션층(20)의 높이보다 작음을 유의한다. 이하 더 상세히 설명되는 바와 같이, 스페이서(28)는 디바이스(10)의 기계적 안정성을 증가시키는데 이용될 수 있고, 또한 더 작은 게이트 길이를 얻는데 이용될 수 있다.(비록 도 4 및 도 5에서, 스페이서(30 및 28) 각각이 도시된 단면에 기인하는 별개의 부분을 포함하는 것처럼 보일지라도, 이들은 각각 도 8의 상면도에서 스페이서(28)에 따라 도시된 바와 같이 하나의 스페이서의 일부가 될 수 있음을 유의한다. 따라서, 스페이서(28 및 30) 각각은 또한 스페이서(28) 및 스페이서(30)으로 별개로 명칭될 수 있다.)

<32> 도 6은 패시베이션층(20), 스페이서(28), 핀(16)(및 존재한다면 캡핑층(18)), 및 절연층(14)위의 게이트 유전층(32)의 형성후의 디바이스(10)를 도시한다. 게이트 유전층(32)은 산화물 또는 금속 산화물과 같은 게이트 유전 재료중 어느 하나의 유형을 포함할 수 있다. 게이트 유전층(32)은, 예컨대, 하프늄(hafnium) 산화물과 같은, 실리콘 이산화물 보다 더 큰 유전율(K)을 갖는 재료(이에 따라 고 K 재료로 명칭됨)를 포함할 수 있다. 일 실

시에에서, 게이트 유전층(32)은 도 6에 도시된 바와 같이, CVD(chemical vapor deposition) 또는 ALD(atomic layer deposition)에 의해 피착된다. 대안적인 실시예에서, 게이트 유전층(32)은 핀(16)의 측벽상에 성장될 수 있다. 본 실시예에서, 게이트 유전층(32)은 예컨대, 성장 실리콘 이산화물(grown silicon dioxide) 또는 실리콘 산질화물(silicon oxynitride)이 될 수 있다. 또한, 대안적인 실시예에서, 게이트 유전층(32)은 단지 핀(16)의 측벽상에서 성장될 수 있다.

- <33> 게이트층(34)은 다음에 게이트 유전층(32)위에 형성된다. 게이트층(34)은 어느 하나의 유형의 게이트 재료 또는 재료를 포함할 수 있다. 예컨대, 게이트층(34)은 실리콘을 포함할 수 있고, 또는 금속을 포함할 수 있다. 게다가, 게이트층(34)은 어느 하나의 수의 상이한 층을 포함할 수 있고, 여기서 게이트층(34)은 게이트 스택 층(gate stack layer)을 나타낸다.
- <34> 도 7은 게이트층(34)을 평탄화하여 게이트(36)을 형성한 후의 디바이스(10)를 도시한다. 게이트(36)는 게이트 전극부(게이트 전극(38)) 및 게이트 콘택트부(게이트 콘택트 영역(40))을 포함한다. 일 실시예에서, 평탄화 후에, 게이트(36)의 상부는 실질적으로 패시베이션층(20)의 상부와 인접한다. 따라서, 도 7은, 전술한 도 8의 디바이스(10)의 상면도를 통과하는 수평 단면에 대응함을 유의한다.
- <35> 도 9는 소스/드레인 영역(44 및 46) 및 핀(16)의 중간을 통과하는 단면에 대응하는 단면도를 도시한다. 단면은 도 10의 단면과 같이 도 8의 디바이스(10)의 상면도를 지나는 동일한 위치에서 취해지지만, 도 9에서는, 패시베이션층(20)이 여전히 존재한다. 따라서, 게이트(36) 및 스페이서(28)는 핀(16)(존재한다면 캡핑층(18))위에 도시된다. 도 9에서 게이트(36) 아래의 핀(16)의 부분은 디바이스(10)의 채널 영역을 포함함을 유의한다. 또한, 패턴화된 마스크층(22)에 의해 정의되는 개구 폭에 대응하는, 크기(48)는 디바이스(10)의 실제 게이트 길이에 대응하는 크기(50) 보다 큼을 유의한다. 크기(48)는 패시베이션층(20)의 상부와 실질적으로 인접한 게이트(36)의 상부의 길이에 대응하고, 크기(50)는 스페이서(28)와 인접한 게이트(36)의 하부의 길이에 대응함을 유의한다. 따라서, 스페이서(28)는 패턴화된 마스크층(22) 또는 다른 리소그래피 기술의 이용을 통해 이용가능한 것보다 더 짧은 게이트 길이를 얻는데 이용될 수 있다.
- <36> 도 10은, 도 8의 상면도를 통과하는 단면에 대응하는, 패시베이션층(20)의 제거후의 디바이스(10)를 도시한다. 스페이서(28)는 게이트(36)의 측면을 따라 잔류한다. 따라서, 스페이서(28)는 게이트(36)에 대해 기계적 지지(support)를 제공할 수 있고, 따라서, 현재의 FinFET 디바이스에 비해 기계적으로 더 안정적인 디바이스를 허용한다. 패시베이션층(20)의 제거후에, 종래의 공정이 FinFET 디바이스를 실질적으로 완성시키는데 이용될 수 있다. 예컨대, 스페이서가 종래의 공정 기술을 이용하여 게이트(36) 및 스페이서(28)의 측벽을 따라 형성될 수 있다. 또한, 종래의 주입(implant)이 소스/드레인 영역(44 및 46)을 형성하는데 이용될 수 있다.
- <37> 도 11-16은 본 발명의 대안적인 실시예에 따라 형성되는 디바이스(10)의 단면도를 도시하고, 도 8의 디바이스(10)가 된다. 도 11은 층(12), 절연층(14), 핀(16), 및 캡핑층(18)을 도시하고, 이들 모두는 도 1을 참조하여 위에서 설명되었다. 핀(16) 및 캡핑층(18)을 형성한 후에, 패턴화된 더미 게이트층(52)이 핀(16) 및 캡핑층(18)위에 형성된다. 더미 게이트층(52)은 후에 제거되기 때문에, 어느 하나의 적절한 쉽게 제거될 수 있는 재료로 형성될 수 있다. 일 실시예에서, 소스/드레인 주입은 더미 게이트(52)를 형성한 후에 형성된다. 이러한 방식에서, 더미 게이트층(52)은 주입동안 핀(16)을 보호한다. 더미 게이트층(52)은 후속적으로 형성되는 게이트 전극(38)의 적어도 일부에 대한 더미 구조로 간주될 수 있다.
- <38> 도 12는 더미 게이트층(52)위에 패시베이션층(54)을 형성한 후의 디바이스(10)를 도시한다. 패시베이션층(54)은 패시베이션층(20)과 유사하고, 동일한 공정 및 재료를 이용하여 형성될 수 있다.
- <39> 도 13은 패시베이션층(54)을 평탄화하고 더미 게이트층(52)의 상부를 노출한 후의 디바이스(10)를 도시한다. 도 14는 더미 게이트층(52)를 제거한 후의 디바이스(10)를 도시한다. 핀(16) 및 캡핑층(18)은 잔류함을 유의한다. 따라서, 더미 게이트층(52)의 제거하여 패시베이션층(54)내에 개구(51)가 생기고 여기에 핀(16)이 위치한다. 즉, 패시베이션층(54)내의 개구(51)는 패시베이션층(54)내의 캐버티의 단면임을 유의한다. 개구(51)는 전술한 개구(24)와 유사함을 유의한다. 그러나, 개구(24)가 게이트 전극(38) 및 게이트 콘택트 영역(44)의 위치를 정의하는 반면, 개구(51)는 핀(16)위의 게이트의 부분의 위치를 정의한다.
- <40> 도 15는 패시베이션층(54)의 측벽에 인접한 스페이서(56)의 형성을 도시한다. 스페이서(56)는 전술한 스페이서(28)와 유사하고, 스페이서(28)과 관련하여 전술한 동일한 방법 및 재료를 이용하여 형성될 수 있다. 예컨대, 스페이서 층의 이방성 예칭은 스페이서(56)를 형성하는데 이용될 수 있고, 여기서 스페이서(56)는 산화물과 같은 유전 재료를 포함할 수 있다. 패시베이션층(20)과 같이, 패시베이션층(54)은 핀(16) 보다 더 큰 높이를 갖

고, 핀(16)의 측벽에 인접한 스페이서의 형성없이 패시베이션층(54)의 측벽상에 스페이서(56)의 형성을 허용한다. 또한, 패시베이션층(54)의 높이는 스페이서(56)의 높이보다 크다는 것을 유의한다.(스페이서(30 및 28)에 대해 전술한 바와 같이, 스페이서(56)는 도시된 단면에 기인하는 별개의 부분을 포함하는 것으로 보이지만, 이들은 단일의 스페이서의 부분이 될 수 있음을 유의한다. 따라서, 스페이서(56)는 또한 스페이서(56)를 명칭될 수 있다.)

- <41> 스페이서(56)의 형성후에, 게이트 유전층(58)은 패시베이션층(54)위에, 그리고, 스페이서(56), 절연층(14), 및 개구(51)내의 핀(16)위에 형성된다. 게이트 유전층(58)을 형성한 후에, 게이트층(60)은 게이트 유전층(58)위에 형성된다. 게이트 유전층(58) 및 게이트층(60)은 전술한 바와 같은 게이트 유전층(32) 및 게이트층(34)와 각각 유사하고, 게이트 유전층(32)와 게이트층(34)에 대해 전술한 것과 동일한 방법 및 재료를 이용하여 형성될 수 있다.
- <42> 도 16은 게이트층(60)을 패터닝 및 에칭하여 게이트 전극(38) 및 게이트 콘택트 영역(40)을 형성한 후의 디바이스(10)를 도시한다. 전술한 게이트(36)와 달리, 결과적인 게이트(60)는 패시베이션층(54)의 상부와 실질적으로 인접하지 않고, 대신에 패시베이션층(54)위로 확장하여 게이트 전극(38) 및 게이트 콘택트 영역(40)의 잔류 부분을 형성함을 유의한다. 따라서, 게이트(60)는 도 8에 도시된 바와 같이 나타남을 유의한다. 그러나, 스페이서(56)는 스페이서(28)에 대하여 도 8에 도시된 바와 같이, 게이트 전극(38) 및 게이트 콘택트 영역(40)의 모두 아래보다는 게이트 전극(38)의 부분 아래에만 위치하게 됨을 유의한다. 또한, 도 1-7의 실시예에서, 게이트 콘택트 영역(40)을 지나 핀(16)으로부터 확장하는 게이트의 일부는 절연층(14)위에 존재하고, 여기서, 패시베이션층(20)은 게이트(34) 및 절연층(14)사이에 위치하지 않는다는 것을 유의한다. 그러나, 도 11-16의 실시예에서, 패시베이션층(54)은 실질적으로 제거되지 않고, 게이트 전극(38) 및 게이트 콘택트 영역(40)의 부분은 패시베이션층(54)위에 형성된다는 것을 유의한다. 도 1-7의 실시예의 경우와 같이, 스페이서(56)는 감소된 게이트 길이 및 향상된 기계적 안정성을 제공한다.
- <43> 본 발명은 특정 도전성 유형 또는 전위 극성에 따라 기술되었지만, 당업자는 도전성 유형 및 전위 극성은 반전될 수 있다는 것을 알 수 있다.
- <44> 게다가, 명세서 및 특허청구범위내의 용어 "전면", "후면", "상부", "하부", "위에", "아래" 등은, 존재한다면, 설명을 위한 목적으로 이용되었으며, 반드시 영구적인 상대 위치를 기술하는 것은 아니다. 이렇게 이용된 용어는, 여기 기술된 본 발명의 실시예가, 예컨대, 도시된 것과 다른 방향에서 또는 그렇지 않았으면 여기 기술되었을 동작을 할 수 있는 환경이 되는 적절한 환경하에서 상호 교환가능하다는 것을 알 수 있다.
- <45> 전술한 명세서에서, 본 발명은 특정 실시예에 따라 기술되었다. 그러나, 당업자는 다양한 수정 및 변경이 이하 특허청구범위에 개시되는 본 발명의 사상을 벗어남이 없이 구현될 수 있다는 것을 알 수 있다. 따라서, 명세서 및 도면은 제한적이라기보다는 예시적인 것으로 간주되어야 하며, 이러한 모든 수정은 본 발명의 범주내에 포함되도록 의도된다.
- <46> 잇점, 다른 장점 및 문제에 대한 해결책들은 특정 실시예와 관련하여 상기 설명되었지만, 임의의 잇점, 장점, 문제에 대한 해결책 또는 임의의 특정 잇점, 장점 또는 해결책이 발생하거나 현저하게 되도록 유발하는 임의의 구성요소는 임의의 또는 모든 청구의 범위의 핵심적이고 요구되거나 필수적인 특징 또는 컴포넌트로서 간주되어서는 안 된다. 여기에 이용되는 바와 같이, 용어 "포함한다(comprise)", "포함하는(comprising)", "구비하는", "포함하는(including)", 또는 그 임의의 변동은 비-배타적 포함을 지칭하는 것으로서, 프로세스, 방법, 제품, 또는 장치의 리스트를 포함하는 장치는 명시적으로 리스트되지 않거나 그러한 프로세스, 방법, 제품, 구성 또는 장치에 본질적인 다른 구성요소들도 포함한다.
- <47> 여기서 이용된 용어, "복수"는 2개 또는 그 이상으로서 정의된다. 여기서 이용된 용어 "다른"은 적어도 제2 또는 그 이상을 정의한다.
- <48> 여기서 이용된 용어 "연결된"은 반드시 직접 그리고, 반드시 기계적으로는 아닐지라도 접속된 것으로서 정의된다.
- <49> 전술한 상세한 설명은 예시적인 것이기 때문에, "일 실시예"가 기술되면, 이것은 예시적인 실시예다. 따라서, 이러한 문맥에서 단어 "하나"의 이용은 하나 또는 단지 하나의 실시예가 하나의 기술된 특징을 갖는 것을 나타내도록 의도되는 것은 아니다. 그 보다는, 다수의 다른 실시예는 종종, 예시적인 "일 실시예"의 기술된 특징을 갖는다. 따라서, 위에서 이용된 바와 같이, 본 발명이 일 실시예에 따라 기술될 때, 일 실시예는 본 발명의 다수의 가능한 실시예 중 하나이다.

<50> 상세한 설명에서 단어 "하나"의 이용에 대한 전술한 단서(caveat)에도 불구하고, 당업자는 특정 수의 도입된 특허청구범위 구성 요소가 이하의 특허청구범위로 의도되면, 이러한 의도는 명백하게 특허청구범위에 열거되고, 이러한 열거가 없으면 이러한 한정은 존재하거나 의도되지 않는다. 예컨대, 이하의 특허청구범위에서, 특허청구범위 구성요소가 "하나"의 특징을 갖는 것으로 기술되면, 구성요소는 기술된 특징에 대해 하나 및 단지 하나만을 한정하도록 의도된다.

<51> 또한, 여기 이용된 용어 "a", "an"는 하나 또는 하나 이상으로 정의된다. 또한, 특허청구범위내의 "적어도 하나" 및 "하나 이상"과 같은 도입구의 이용은, 불명확한 아티클 "a" 또는 "an"에 의한 다른 특허청구범위의 도입이 이러한 도입 특허청구범위 구성요소를 포함하는 어느 하나의 특정 특허청구범위를 단지 하나의 이러한 구성요소를 포함하는 제한한다는 것을 암시하는 것으로 해석되어서는 안되며, 동일한 특허청구범위가 도입구 "하나 이상" 또는 "적어도 하나" 및 불명확한 아티클 "a" 또는 "an"을 포함하는 경우에도 마찬가지다. 명확한 아티클을 이용하는 경우에도 동일하다.

<52>

<53>

도면의 간단한 설명

<3> 본 발명은 일례로서 설명되고, 부가 도면에 의해 제한되지 않으며, 도면에서 동일한 참조 번호는 동일한 엘리먼트를 나타낸다.

<4> 도 1-8은 본 발명의 일 실시예에 따라 FinFET 디바이스 공정의 다양한 포인트에서의 단면도를 도시한다.

<5> 도 9는 본 발명의 일 실시예에 따라 FinFET의 상면도를 도시한다.

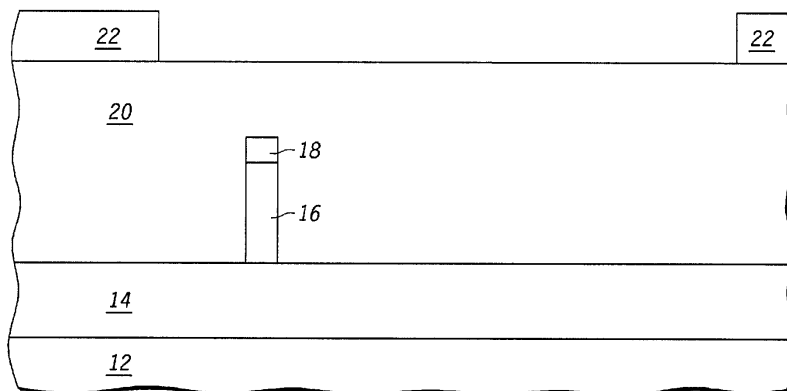
<6> 도 10은 도 9의 FinFET를 통과하는 단면도를 도시한다.

<7> 도 11-16은 본 발명의 대안적인 실시예에 따른 FinFET 디바이스 공정의 다양한 포인트에서의 단면도를 도시한다.

<8> 당업자는 도면내의 엘리먼트는 간략화 및 단순화를 위해 도시되었으며, 반드시 축적대로 도시된 것은 아니라는 것을 알아야 한다. 예컨대, 도면내 몇몇 엘리먼트의 크기는 본 발명의 실시예의 이해를 돕기 위해 다른 엘리먼트에 비해 과장될 수 있다.

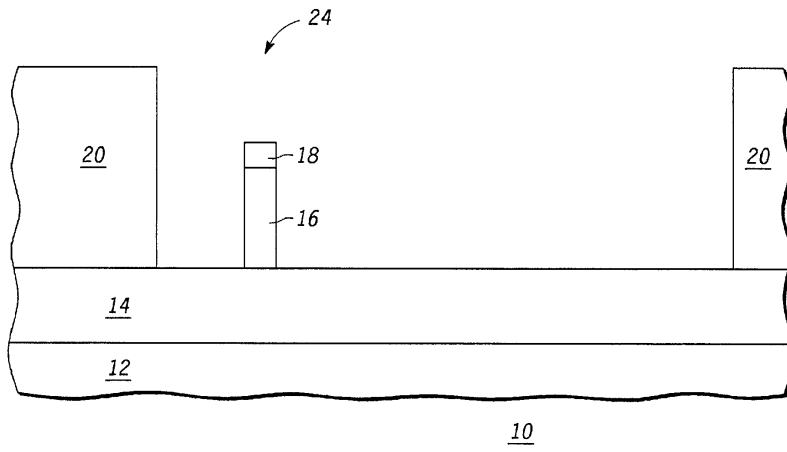
도면

도면1

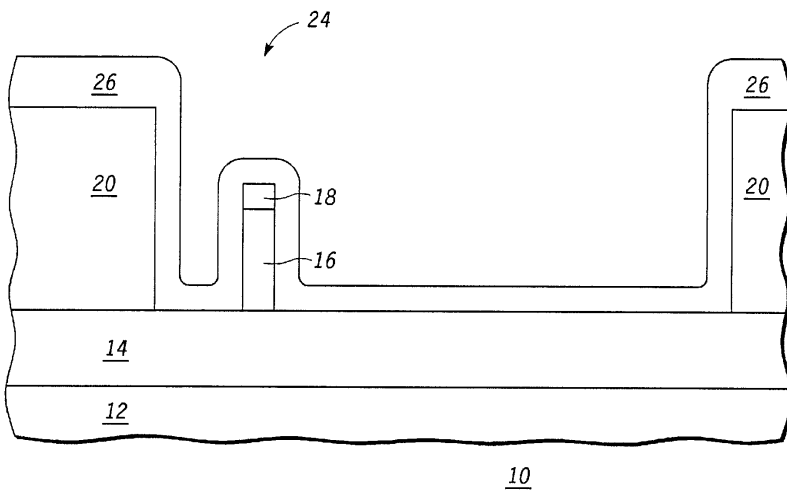


10

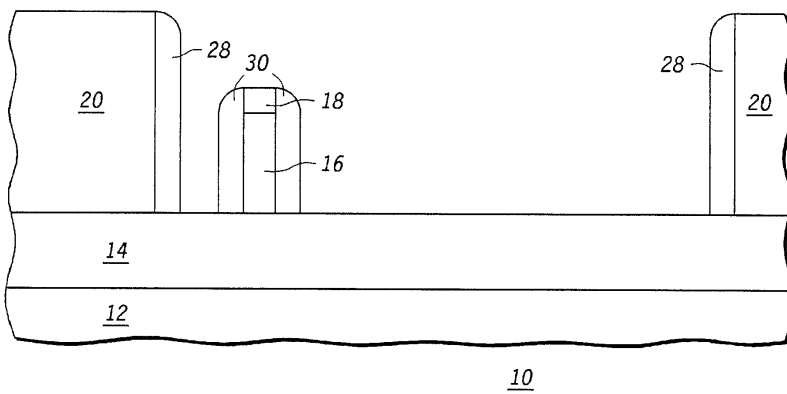
도면2



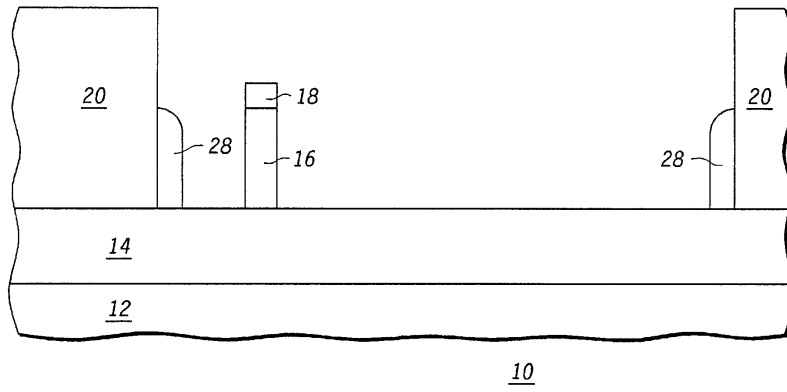
도면3



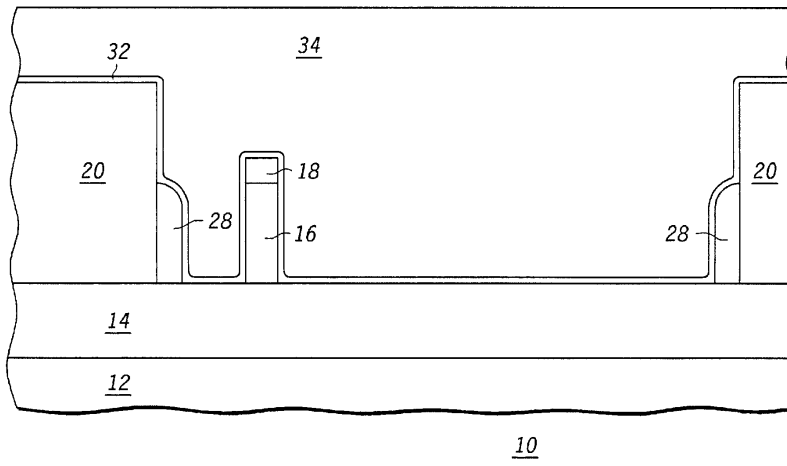
도면4



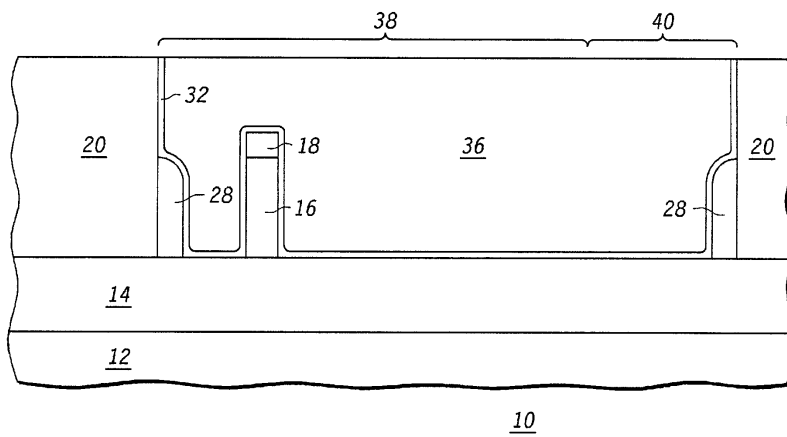
도면5



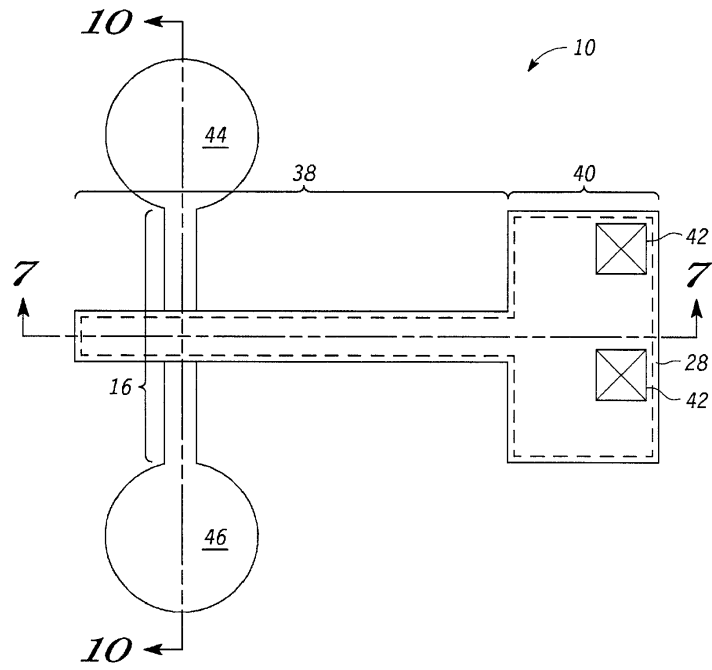
도면6



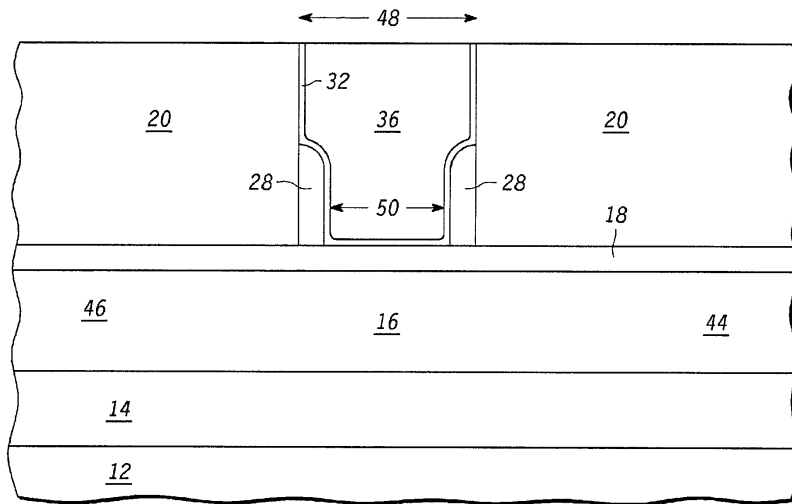
도면7



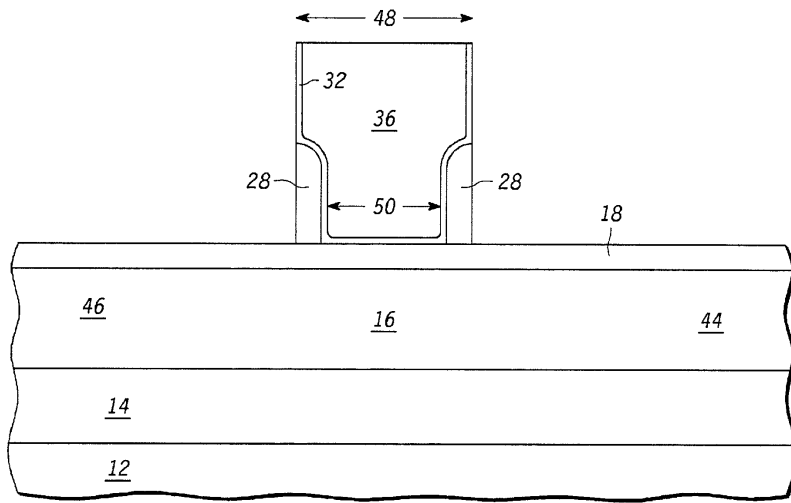
도면8



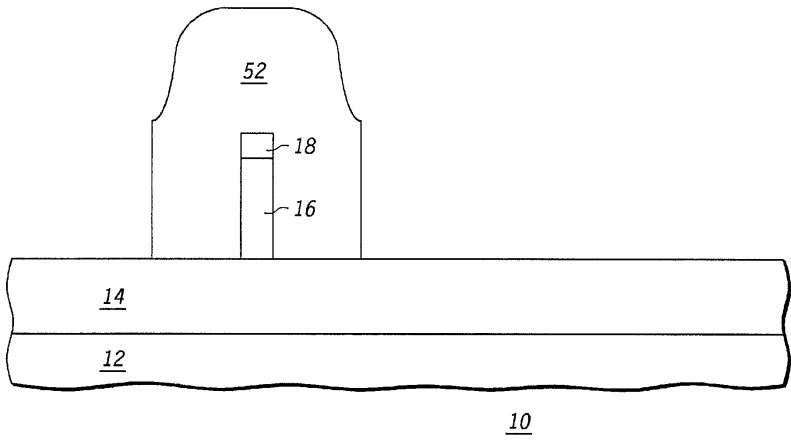
도면9



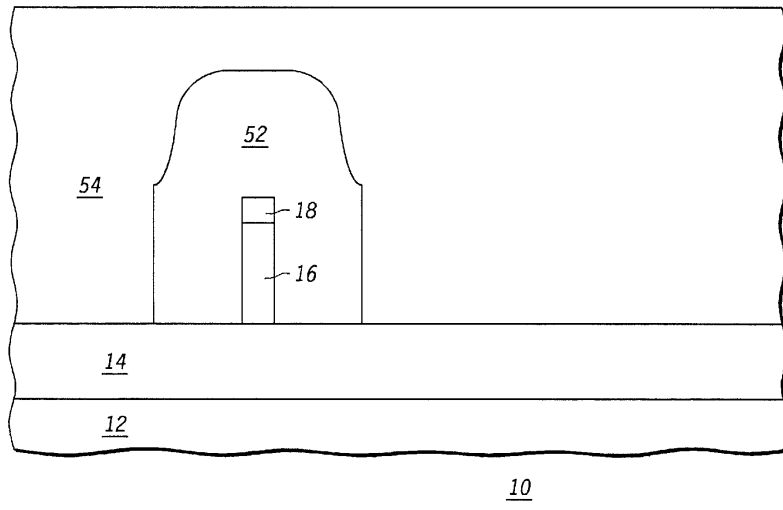
도면10



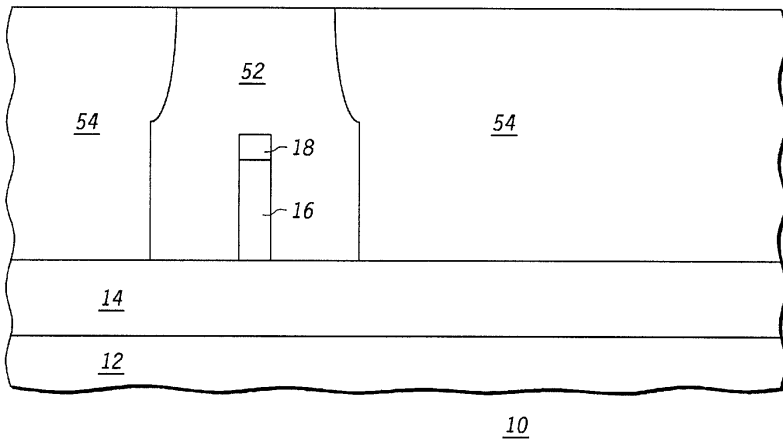
도면11



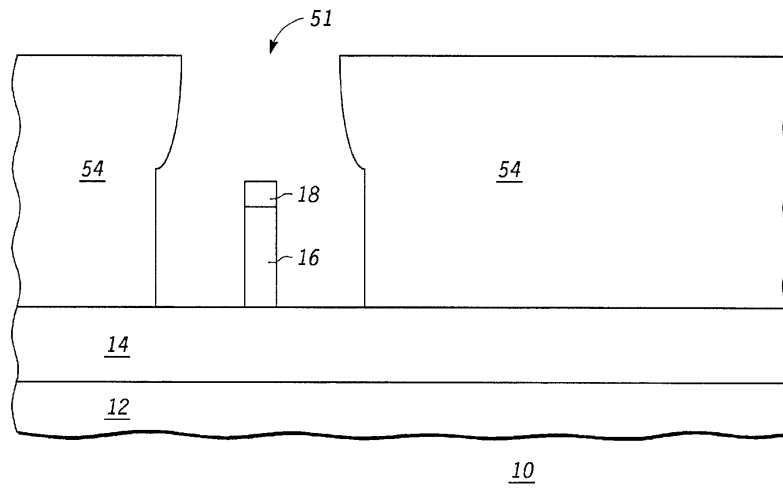
도면12



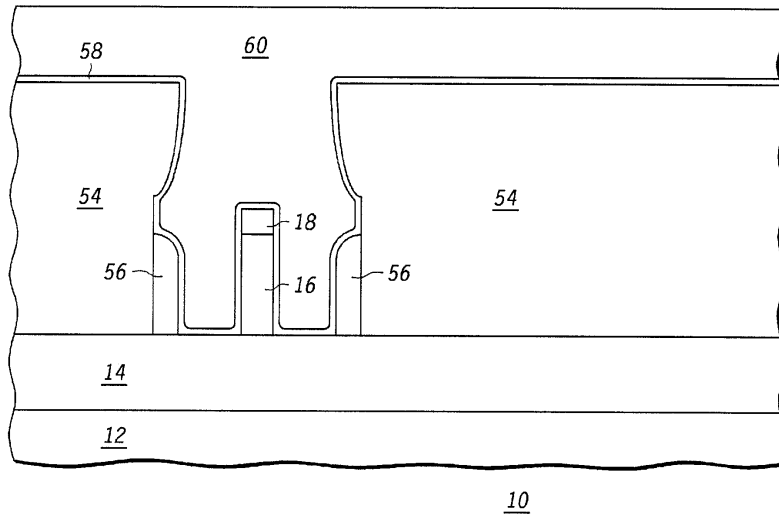
도면13



도면14



도면15



도면16

