



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년11월28일  
(11) 등록번호 10-1087936  
(24) 등록일자 2011년11월22일

(51) Int. Cl.

H01L 21/336 (2006.01) H01L 29/78 (2006.01)

(21) 출원번호 10-2009-0117118  
(22) 출원일자 2009년11월30일  
심사청구일자 2009년11월30일  
(65) 공개번호 10-2011-0060517  
(43) 공개일자 2011년06월08일

(56) 선행기술조사문헌  
KR1020060027640 A\*  
US20060220131 A1\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

이승현

서울 관악구 봉천7동 1606-2번지 101호

(74) 대리인

특허법인태평양

전체 청구항 수 : 총 9 항

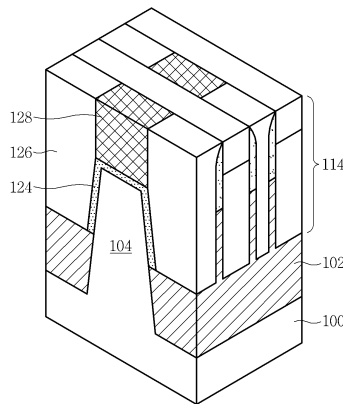
심사관 : 박근용

(54) 반도체 소자 및 그의 형성 방법

(57) 요약

본 발명의 반도체 소자는 소자분리막의 상면으로부터 상부 및 측벽부가 돌출되어 구비되는 활성영역 및 상기 활성영역의 상부 및 측벽부에 구비된 실리사이드막을 포함함으로써, 반도체 소자의 소스/드레인 영역에서의 저항을 효과적으로 감소시킴으로써 핀형 게이트가 구비된 반도체 소자의 전체 저항을 감소시킬 수 있어 반도체 소자의 특성을 향상시킬 수 있는 효과를 제공한다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

소자분리막의 상면으로부터 상부 및 측벽부가 돌출되어 구비되는 활성영역; 및

상기 활성영역의 상부 및 측벽부에 구비된 실리사이드막을 포함하되,

상기 활성영역 상에 구비되는 게이트 라인을 더 포함하고, 상기 소자분리막 상에 상기 게이트 라인과 평탄화된 층간절연막을 더 포함하며, 상기 실리사이드막 상면과 접촉되며 상기 층간절연막과 평탄화된 랜딩플러그를 더 포함하는 것을 특징으로 하는 반도체 소자.

### 청구항 2

삭제

### 청구항 3

청구항 1에 있어서,

상기 게이트 라인은

게이트 산화막;

게이트층; 및

게이트 하드마스크층을 포함하는 것을 특징으로 하는 반도체 소자.

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

반도체 기판에 소자분리막을 형성하는 단계;

상기 소자분리막에 트렌치를 형성하여 활성영역의 상부 및 측벽부를 돌출시키는 단계; 및

상기 활성영역의 상부 및 측벽부 표면에 실리사이드막을 형성하는 단계를 포함하되,

상기 실리사이드막을 형성하는 단계 이후,

상기 실리사이드막과 접촉되는 랜딩플러그를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

### 청구항 7

청구항 6에 있어서,

상기 소자분리막을 형성하는 단계 이후

상기 소자분리막에 매립되는 게이트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

### 청구항 8

청구항 7에 있어서,

상기 게이트 라인을 형성하는 단계는

상기 소자분리막에 리세스를 형성하는 단계;

상기 리세스를 포함하는 전체 상부에 게이트 산화막을 형성하는 단계;

상기 게이트 산화막 상부에 게이트층을 형성하는 단계;

상기 게이트층 상부에 게이트 하드마스크층을 형성하는 단계; 및

상기 게이트 하드마스크층 상에 감광막 패턴을 형성한 후, 감광막 패턴을 식각마스크로 패터닝하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

**청구항 9**

청구항 6에 있어서,

상기 실리콘사이드막을 형성하는 단계는

전체 상부에 금속층을 형성하는 단계;

열 공정을 수행하여 상기 금속층과 상기 활성영역을 반응시키는 단계; 및

상기 활성영역과 반응하지 않은 금속층을 선택적으로 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

**청구항 10**

청구항 9에 있어서,

상기 금속층을 형성하는 단계는 CVD(chemical vapor deposition)으로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

**청구항 11**

청구항 9에 있어서,

상기 금속층을 형성하는 단계는 Ti,Co 또는 Ni을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

**청구항 12**

삭제

**청구항 13**

청구항 6에 있어서,

상기 랜딩플러그를 형성하는 단계는

상기 실리콘사이드막을 포함하는 전체 상부에 층간절연막을 형성하는 단계;

상기 실리콘사이드막이 노출되도록 상기 층간절연막을 식각하는 단계;

상기 실리콘사이드막을 포함하는 전체 상부에 도전물질을 형성하는 단계; 및

상기 층간절연막이 노출되도록 상기 도전물질에 평탄화 식각 공정을 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 핀형 게이트를 포함하는 반도체 소자 및 그의 형성 방법에 관한 것으로 보다 구체적으로 활성영역의 소스 드레인 저항을 효과적으로 줄일 수 있는 반도체 소자 및 그의 형성 방법에 관한 것이다.

## 배경 기술

- [0002] 반도체 소자가 고집적화됨에 따라 활성영역 및 소자분리막을 형성하는 공정마진이 감소하게 되었다. 특히, 반도체 소자가 저전력 구동화 또는 고속 동작화된 소자로 형성됨에 따라, 게이트의 선평이 좁아지면서 채널 길이의 감소로 반도체 소자의 전기적 특성이 저하되고 단채널 효과(short channel effect)나 소자의 신뢰성 등과 같은 문제들을 해소하는 방법이 중요시 되고 있다.
- [0003] 이를 극복하기 위하여 리세스 게이트(Recess Gate) 및 핀형 게이트(Fin Type Gate)와 같은 McFET(Multi-channel FET)를 사용하게 되었다. 여기서, 리세스 게이트는 게이트 예정 영역의 반도체 기판을 소정 깊이 식각함으로써 채널 길이를 증가시키는 방법이고, 핀형 게이트는 활성영역과 게이트 사이의 접촉면적을 증가시켜 게이트의 구동 능력을 증가시키고 전기적 특성을 향상시킬 수 있는 기술이다.
- [0004] 핀형 트랜지스터는 삼면 게이트가 채널을 감싼 형태의 핀 채널 구조이다. 핀 채널 구조는 기존의 제조기술에서 크게 벗어나지 않으면서 3차원 구조로 제작이 가능하고, 구조적인 특징 때문에 게이트 제어력이 좋아 단채널 효과(Short channel effect)를 줄일 수 있어 드레인 영역과 소스 영역 사이의 영향을 최소화할 수 있다. 그리고, 핀 채널 구조는 채널 도핑 농도를 낮출 수 있고, 이로 인해 접합 영역을 통한 누설전류가 개선되는 이점이 있다.
- [0005] 핀형 트랜지스터를 형성하기 위해 활성영역의 양측면을 노출하는 방법으로 활성영역을 설정하는 소자분리 영역을 형성한 후, 소자분리 영역의 일부 표면을 리세스(recess)하여 활성영역의 양 측면을 노출시키는 다마신(damascene) 기법이 일반적으로 적용되고 있다. 그리고, 소자분리 영역에 형성된 리세스 홈에는 게이트 라인(gate line)을 형성하여, 게이트가 활성영역의 양 측면 상에 위치되도록 한다.
- [0006] 한편, 핀형 게이트의 전체 저항은 채널 저항과 소스/드레인 영역에서의 저항에 의해 결정되는데, 일반적으로 핀형 게이트의 소스/드레인 영역의 저항은 소스/드레인 영역의 실리콘 부에 형성되는 실리콘과 금속 실리사이드 계면에 의해 결정된다.
- [0007] 도 1은 종래 기술에 따른 반도체 소자를 나타낸 측단면도이다.
- [0008] 도 1에 도시된 바와 같이, 종래 기술에 따른 반도체 소자는 반도체 기판(10) 상에 소자분리막(12)으로 정의되는 활성영역(14) 상에 구비된 실리사이드막(16)과, 소자분리막(12)에 구비된 리세스 상에 형성된 게이트(18) 및 게이트 하드마스크층(20)과, 활성영역(24) 상에 구비된 실리사이드막(16)과 접속되는 랜딩플러그(24)와, 소자분리막(12) 상에 구비되어 랜딩플러그(24)와 평탄화된 높이를 갖는 층간절연막(22)를 포함한다.
- [0009] 상술한 바와 같이 활성영역(14) 상부에만 실리사이드막(16)이 구비되는 경우에는 소스/드레인 접촉면적이 작아져 전체 반도체 소자의 성능이 저하되는 문제가 있다.

## 발명의 내용

### 해결 하고자하는 과제

- [0010] 본 발명은 삼면 게이트가 채널을 감싼 형태의 핀 채널 구조를 갖는 핀형 게이트가 구비된 반도체 소자의 경우 소스/드레인 영역에서의 저항의 증가로 전체 저항이 증가하여 반도체 소자의 특성을 열화시키는 문제를 해결하고자 한다.

### 과제 해결수단

- [0011] 본 발명의 반도체 소자는 소자분리막의 상면으로부터 상부 및 측벽부가 돌출되어 구비되는 활성영역 및 상기 활성영역의 상부 및 측벽부에 구비된 실리사이드막을 포함하는 것을 특징으로 한다.
- [0012] 이때, 상기 활성영역 상에 구비되는 게이트 라인을 더 포함하는 것을 특징으로 한다.
- [0013] 그리고, 상기 게이트 라인은 게이트 산화막과 게이트층 및 게이트 하드마스크층을 포함하는 것을 특징으로 한다.
- [0014] 그리고, 상기 소자분리막 상에 상기 게이트 라인과 평탄화된 층간절연막을 더 포함하는 것을 특징으로 한다.
- [0015] 이때, 상기 실리사이드막 상면과 접속되며 상기 층간절연막과 평탄화된 랜딩플러그를 더 포함하는 것을 특징으로 한다.

- [0016] 본 발명의 반도체 소자의 형성 방법은 반도체 기판에 소자분리막을 형성하는 단계와 상기 소자분리막에 트렌치를 형성하여 활성영역의 상부 및 측벽부를 돌출시키는 단계 및 상기 활성영역의 상부 및 측벽부에 실리사이드막을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0017] 이때, 상기 소자분리막을 형성하는 단계 이후 상기 소자분리막에 매립되는 게이트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- [0018] 그리고, 상기 게이트 라인을 형성하는 단계는 상기 소자분리막에 리세스를 형성하는 단계와 상기 리세스를 포함하는 전체 상부에 게이트 산화막을 형성하는 단계와 상기 게이트 산화막 상부에 게이트층을 형성하는 단계와 상기 게이트층 상부에 게이트 하드마스크층을 형성하는 단계 및 상기 게이트 하드마스크층 상에 감광막 패턴을 형성한 후, 감광막 패턴을 식각마스크로 패터닝하는 단계를 포함하는 것을 특징으로 한다.
- [0019] 또한, 상기 실리사이드막을 형성하는 단계는 전체 상부에 금속층을 형성하는 단계와 열 공정을 수행하여 상기 금속층과 상기 활성영역을 반응시키는 단계 및 상기 활성영역과 반응하지 않은 금속층을 선택적으로 제거하는 단계를 포함하는 것을 특징으로 한다.
- [0020] 그리고, 상기 금속층을 형성하는 단계는 CVD(chemical vapor deposition)으로 형성되는 것을 특징으로 한다.
- [0021] 그리고, 상기 금속층을 형성하는 단계는 Ti,Co 또는 Ni을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0022] 또한, 상기 실리사이드막을 형성하는 단계 이후, 상기 실리사이드막과 접속되는 랜딩플러그를 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- [0023] 이때, 상기 랜딩플러그를 형성하는 단계는 상기 실리사이드막을 포함하는 전체 상부에 층간절연막을 형성하는 단계와 상기 실리사이드막이 노출되도록 상기 층간절연막을 식각하는 단계와 상기 실리사이드막을 포함하는 전체 상부에 도전물질을 형성하는 단계 및 상기 층간절연막이 노출되도록 상기 도전물질에 평탄화 식각 공정을 수행하는 단계를 포함하는 것을 특징으로 한다.

**효 과**

- [0024] 본 발명은 반도체 소자의 소스/드레인 영역에서의 저항을 효과적으로 감소시킴으로써 핀형 게이트가 구비된 반도체 소자의 전체 저항을 감소시킬 수 있어 반도체 소자의 특성을 향상시킬 수 있는 효과를 제공한다.

**발명의 실시를 위한 구체적인 내용**

- [0025] 이하에서는 본 발명에 따라 첨부된 실시예를 참조하여 상세히 설명하기로 한다.
- [0026] 도 2는 본 발명에 따른 반도체 소자를 나타낸 측단면도이고, 도 3a 내지 도 3j는 본 발명에 따른 반도체 소자의 형성 방법을 나타낸 측단면도이다.
- [0027] 도 2에 도시된 바와 같이, 본 발명에 따른 반도체 소자는 반도체 기판(100)이 소정두께 식각되어 트렌치에 매립된 소자분리막(102)과, 소자분리막(102)의 상면으로부터 상부 및 측벽부가 돌출되어 구비된 활성영역(104)과, 활성영역(104)의 상부 및 측벽부에 형성된 실리사이드막(124)과, 소자분리막(102) 상부에 형성된 층간절연막(126)과, 활성영역(104)을 3분할하도록 층간절연막(126) 사이에 구비되며 층간절연막(126)과 평탄화된 높이를 갖는 게이트 라인(114)과, 실리사이드막(124)과 접속되며 게이트 라인(114)과 평탄화된 랜딩플러그(128)를 포함한다. 여기서, 게이트 라인(114)은 게이트 산화막(미도시), 게이트층(108) 및 게이트 하드마스크층(110)의 적층 구조인 것이 바람직하다. 그리고, 실리사이드막(124)은 활성영역(104)의 상부 및 측벽부에 형성된 금속층(미도시)과 활성영역(104) 즉 실리콘 기판과 열 공정에 의한 반응으로 형성되는 것이 바람직하다. 또한, 금속층(미도시)은 Ti,Co 또는 Ni인 것이 바람직하고, CVD(chemical vapor deposition)으로 형성되는 것이 바람직하다. 또한, 도시되지는 않았지만 활성영역(104)에는 도펀트 주입영역이 구비될 수 있다.
- [0028] 상술한 바와 같이, 본 발명의 반도체 소자는 활성영역의 상부 및 측벽부에 실리사이드막을 구비함으로써 핀형 게이트의 소스/드레인 영역의 저항이 증가되는 것을 방지하여 반도체 소자의 특성을 향상시킬 수 있다.
- [0029] 도 3a에 도시된 바와 같이, 반도체 기판(100)을 소정 두께 식각하여 트렌치(미도시)를 형성한 후, 트렌치(미도시)내에 절연물질을 매립하여 소자분리막(102)을 형성한다. 여기서, 반도체 기판(100) 내에 형성된 소자분리막(102)에 의해 활성영역(104)이 정의된다. 이때, 절연물질 필드 산화막(field oxide)인 것이 바람직하다.
- [0030] 도 3b에 도시된 바와 같이, 소자분리막(102)을 포함하는 반도체 기판(100) 상에 핀형 게이트 예정 영역을 정의

하는 감광막 패턴(미도시)을 형성한 후, 이를 식각마스크로 소자분리막(102)을 소정두께 식각하여 리세스(106)를 형성한다.

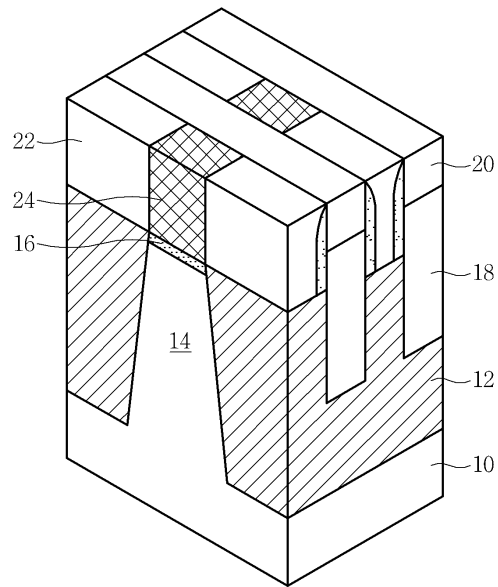
- [0031] 도 3c에 도시된 바와 같이, 리세스(106)를 포함하는 전체 상부에 게이트 산화막(미도시), 게이트층(108) 및 게이트 하드마스크층(110)을 형성한다.
- [0032] 도 3d에 도시된 바와 같이, 게이트 하드마스크층(110) 상에 게이트 라인을 정의하기 위한 감광막 패턴(미도시)을 형성한 후, 이를 식각마스크로 게이트 하드마스크층(110)을 식각하여 패터닝하고 패터닝된 게이트 하드마스크층을 식각마스크로 게이트층(108) 및 게이트 산화막(미도시)을 식각하여 게이트 라인(114)을 형성한다.
- [0033] 도 3e에 도시된 바와 같이, 게이트 라인(114)을 포함하는 전체 상부에 게이트 스페이서 물질을 증착한 후, 게이트 스페이서 물질에 대하여 에치백을 수행하여 게이트 라인(114)의 측벽에 게이트 스페이서(118)를 형성한다.
- [0034] 도 3f에 도시된 바와 같이, 게이트 스페이서(118)를 포함하는 게이트 라인(114)을 식각마스크로 하여 소자분리막(102)을 소정두께 식각하여 트렌치(120)를 형성한다. 이때, 트렌치(120)의 깊이는 편형 게이트 예정 영역을 정의하기 위해 형성된 리세스(106)의 깊이와 동일한 것이 바람직하다. 그 이유는 소스/드레인 주변 영역에 구비되는 소자분리막(102)이 제거되도록 하기 위함이다. 즉, 트렌치(120)에 의해 활성영역(104)의 상부 및 측벽부가 돌출된다. 도시되지는 않았지만, 돌출된 활성영역(104)에 도펀트(dopant) 주입이 이루어지는 것이 바람직하다. 이는 후속 공정에서 형성되는 실리사이드층이 오믹(ohmic) 접촉되도록 하기 위함이다.
- [0035] 도 3g에 도시된 바와 같이, 트렌치(120)를 포함하는 전체 상부에 금속층(122)을 형성한다. 이때, 금속층(122)은 CVD(chemical vapor deposition)로 형성되는 것이 바람직하다. 여기서, 금속층(122)에 적용되는 금속은 Ti, Co 또는 Ni인 것이 바람직하다.
- [0036] 도 3h에 도시된 바와 같이, 열 공정을 수행하여 활성영역(104)의 상부 및 측벽에 실리사이드막(124)을 형성한다. 여기서, 활성영역(104) 상부에만 실리사이드막(124)이 형성되는 것은 열 공정에 의해 상부 및 측벽이 노출된 활성영역(104) 즉, 실리콘 기판과 금속층(122)이 반응하기 때문이다. 즉, 전체 상부에 금속층(122)을 형성한 후 열 공정을 수행하면, 실리콘 기판을 제외한 소자분리막(102) 및 게이트 상부 또는 측면에 형성된 금속층(122)은 열 공정에 의해 소자분리막(102)과 반응하지 않기 때문에 실리사이드화되지 않는다. 이어서, 실리사이드화 되지 않은 금속층(122)을 선택적으로 제거한다. 따라서, 실리사이드막(124)은 활성영역(104)의 상부 및 측벽에만 형성되도록 할 수 있다.
- [0037] 도 3i에 도시된 바와 같이, 실리사이드막(124) 및 게이트 라인(114)의 사이가 갭필되도록 전체 상부에 층간절연막(126)을 형성한다.
- [0038] 도 3j에 도시된 바와 같이, 게이트 라인(114)이 노출되도록 층간절연막(126)에 평탄화 공정을 수행하고, 평탄화 공정이 수행된 층간절연막(126) 상부에 랜딩플러그 홀을 정의하는 감광막 패턴(미도시)을 형성한 후, 감광막 패턴(미도시)을 식각마스크로 실리사이드층(124)이 노출되도록 층간절연막(126)을 식각하여 랜딩플러그 홀(미도시)을 형성한다. 그 다음, 랜딩플러그 홀(미도시)이 매립되도록 도전물질을 매립하여 랜딩플러그(128)을 형성한다.
- [0039] 상술한 바와 같이 본 발명에 따른 반도체 소자의 형성 방법은 활성영역의 상부 및 측벽을 노출시킨 후, 열 공정을 수행하여 활성영역의 상부 및 측벽 상에 형성된 금속층과의 반응으로 실리사이드막을 형성함으로써, 소스/드레인 영역의 저항을 줄여 반도체 소자의 특성을 향상시킬 수 있다.

**도면의 간단한 설명**

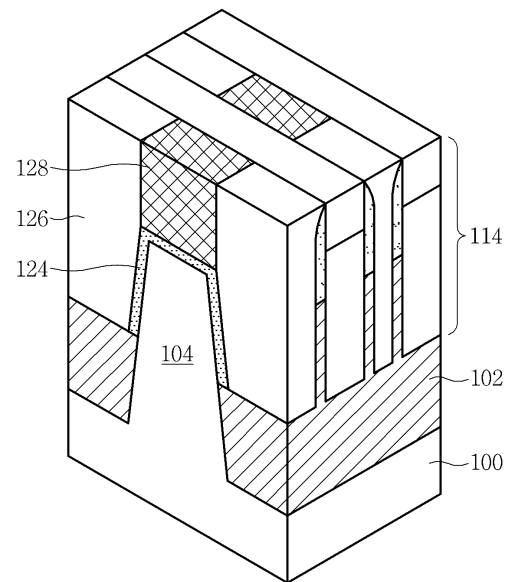
- [0040] 도 1은 종래 기술에 따른 반도체 소자를 나타낸 측단면도.
- [0041] 도 2는 본 발명에 따른 반도체 소자를 나타낸 측단면도.
- [0042] 도 3a 내지 도 3j는 본 발명에 따른 반도체 소자의 형성 방법을 나타낸 측단면도.

도면

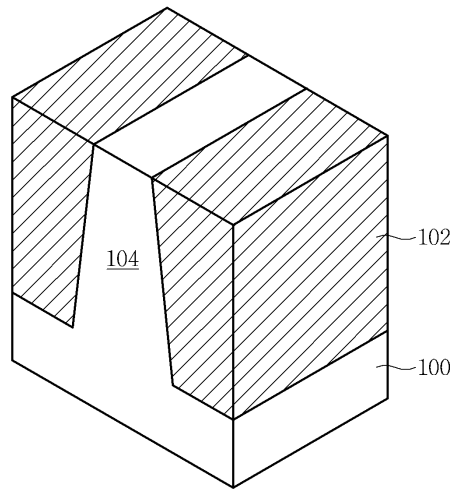
도면1



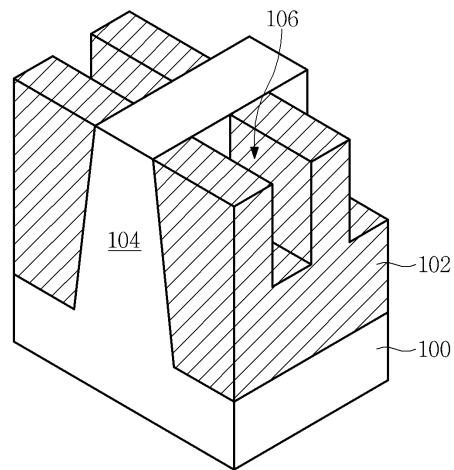
도면2



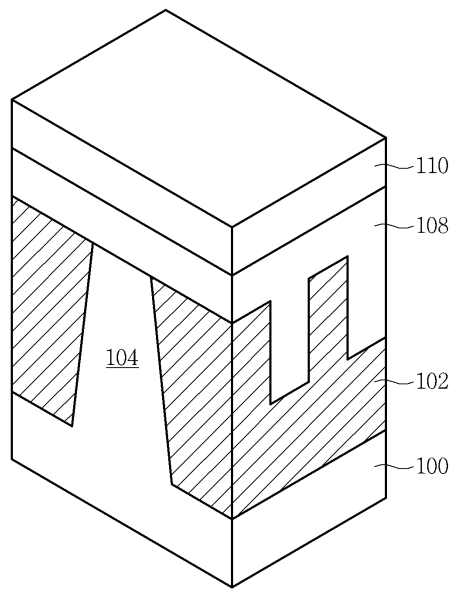
도면3a



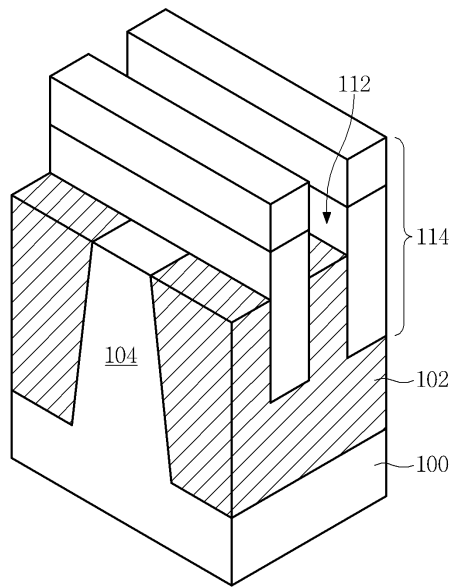
도면3b



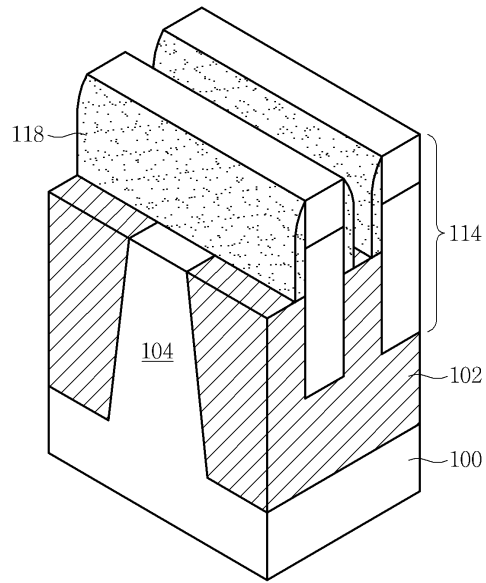
도면3c



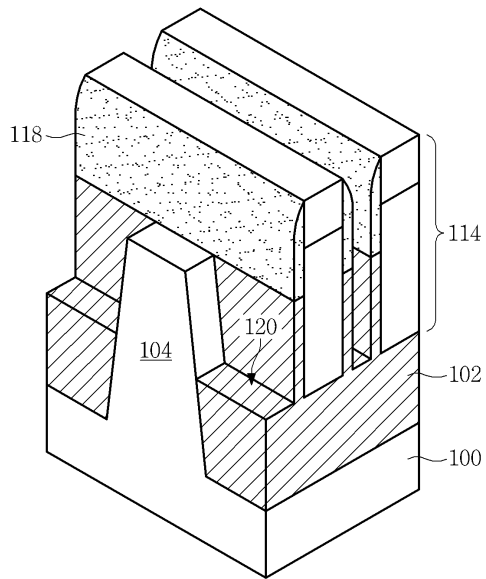
도면3d



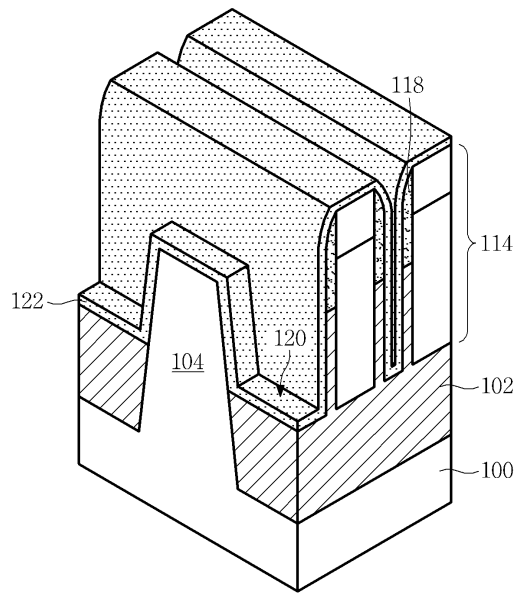
도면3e



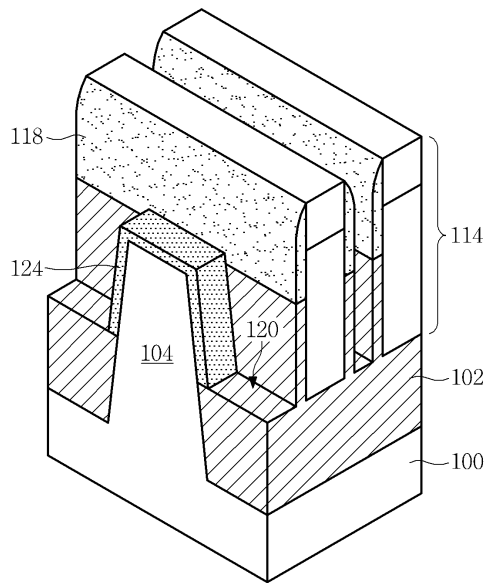
도면3f



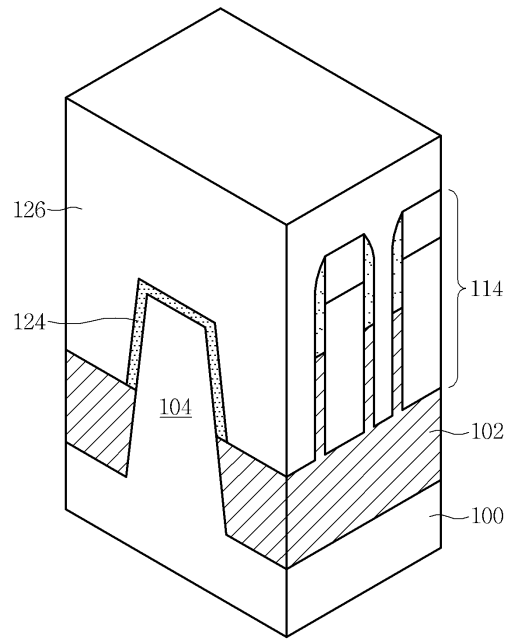
도면3g



도면3h



도면3i



도면3j

