



# (12) 发明专利

(10) 授权公告号 CN 116760416 B

(45) 授权公告日 2023. 10. 20

(21) 申请号 202311008543.3

G06F 30/39 (2020.01)

(22) 申请日 2023.08.11

(56) 对比文件

(65) 同一申请的已公布的文献号  
申请公布号 CN 116760416 A

CN 102437852 A, 2012.05.02  
CN 112748137 A, 2021.05.04  
CN 113836933 A, 2021.12.24  
CN 114221657 A, 2022.03.22

(43) 申请公布日 2023.09.15

US 2004107303 A1, 2004.06.03  
US 2005083222 A1, 2005.04.21  
US 2011137604 A1, 2011.06.09

(73) 专利权人 电子科技大学  
地址 611731 四川省成都市高新区(西区)  
西源大道2006号

卫建华. 基于MAX10的多通道数据采集系统设计. 微处理机. 2016, 81-84.

(72) 发明人 李大刚 李泽宏 李威 何弢  
杨绍澎

审查员 李桂英

(74) 专利代理机构 电子科技大学专利中心  
51203  
专利代理师 曾磊

(51) Int. Cl.

H03M 1/12 (2006.01)

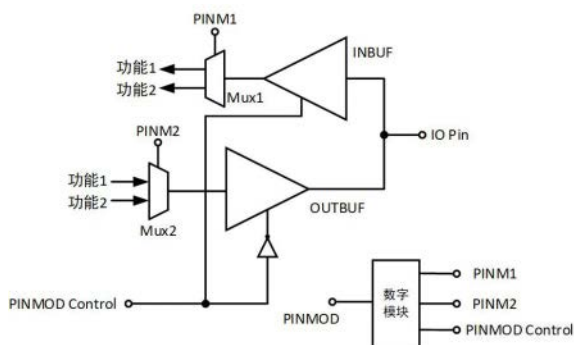
权利要求书1页 说明书3页 附图2页

## (54) 发明名称

一种双配置模式高精度过采样模数转换器控制模块

## (57) 摘要

本发明涉及一种双配置模式高精度过采样模数转换器控制模块,属于模拟集成电路设计领域。传统的高精度过采样ADC都采用单一的模式来控制ADC的功能,比如只使用管脚模式或只使用寄存器配置模式,这会带来寄存器配置不灵活的情况。为了解决这一问题,本发明提出了一种电路结构,通过控制信号实现IO口的功能的选择和IO口输入输出的选择,来实现双配置模式的高精度过采样模数转换器,使ADC的配置更加灵活。



1. 一种双配置模式高精度过采样模数转换器控制模块,其特征在于,该控制模块包括电路信号选通器Mux1和电路信号选通器Mux2,输入缓冲器INBUF,输出缓冲器OUTBUF,一个反相器,一个数字模块;

PINMOD经过数字模块产生控制信号PINMOD Control、PINM1和PINM2,IO Pin为ADC芯片引脚,PINMOD Control直接连接输入缓冲器INBUF的控制端,同时经过一个反相器后与输出缓冲器OUTBUF的控制端相连;输入缓冲器INBUF的输入端与IO Pin相连,输出端与电路信号选通器Mux1的输入端相连;输出缓冲器OUTBUF的输入端与电路信号选通器Mux2输出相连,输出端与IO Pin相连;电路信号选通器Mux1的输出连接ADC芯片内部的功能1和功能2,通过控制信号PINM1进行选择;电路信号选通器Mux2的输入连接ADC芯片内部的功能1和功能2,通过控制信号PINM2进行选择;

电路信号选通器Mux1和电路信号选通器Mux2由数字代码编写而成,通过PINMOD控制信号PINM1和PINM2来选择功能1或功能2;输入缓冲器INBUF和输出缓冲器OUTBUF结构相同,对信号起到缓冲的作用。

2. 根据权利要求1所述的控制模块,其特征在于,所述PINMOD接电源时ADC芯片为管脚配置模式,PINMOD接地时ADC芯片为寄存器配置模式,具体为:

当PINMOD管脚接电源的时候,经过数字模块产生的控制信号PINM1和PINM2为高电平,使的引脚连接功能1,控制信号PINMOD Control根据引脚是输入还是输出的需要产生,当该引脚是输入引脚时,产生的PINMOD Control为高电平,当该引脚是输出引脚时,产生的PINMOD Control为低电平,此时芯片是管脚配置模式;

当PINMOD管脚接地的的时候,经过数字模块产生的控制信号PINM1和PINM2为低电平,使的引脚连接功能2,PINMOD Control根据引脚是输入还是输出的需要产生,当该引脚是输入引脚时,产生的PINMOD Control为高电平,当该引脚是输出引脚时,产生的PINMOD Control为低电平,此时ADC芯片是寄存器配置模式。

3. 根据权利要求2所述的控制模块,其特征在于,所述功能1为管脚配置模式中的M1/M0,功能2为寄存器配置模式中的DR1/DR0。

4. 根据权利要求2所述的控制模块,其特征在于,所述功能1为管脚配置模式中的MOD,功能2为寄存器配置模式中的DIN。

5. 根据权利要求2所述的控制模块,其特征在于,所述功能1为管脚配置模式中的提供同步信号输入,功能2为寄存器配置模式中的芯片内部高通滤波器开启或关闭的控制信号。

6. 根据权利要求2所述的控制模块,其特征在于,所述功能1为管脚配置模式中的MCLK,功能2为寄存器配置模式中的PHS。

## 一种双配置模式高精度过采样模数转换器控制模块

### 技术领域

[0001] 本发明属于模拟集成电路设计领域,具体涉及一种双配置模式高精度过采样模数转换器控制模块。

### 背景技术

[0002] 模数转换器(ADC)是模拟集成电路设计领域以模数混合处理领域不可缺少的关键单元,其中高精度过采样ADC是应用很广泛的一个分支。

[0003] 传统的高精度过采样ADC都采用单一的模式来控制ADC的功能,比如只能使用管脚模式,如图1所示。管脚模式就是使用芯片的管脚直接配置芯片的功能。这样对简单的应用简单可靠。不需要有复杂的配置设计,芯片外围使用的PCB板也相对简化。但是这样做会带来一定的缺点,就是PCB设计确定以后没有调整和修改配置的可能,导致芯片使用环境不灵活。

[0004] 后来,对于高精度过采样ADC又出现了内部寄存器来控制 and 配置芯片,例如TI公司的ADS1258芯片,用户可以使用芯片内部复杂的寄存器组合来灵活的配置高精度过采样ADC。这样做的好处是当ADC外围有FPGA或MCU等控制芯片来控制ADC,就可以通过改变FPGA或MCU的配置代码来现场修改ADC芯片的功能,使芯片使用条件显著改善。但是这样又带来相对应的缺点,就是配置代码一般都会存储在存储器芯片内,存储器芯片容易受到外界干扰,如果不是使用非易失性存储器来存储代码,当整个系统掉电就会丢失配置信息。

[0005] 从系统设计复杂度来看,管脚模式使用的外围电路简单可靠,不要使用存储器来存储配置代码,但是设计确定以后不方便修改。使用内部寄存器来控制 and 配置ADC芯片的外围设计比较复杂,会使用到FPGA或MCU等控制芯片和存储芯片,设计难度大,但是更加灵活改变ADC的功能,比如采样通道的现场更换等更多的ADC外围功能。

### 发明内容

[0006] 为了优化高精度过采样ADC的模式控制方式,解决管脚模式和使用内部寄存器来控制的不足,本发明提出一种新型的高精度过采样ADC的内部设计结构,通过控制信号实现IO口的功能的选择和IO口输入输出的选择。

[0007] 工作原理如图2所示:

[0008] 该控制模块包括电路信号选通器Mux1和电路信号选通器Mux2,输入缓冲器INBUF,输出缓冲器OUTBUF,一个反相器,一个数字模块;

[0009] PINMOD经过数字模块产生控制信号PINMOD Control、PINM1和PINM2,IO Pin为ADC芯片引脚,PINMOD Control直接连接输入缓冲器INBUF的控制端,同时经过一个反相器后与输出缓冲器OUTBUF的控制端相连;输入缓冲器INBUF的输入端与IO Pin相连,输出端与电路信号选通器Mux1的输入端相连;输出缓冲器OUTBUF的输入端与电路信号选通器Mux2输出相连,输出端与IO Pin相连;电路信号选通器Mux1的输出连接ADC芯片内部的功能1和功能2,通过PINM1进行选择;电路信号选通器Mux2的输入连接ADC芯片内部的功能1和功能2,通过

PINM2进行选择；

[0010] 电路信号选通器Mux1和电路信号选通器Mux2由数字代码编写而成,通过PINMOD控制信号PINM1和PINM2来选择功能1或功能2;输入缓冲器INBUF和输出缓冲器OUTBUF结构相同,对信号起到缓冲的作用。

[0011] 通过该模块实现对芯片端口的控制,以此来实现模式的切换。使得芯片的配置更加灵活。

### 附图说明

[0012] 图1为传统的单一模式控制；

[0013] 图2 为PINMODE信号控制的IO PIN的原理图；

[0014] 图3为使用PINMODE来控制芯片配置模式原理图。

### 实施方式

[0015] 下面将结合附图对实施方式进行具体说明。

[0016] 图2为PINMODE信号控制的IO Pin的原理图。

[0017] PINMOD Control可以控制IO Pin是输入引脚还是输出引脚,当PINMOD Control为高电平时输入缓冲器INBUF开启,输出缓冲器OUTBUF关闭,IO Pin成为输入引脚,信号从外部输入;当PINMOD Control为低电平时输入缓冲器INBUF关闭,输出缓冲器OUTBUF开启,IO Pin成为输出引脚,信号从内部输出；

[0018] PINM1控制从IO Pin输入的信号是控制功能1还是功能2,PINM1为高电平时连接功能1,为低电平时连接功能2。PINM2控制从IO Pin输出的信号是来自功能1还是功能2,当PINM2为高电平时,IO PIN的信号来自功能1,为低电平时IO PIN的信号来自功能2。

[0019] 当PINMODE管脚接电源的时候,经过数字模块产生的控制信号PINM1和PINM2为高电平,使的引脚连接功能1,PINMOD Control根据引脚是输入还是输出的需要产生,当该引脚是输入引脚时,产生的PINMOD Control为高电平,当该引脚是输出引脚时,产生的PINMOD Control为低电平,此时芯片是管脚配置模式；

[0020] 当PINMODE管脚接地的时候,经过数字模块产生的控制信号PINM1和PINM2为低电平,使的引脚连接功能2,PINMOD Control根据引脚是输入还是输出的需要产生,当该引脚是输入引脚时,产生的PINMOD Control为高电平,当该引脚是输出引脚时,产生的PINMOD Control为低电平,此时ADC芯片是寄存器配置模式。

[0021] 图3为使用PINMODE来控制芯片配置模式原理图,图中左右两侧是芯片的典型IO,可以通过使用独立的PINMOD控制不同芯片IO Pin的配置状态。一般来说高精度过采样ADC中会包含模拟调制器和数字滤波器,同时在数字滤波器的外围会加入系列的控制逻辑构成ADC的数字控制模块。每一个需要复用的引脚都会使用图2所示的结构,来实现不同模式下引脚功能不同。

[0022] 左侧端口的SCLK是SPI的时钟,DIN/MOD共用一个IO Pin。当芯片是寄存器配置模式时,PINMODE管脚接地,在由PINMOD产生的控制信号的控制下,先将DIN/MOD引脚设置为输入端,然后对应的PINM1将功能设置为DIN,这时SPI数据可以从DIN端口进入。当芯片是管脚配置模式的时候,PINMODE管脚接电源,和上述类似的方式端口将被定义成MOD可以用来接0

或1来配置ADC芯片。

[0023] 右侧的M1和M0端口在芯片作为管脚配置模式时候输出ADC的SDM调制数据。当芯片是寄存器模式的时候作为DR1和DR0来配置芯片转换速度。

[0024] DOUT是芯片的数据串行输出端口,芯片最后的处理数据就从这里传输到外部的FPGA或者MCU芯片来收集ADC转换的结果。

[0025] 当芯片进入管脚配置模式时,由于芯片内部没有同步时钟,SYNC将提供同步的信号输入,这个同步的信号输入可以让ADC芯片每一次采样的结果在一个用户可以控制的模式下。芯片在寄存器配置模式时,SYNC不需要提供同步信号,原因是该模式下SCLK将成为同步时钟。寄存器配置模式该引脚的功能将从提供同步信号输入,变为一个可以控制芯片内部高通滤波器开启或关闭的控制信号。

[0026] MCLK是ADC芯片在管脚配置模式下的芯片主时钟输出,用户可以在芯片使用的时候使用芯片的MCLK来驱动其它的芯片,让其它的芯片能被ADC芯片同步。PHS在芯片是寄存器配置模式的时候可以选择内部数字滤波器的规模。

[0027] 通过控制PINMODE连接电源或地,结合不同功能的控制模块,实现了不同PINMODE下,管脚对应不同的管脚功能,实现了管脚配置模式和寄存器配置模式的灵活转换,解决只有一种单一模式的缺陷。

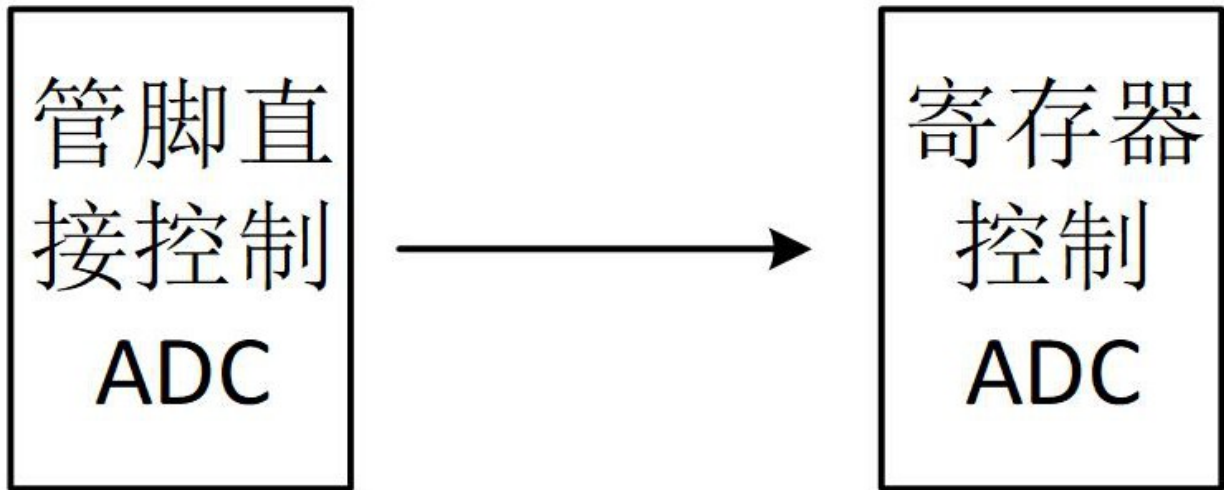


图 1

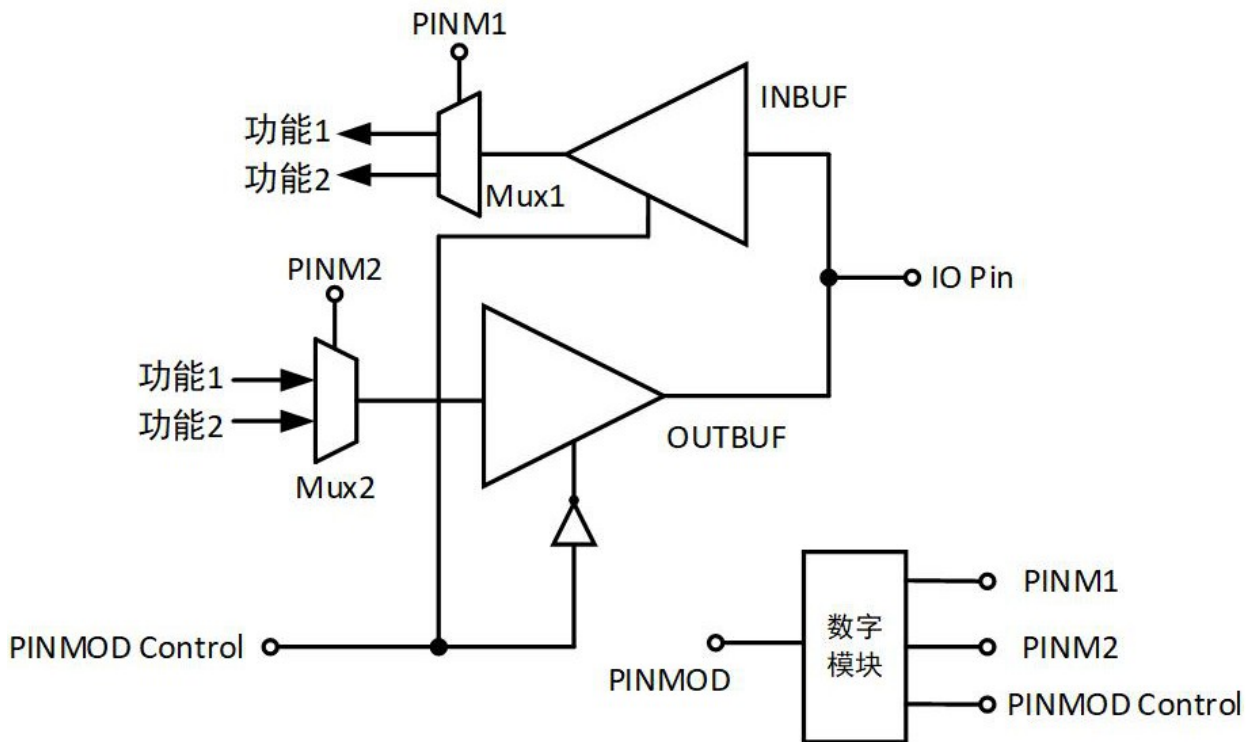


图 2

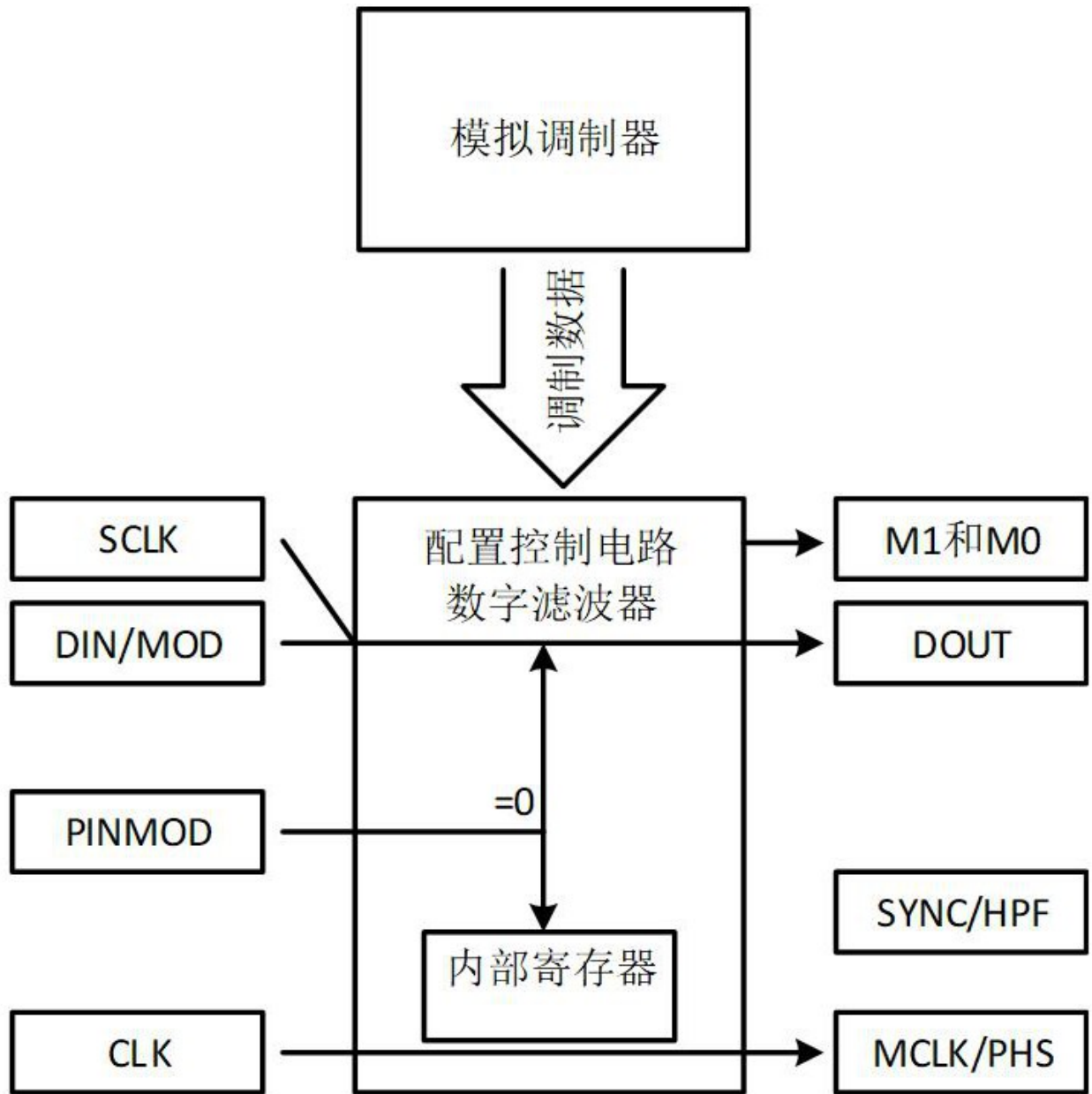


图 3