

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-142155

(P2007-142155A)

(43) 公開日 平成19年6月7日(2007.6.7)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/316 (2006.01)	HO 1 L 21/316 C	5 F O 3 2
HO 1 L 21/312 (2006.01)	HO 1 L 21/316 G	5 F O 5 8
HO 1 L 21/76 (2006.01)	HO 1 L 21/312 C	
	HO 1 L 21/316 P	
	HO 1 L 21/76 L	

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2005-334007 (P2005-334007)
 (22) 出願日 平成17年11月18日 (2005.11.18)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 長岡 弘二郎
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (72) 発明者 吉田 雅和
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 Fターム(参考) 5F032 AA35 AA44 AA45 AA47 AA50
 AA70 AA74 AA77 AA79 BA01
 DA04 DA10 DA23 DA24 DA33
 DA53 DA78

最終頁に続く

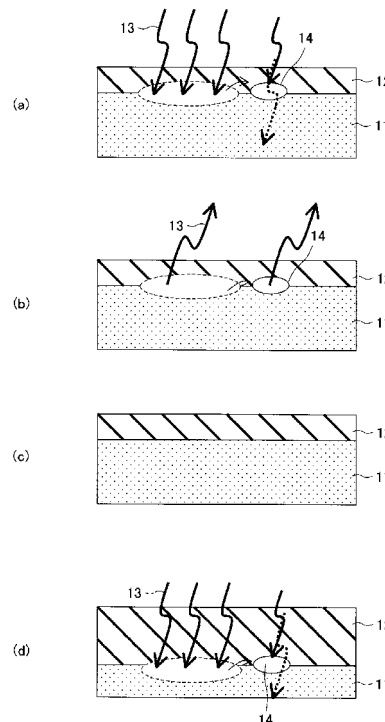
(54) 【発明の名称】 酸化処理方法および半導体装置の製造方法

(57) 【要約】

【課題】十分に酸化処理を行うことができ、安定な酸化膜を形成することができる酸化処理方法および半導体装置の製造方法を提供する。

【解決手段】所定の温度に加熱された被処理膜11の周囲に酸化剤を供給して、酸化処理を行う酸化処理方法であって、酸化剤13の供給後に、少なくとも1回真空排気し、再度酸化剤13を供給することを特徴とする。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

所定の温度に加熱された被処理基板の周囲に酸化剤を供給して、酸化処理を行う酸化処理方法であって、

前記酸化剤の供給後に、少なくとも 1 回真空排気し、再度酸化剤を供給することを特徴とする

酸化処理方法。

【請求項 2】

前記酸化剤の供給、真空排気、前記酸化剤の供給を繰り返す

請求項 1 記載の酸化処理方法。

10

【請求項 3】

前記酸化剤は、水蒸気を含む

請求項 1 記載の酸化処理方法。

【請求項 4】

半導体基板上にトレンチパターンを有するマスクを形成する工程と、

前記半導体基板をエッチングして、前記半導体基板にトレンチを形成する工程と、

前記トレンチを埋め込むように前記マスク上に第 1 埋め込み膜を形成する工程と、

前記半導体基板の周囲に酸化剤を供給し、前記第 1 埋め込み膜を酸化処理して、第 1 埋め込み酸化膜を形成する工程と、

前記トレンチ以外の前記マスク上に形成された前記第 1 埋め込み酸化膜を研磨する工程と、

20

前記第 1 埋め込み酸化膜をエッチングして、前記半導体基板の表面よりも前記第 1 埋め込み酸化膜の表面を低くする工程と、

前記第 1 埋め込み酸化膜上に第 2 埋め込み膜を形成する工程と

を有し、

前記第 1 埋め込み膜を酸化処理する工程において、前記酸化剤の供給後に、少なくとも 1 回真空排気し、再度酸化剤を供給して、酸化処理を行う

半導体装置の製造方法。

【請求項 5】

前記酸化剤の供給、真空排気、前記酸化剤の供給を繰り返す

請求項 4 記載の半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化処理方法および当該酸化処理方法を用いて酸化膜を形成する半導体装置の製造方法に関する。

【背景技術】

【0002】

近年の半導体装置の素子分離には、STI (Shallow Trench Isolation) と称される素子分離絶縁膜が広く用いられている。この素子分離絶縁膜は、半導体基板の素子分離領域にトレンチ (溝) を形成し、このトレンチに酸化シリコン (SiO_2) 膜を埋め込むことにより形成される。半導体装置の微細化に伴って、トレンチのアスペクト比が大きくなり、従来の HDP - SiO_2 膜や、 O_3 - TEOS 膜とでは、トレンチの中に空孔 (Void) や継目 (seam) を発生させずに埋め込むことが困難になってきている。HDP - SiO_2 膜は、HDP (High Density Plasma) - CVD (Chemical Vapor Deposition) 法により形成された酸化シリコン膜である。 O_3 - TEOS 膜とは、液体ソースである TEOS (tetraethylorthosilicate) と酸化剤である O_3 を用いて形成された酸化シリコン膜である。

40

【0003】

このため、100nm 世代以降では、塗布型溶液を用いてトレンチに素子分離絶縁膜を

50

埋め込む方法が提案されている。この材料として、過酸化水素シラザン重合体 ($(\text{SiH}_2\text{NH})_n$) 溶液が研究されている。この材料を塗布した後に、200以下でベーキングして溶媒を揮発させると、ポリシラザン (Polysilazane: 以下PSZと称する) 膜が形成される。このポリシラザン膜は、通常酸化処理される。ポリシラザンを酸化処理すると酸化シリコン膜となるが、他の製法による酸化シリコン膜と区別するため、ポリシラザン酸化膜と称する。

【0004】

ポリシラザン酸化膜はエッチング速度が速い。このため、素子分離絶縁膜の表面がポリシラザン酸化膜であると、その後のプロセスにおいてエッチングされていき、素子分離絶縁膜の端部に大きなディボット (divot) が生じる。ディボットが生じると、ディボットへのゲート電極材料が残ることによるショート不良などの問題が発生する。このため、トレンチの底部のみにポリシラザン酸化膜を埋め込んでトレンチのアスペクト比を小さくした後に、トレンチの上部にHDP-SiO₂膜を埋め込むプロセスが提案されている (特許文献1参照)。

10

【0005】

上記のプロセスでは、トレンチを埋め込むようにポリシラザン膜を形成し、酸化処理を行ってポリシラザン酸化膜とした後に、ポリシラザン酸化膜のCMPおよびウェットエッチングが行われる。ポリシラザン膜の酸化処理は、一般的な縦型炉を用いて行われ、水蒸気の雰囲気下で所定時間酸化処理を行った後に、水蒸気を排気して、その後パージガスを供給することにより行われる (特許文献2参照)。

20

【特許文献1】特開2004-311487号公報

【特許文献2】特開2005-45220号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、ポリシラザン膜を酸化処理した時から次工程までの時間により、ポリシラザン酸化膜のCMP研磨レートやウェットエッチングレートが異なるという問題があった。これは、酸化処理において十分にポリシラザン膜が酸化されていないことが原因であると考えられる。このため、酸化処理後から次工程までの間において、大気中の水分を吸湿して徐々に酸化が進み、時間毎にポリシラザン膜の酸化状態が異なる結果となる。

30

【0007】

酸化処理からの経過時間による膜質変化を抑制するため、酸化処理から次の工程までの時間を一定にするか、酸化処理後に長期間保管して膜質が安定するまで待つことが考えられるが、プロセスの安定性や生産性を考慮すると、時間の制御による安定化は困難である。

【0008】

本発明は上記の事情に鑑みてなされたものであり、その目的は、十分に酸化処理を行うことができ、安定な酸化膜を形成することができる酸化処理方法を提供することにある。

本発明の他の目的は、酸化処理後の埋め込み酸化膜の加工ばらつきを抑制することができる半導体装置の製造方法を提供することにある。

40

【課題を解決するための手段】

【0009】

上記の目的を達成するため、本発明の酸化処理方法は、所定の温度に加熱された被処理基板の周囲に酸化剤を供給して、酸化処理を行う酸化処理方法であって、前記酸化剤の供給後に、少なくとも1回真空排気し、再度酸化剤を供給することを特徴とする。

【0010】

上記の本発明の酸化処理方法では、酸化剤の雰囲気下において被処理基板が加熱されることにより、被処理基板と酸化剤とが反応して酸化膜が形成される。ここで、酸化膜の形成に伴って発生する副生成物が被処理基板の表層部に留まっていると、酸化剤の浸入を妨げてしまうが、本発明では少なくとも1回真空排気を行うため、この副生成物は基板外へ

50

放出される。真空排気後に再び酸化剤が供給され、酸化剤の雰囲気下において被処理基板が加熱されることにより、酸化処理が効率的に進むこととなる。

【0011】

上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上にトレンチパターンを有するマスクを形成する工程と、前記半導体基板をエッチングして、前記半導体基板にトレンチを形成する工程と、前記トレンチを埋め込むように前記マスク上に第1埋め込み膜を形成する工程と、前記半導体基板の周囲に酸化剤を供給し、前記第1埋め込み膜を酸化処理して、第1埋め込み酸化膜を形成する工程と、前記トレンチ以外の前記マスク上に形成された前記第1埋め込み酸化膜を研磨する工程と、前記第1埋め込み酸化膜をエッチングして、前記半導体基板の表面よりも前記第1埋め込み酸化膜の表面を低くする工程と、前記第1埋め込み酸化膜上に第2埋め込み膜を形成する工程とを有し、前記第1埋め込み膜を酸化処理する工程において、前記酸化剤の供給後に、少なくとも1回真空排気し、再度酸化剤を供給して、酸化処理を行う。

10

【0012】

上記の本発明の半導体装置の製造方法では、トレンチの底部を第1埋め込み酸化膜で埋めてトレンチのアスペクト比を小さくした後に、トレンチ内の第1埋め込み酸化膜上に第2埋め込み絶縁膜を形成する。

このトレンチの底部への第1埋め込み酸化膜の形成では、トレンチを埋め込むようにマスク上に第1埋め込み膜を形成し、第1埋め込み膜を酸化処理して第1埋め込み酸化膜を形成した後に、第1埋め込み酸化膜の研磨およびエッチングが行われる。

20

第1埋め込み膜の酸化処理では、加熱された酸化剤の雰囲気下において、第1埋め込み膜と酸化剤とが反応して酸化膜が形成される。ここで、酸化膜の形成に伴って発生する副生成物が第1埋め込み膜の表層部に留まっていると、酸化剤の浸入を妨げてしまうが、本発明では少なくとも1回真空排気を行うため、この副生成物は基板外へ放出される。真空排気後に再び酸化剤が供給されることにより、第1埋め込み膜の酸化処理が効率的に進むこととなる。

【発明の効果】

【0013】

本発明の酸化処理方法によれば、十分に酸化処理を行うことができ、安定な酸化膜を形成することができる。

30

本発明の半導体装置の製造方法によれば、酸化処理後の埋め込み膜の加工ばらつきを抑制させることができる。

【発明を実施するための最良の形態】

【0014】

以下に、本発明の実施の形態について、図面を参照して説明する。

【0015】

図1は、本実施形態に係る酸化処理方法を実施する酸化処理装置の一例を示す構成図である。

【0016】

例えば石英からなる縦型の反応管1内に、ウェハポート2が収容されている。ウェハポート2は、複数枚の被処理基板、例えばウェハWを保持する。反応管1の周囲には、加熱手段としてヒータ3が設けられている。

40

【0017】

反応管1には、ガス供給管4が接続されている。ガス供給管4の上流側は、酸化剤供給手段5およびパージガス供給手段6に接続されている。

【0018】

酸化剤供給手段5は、酸化剤（酸化処理用ガス）として、水蒸気を供給する。酸化剤として水蒸気を供給する場合、酸化剤供給手段5は、酸素ガス供給源と、水素ガス供給源と、酸素ガス供給源および水素ガス供給源から供給された酸素と水素とを反応させて水蒸気を発生する水蒸気発生装置とを有する。水蒸気発生装置は、ガスの流路に例えば白金など

50

の触媒を備え、酸素ガスおよび水素ガスを例えば500以下の温度に加熱した状態で触媒に接触させる。これにより、触媒下において酸素ガスおよび水素ガスが反応して、水蒸気が発生する。

【0019】

本実施形態においては、酸化剤として水蒸気(H₂O)を用いる例について説明するが、酸化作用を有する他の酸化剤を用いても良い。たとえば、酸化剤として、H₂O₂、O₂、O₃、N₂O、O₂ラジカルを供給してもよい。また、酸化剤供給手段5は、1種類の酸化剤のみを供給するのではなく、2種類以上の酸化剤を供給してもよい。

【0020】

パージガス供給手段6は、ウェハWに対して不活性なガスを供給する。パージガスとしては、例えば窒素ガスを用いる。パージガスとして、He、Ne、Ar、Kr、Xe、Rnなどのガスを用いても良い。

10

【0021】

反応管1には、排気管7が接続されている。排気管7の下流側は、排気手段8に接続されている。排気手段8は、例えばバルブおよび真空ポンプを有する。

【0022】

酸化処理装置は、例えばコンピュータからなる制御手段9を有する。制御手段9は、ヒータ3、酸化剤供給手段5、パージガス供給手段6、排気手段8を制御する。制御手段9は、酸化剤の流量、パージガスの流量、反応管1内の温度および圧力を制御するために、処理パラメータおよび処理手順を記載したプログラムを備える。

20

【0023】

次に、上記の酸化処理装置を用いた酸化処理方法について説明する。

【0024】

図2は、特許文献2に代表される比較例の酸化処理の雰囲気ガスの時間変化を示す図である。図3は、本実施形態に係る酸化処理の雰囲気ガスの時間変化を示す図である。

【0025】

従来、ウェハWを加熱した状態において、ウェハを一定時間水蒸気に晒すことにより、酸化処理を施していた(図2参照)。この酸化処理後に、排気手段8により真空排気する工程と、パージガス供給手段6によりパージガスを供給する工程を交互に行うサイクルパージが通常行われる。その後、ウェハWは、反応管1外へ出される。

30

【0026】

本実施形態では、水蒸気雰囲気においてウェハWを酸化する際に、少なくとも1回真空排気(真空引き)を行い、その後再び水蒸気雰囲気で酸化処理する。例えば、300~400の水蒸気を含む雰囲気で30分間加熱した後に、一旦真空排気を行い、その後、300~400の水蒸気を含む雰囲気で5分間の処理と、1分間の真空排気とを繰り返す(図3参照)。酸化処理は、13~100kPa(100~760Torr)の圧力とする。真空排気では、酸化処理圧力の2分の1以下の圧力にする。この酸化処理後のサイクルパージはあってもなくてもよい。その後、ウェハWは、反応管1外へ出される。

【0027】

図4は、被処理膜11への酸化膜12の形成メカニズムを説明するための図である。

40

【0028】

被処理膜11に特に限定はない。被処理膜11としては、例えば、過水素化シラザン重合体((SiH₂NH)_n)、シロキサン、シラノール(Si(OH)_x)などの材料を用いた塗布膜が挙げられる。その他にも、半導体装置の分野において、酸化処理が施される被処理膜11としては、シリコン、アルミニウム、ハフニウム、タンタル、ジルコニウム、チタン、イリジウム、ランタン、イットリウムおよびプラセオジウムを含む材料からなる膜が好適に使用される。これらの膜は、塗布法、CVD(Chemical Vapor Deposition)法、ALD(Atomic Layer Deposition)法、スパッタリング法のいずれかにより形成される。

【0029】

50

図4(a)に示すように、被処理膜11に侵入した水蒸気などの酸化剤13が被処理膜11と酸化反応を起こすことにより、被処理膜11が酸化膜12となる。このため、酸化膜12は被処理膜11の露出面側から形成される。ここで、酸化膜12と、被処理膜11との反応に伴い反応副生成物14が発生する場合がある。例えば、ポリシラザン膜は、過水素化シラザン重合体 $(SiH_2NH)_n$ の組成から明らかなように、SiO結合をもたずSiN結合をもつ膜であり、窒化シリコン膜(SiN)に近い組成である。このポリシラザン膜を酸化処理すると、酸化シリコン膜(SiO₂)となるため、NとHを含む副生成物が発生する。

【0030】

この反応副生成物14が被処理膜11中に留まることにより、被処理膜11の深部への酸化剤13の侵入が妨げられる。このため、比較例では、水蒸気雰囲気下においてウェハWを一定時間加熱しているにもかかわらず、十分な酸化処理が進行しない。

10

【0031】

これに対して、本実施形態では、水蒸気雰囲気下で酸化処理する際に、その途中で少なくとも1回真空排気を行う。この真空排気により、酸化処理で発生した反応副生成物14は、図4(b)に示すように外部へ放出されて、図4(c)に示すように反応副生成物14が除かれた被処理膜11の状態となる。その後、図4(d)に示すように、水蒸気雰囲気下で再び酸化処理を行うことにより、酸化剤13が被処理膜11に侵入することができ、被処理膜11の酸化が効率的に行われる。

【0032】

これにより、被処理膜11の深い領域への酸化が効率的に行われることから、均一な酸化処理を施すことができる。この結果、安定した膜質の酸化膜が形成される。

20

【0033】

酸化処理の他の例について、図5～図7を参照して説明する。

【0034】

図5は、真空排気前と真空排気後とで酸化剤の種類を変えた例を示す。例えば、300の水蒸気を含む雰囲気中で30分間加熱した後に、一旦真空排気を行い、その後、酸化剤としてオゾン进行供給して、300のオゾンを含む雰囲気中で5分間の処理と、1分間の真空排気とを繰り返す。これによっても、被処理膜11に十分に酸化処理を施すことができる。

30

【0035】

あるいは、図6に示すように、300の水蒸気を含む雰囲気での5分間の処理と、1分間の真空排気とを繰り返すのみでもよい。これによっても、被処理膜11に十分に酸化処理を施すことができる。

【0036】

あるいは、図7に示すように、300の水蒸気を含む雰囲気での5分間の酸化処理と、1分間の真空排気とを繰り返した後に、酸化剤の種類を変えて、300のオゾンを含む雰囲気での5分間の酸化処理と、1分間の真空排気を繰り返しても良い。これによっても、被処理膜11に十分に酸化処理を施すことができる。

【0037】

次に、上記の酸化処理方法を適用した本実施形態に係る半導体装置の製造方法について図8～図13を参照して説明する。本実施形態では、素子分離絶縁膜の形成方法について説明する。

40

【0038】

図8(a)に示すように、例えばシリコンからなる半導体基板(ウェハWに相当)20上に、熱酸化法により酸化シリコン膜21を形成し、酸化シリコン膜21上にLPCVD(Low Pressure Chemical Vapor Deposition)法により窒化シリコン膜22を形成する。窒化シリコン膜22は、本発明のマスクに相当する。酸化シリコン膜21は、半導体基板20と窒化シリコン膜22との界面に生じるストレスを緩和し、このストレスに起因して半導体基板20の表面に転位などの欠陥が発生するのを防ぐために形成する。酸化シリコ

50

ン膜 2 1 の膜厚は、例えば 4 n m である。窒化シリコン膜 2 2 の膜厚は、例えば 2 0 0 n m である。

【 0 0 3 9 】

次に、図 8 (b) に示すように、窒化シリコン膜 2 2 上に、トレンチパターンのハードマスク 2 3 を形成する。ハードマスク 2 3 の形成では、C V D 法により窒化シリコン膜 2 2 上に酸化シリコン膜を形成した後に、リソグラフィ技術によりトレンチパターンのレジストを形成し、レジストをマスクに酸化シリコン膜をエッチングする。これにより、酸化シリコンからなるハードマスク 2 3 が形成される。その後、レジストを除去する。

【 0 0 4 0 】

次に、図 9 (a) に示すように、ハードマスク 2 3 を用いたドライエッチングにより、窒化シリコン膜 2 2 、酸化シリコン膜 2 1 、半導体基板 2 0 を順次加工する。これにより、半導体基板 2 0 にトレンチ (溝) 2 4 が形成される。トレンチ 2 4 のサイズは、例えば幅 1 0 0 n m 、深さ 3 0 0 n m である。なお、上記サイズは一例であり、様々な幅をもつ複数のトレンチ 2 4 が同一の半導体基板 2 0 に形成される。その後、ハードマスク 2 3 を除去する。

10

【 0 0 4 1 】

次に、図 9 (b) に示すように、トレンチ 2 4 が完全に埋まるように、窒化シリコン膜 2 2 上に過水素化シラザン重合体 ($(SiH_2NH)_n$) 溶液を、例えばスピニング法により塗布する。塗布膜厚は、例えば 6 0 0 n m である。その後、2 0 0 以下の温度、例えば 1 5 0 で 3 分間ベーキングすることにより溶媒を揮発させて、ポリシラザンからなる第 1 埋め込み膜 2 5 を形成する。

20

【 0 0 4 2 】

次に、上記した本実施形態に係る酸化処理を施す。これにより、図 1 0 (a) に示すように、第 1 埋め込み膜 2 5 の底部まで効率的に酸化が進み、第 1 埋め込み酸化膜 2 6 が形成される。第 1 埋め込み膜 2 5 がポリシラザン膜である場合には、酸化処理後には酸化シリコン膜となる。

【 0 0 4 3 】

次に、図 1 0 (b) に示すように、トレンチ 2 4 以外の窒化シリコン膜 2 2 上の第 1 埋め込み酸化膜 2 6 を C M P (Chemical Mechanical Polishing) 法により選択的に除去する。十分に酸化処理が施された第 1 埋め込み酸化膜 2 6 はウェハ面内あるいはウェハ間において均一な膜質をもつことから、C M P による研磨速度のばらつきが少なく、研磨後に一定膜厚の第 1 埋め込み酸化膜 2 6 が得られる。

30

【 0 0 4 4 】

次に、図 1 1 (a) に示すように、ドライエッチング技術あるいはウェットエッチング技術により、第 1 埋め込み酸化膜 2 6 の表面をエッチングして、第 1 埋め込み酸化膜 2 6 の表面 2 6 a が半導体基板 2 0 の表面よりも深い位置にくるように調整する。例えば希フッ酸を用いて、2 5 0 n m 程度エッチングする。

【 0 0 4 5 】

次に、酸化性雰囲気または窒素等の不活性ガス雰囲気中において、8 0 0 ~ 1 1 0 0 の熱処理を行う。例えば、窒素ガス雰囲気中において 9 0 0 で、3 0 分間熱処理を行う。

40

【 0 0 4 6 】

次に、図 1 1 (b) に示すように、P u l l b a c k 法を用いて、窒化シリコン膜 2 2 の開口幅 2 2 a を 1 0 n m 広げる。当該工程において、例えば H_3PO_4 を用いる。この際に、酸化シリコン膜 2 1 と窒化シリコン膜 2 2 の選択比が 2 以上確保できるような等方性エッチングを用いることが好ましい。

【 0 0 4 7 】

次に、図 1 2 (a) に示すように、熱酸化法を用いて半導体基板 2 0 を酸化する。これにより、第 1 埋め込み酸化膜 2 6 よりも上部におけるトレンチ 2 4 の側面に、酸化シリコン膜 2 7 が形成される。酸化シリコン膜 2 7 の膜厚は、例えば 3 n m である。

50

【0048】

次に、図12(b)に示すように、CVD法により、トレンチ24が完全に埋まるように窒化シリコン膜22上に第2埋め込み絶縁膜28を形成する。第2埋め込み絶縁膜28として、HDP-CVD法により酸化シリコン膜を形成する。

【0049】

次に、図13(a)に示すように、CMP法により、トレンチ24以外の窒化シリコン膜22上に形成された第2埋め込み絶縁膜28を除去する。

【0050】

次に、図13(b)に示すように、窒化シリコン膜22および酸化シリコン膜21を除去する。これにより、トレンチ24に埋め込まれた第1埋め込み酸化膜26および第2埋め込み絶縁膜28からなる素子分離絶縁膜が形成される。

10

【0051】

以降の工程としては、素子分離絶縁膜により区画された活性領域にトランジスタが形成される。これにより、半導体装置が完成する。

【0052】

次に、上記の本実施形態に係る半導体装置の製造方法の効果について説明する。

【0053】

本実施形態に係る酸化処理を行った場合には、第1埋め込み酸化膜26は十分に酸化されているため、第1埋め込み酸化膜26の膜質は安定したものとなる。このため、酸化処理から次の加工工程までの時間によりCMPやエッチング速度が変化することを抑制することができ、均一な高さの第1埋め込み酸化膜26を形成することができる。この結果、安定したトランジスタ特性を得ることができる。

20

【0054】

また、第1埋め込み酸化膜26の膜質が不安定であると、トレンチ24の幅の相違により、研磨後の第1埋め込み酸化膜26の高さがばらつく場合がある。例えば、図14(a)に示す幅が狭いトレンチ24aに埋め込まれた第1埋め込み酸化膜26と、図14(b)に示す幅が広いトレンチ24bに埋め込まれた第1埋め込み酸化膜26とでは、CMP後の表面位置が異なってしまう。すなわち、トレンチ24a内の第1埋め込み酸化膜26に対して、トレンチ24b内の第1埋め込み酸化膜26の表面が過剰研磨されてしまう($A_2 > A_1$)。

30

【0055】

これに対して、本実施形態に係る酸化処理後の第1埋め込み酸化膜26は、十分に酸化されており、膜質が安定しているため、幅が狭いトレンチ24aに埋め込まれた第1埋め込み酸化膜26(図15(a)参照)と、幅が広いトレンチ24bに埋め込まれた第1埋め込み酸化膜26(図15(b)参照)との間で、CMP後の表面位置のばらつきが小さくなる(すなわち、 $B_2 - B_1 < A_2 - A_1$)。このため、トレンチ24の幅が基板面内で異なっても均一な高さの第1埋め込み酸化膜26を形成することができる。

【0056】

本発明は、上記の実施形態の説明に限定されない。

例えば、本実施形態に係る酸化処理方法は、素子分離絶縁膜となる膜の酸化処理以外にも適用可能である。例えば、ゲート絶縁膜やキャパシタ絶縁膜を形成するためのシリコン基板の酸化処理に本発明を適用することもできる。また、ポリシリコン層の酸化処理に本発明を適用することもできる。また、半導体装置の製造における第1埋め込み膜25は、ポリシラザン膜のような絶縁膜に限定されず、例えばポリシリコン等の半導体膜であってもよい。

40

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【産業上の利用可能性】

【0057】

本発明は、素子分離絶縁膜の他、ゲート絶縁膜、キャパシタ絶縁膜となる各種の酸化膜の形成に適用できる。

50

【図面の簡単な説明】

【0058】

【図1】酸化処理装置の一例を示す構成図である。

【図2】比較例に係る酸化処理におけるガスの供給状態を示す図である。

【図3】本実施形態に係る酸化処理の雰囲気を示す図である。

【図4】本実施形態に係る酸化処理における酸化の様子を示す図である。

【図5】本実施形態に係る酸化処理の雰囲気の他の例を示す図である。

【図6】本実施形態に係る酸化処理の雰囲気の他の例を示す図である。

【図7】本実施形態に係る酸化処理の雰囲気の他の例を示す図である。

【図8】本実施形態に係る半導体装置の製造における工程断面図である。

10

【図9】本実施形態に係る半導体装置の製造における工程断面図である。

【図10】本実施形態に係る半導体装置の製造における工程断面図である。

【図11】本実施形態に係る半導体装置の製造における工程断面図である。

【図12】本実施形態に係る半導体装置の製造における工程断面図である。

【図13】本実施形態に係る半導体装置の製造における工程断面図である。

【図14】比較例の半導体装置の製造において、第1埋め込み酸化膜のCMP後の断面図である。

【図15】本実施形態に係る半導体装置の製造において、第1埋め込み酸化膜のCMP後の断面図である。

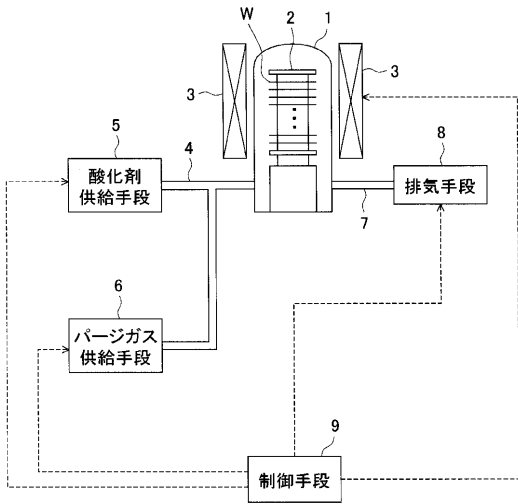
【符号の説明】

20

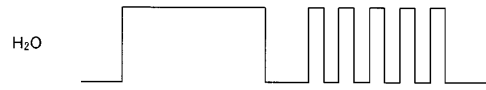
【0059】

1 ... 反応管、2 ... ウェハポート、3 ... ヒータ、4 ... ガス供給管、5 ... 酸化剤供給手段、6 ... パージガス供給手段、7 ... 排気管、8 ... 排気手段、9 ... 制御手段、11 ... 被処理膜、12, 12' ... 酸化膜、13 ... 酸化剤、14 ... 反応副生成物、20 ... 半導体基板、21 ... 酸化シリコン膜、22 ... 窒化シリコン膜、23 ... ハードマスク、24 ... トレンチ、25 ... 第1埋め込み膜、26 ... 第1埋め込み酸化膜、27 ... 酸化シリコン膜、28 ... 第2埋め込み絶縁膜、W ... ウェハ

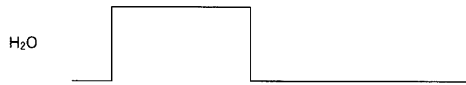
【図1】



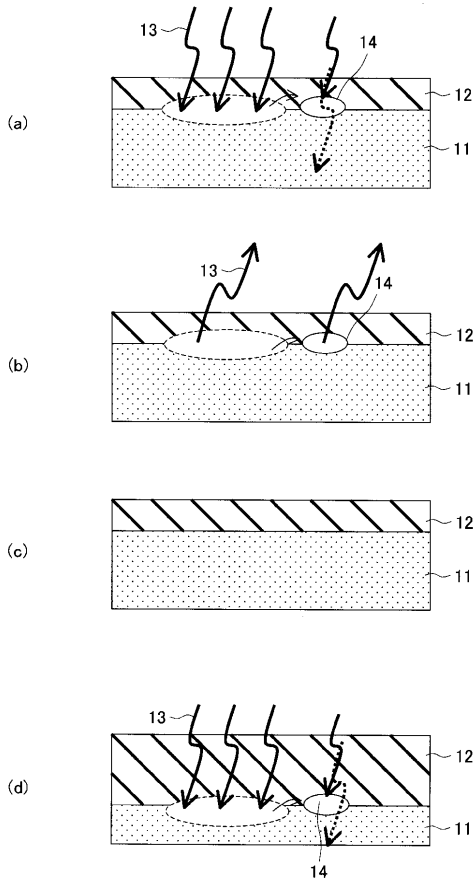
【図3】



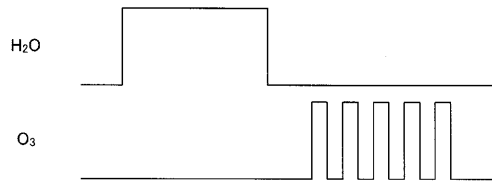
【図2】



【図4】



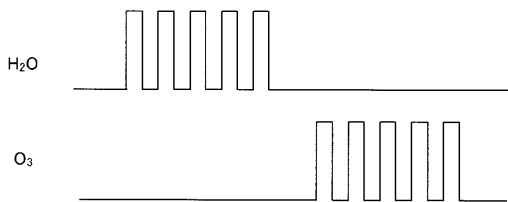
【図5】



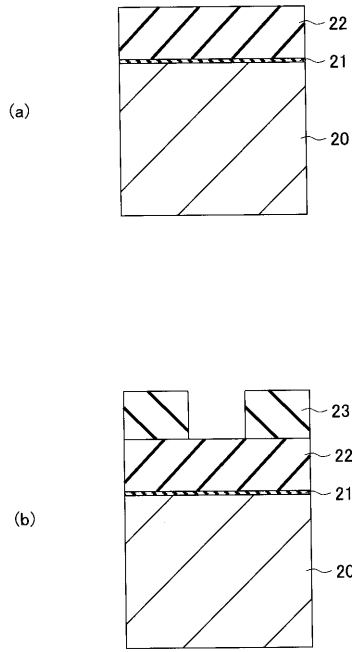
【図6】



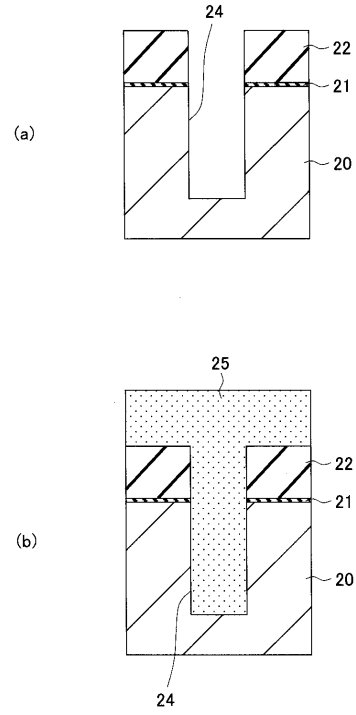
【図7】



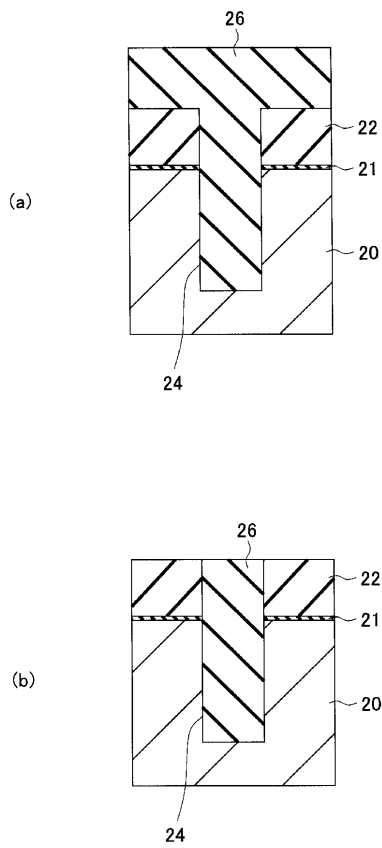
【 図 8 】



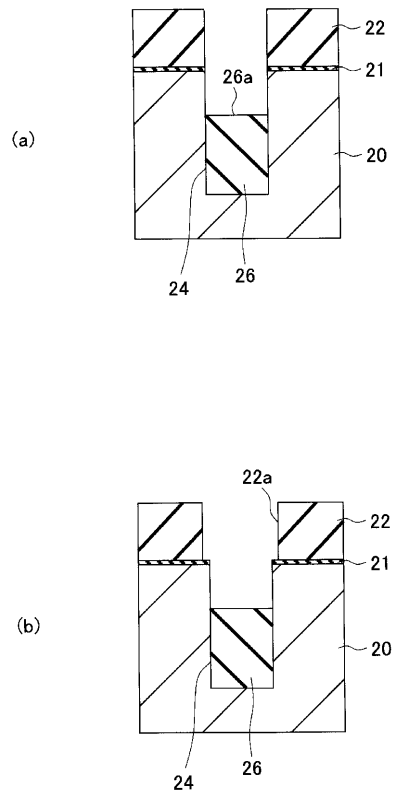
【 図 9 】



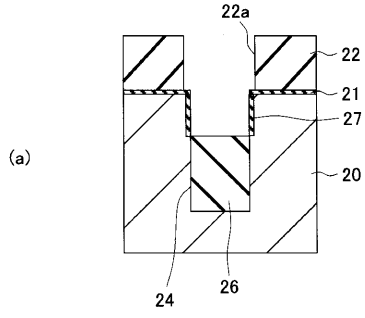
【 図 10 】



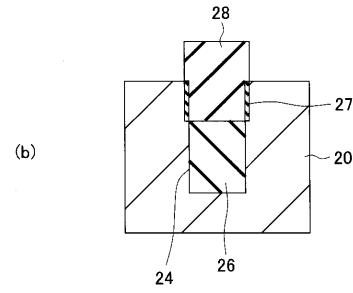
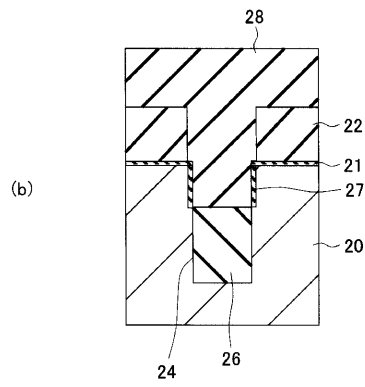
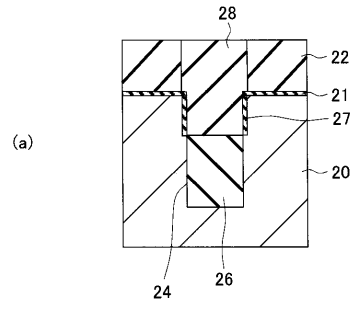
【 図 11 】



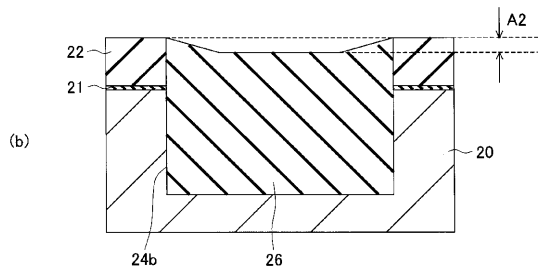
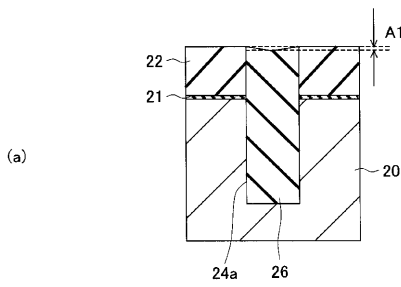
【 図 1 2 】



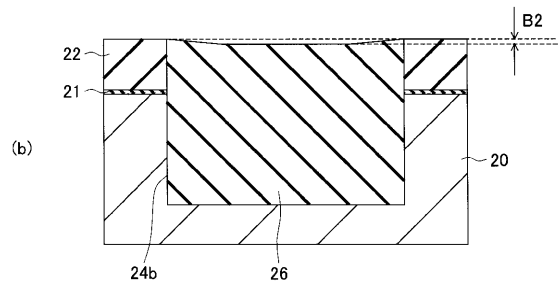
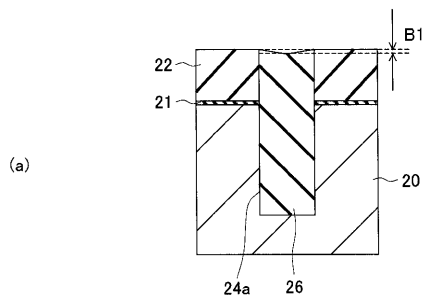
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

Fターム(参考) 5F058 AA10 AC03 AD05 AF01 AF04 AG01 AH01 BA20 BC02 BC03
BC05 BD04 BD05 BD07 BE10 BF02 BF12 BF46 BF63 BH03
BH20 BJ01