



1. 一种在绝缘体上硅衬底上制造的FET,所述FET包括:
  - (a) 隔离的硅岛;
  - (b) 覆盖在所述隔离的硅岛上并且具有中心长度L的栅极结构,所述栅极结构具有各自具有相关联的功函数 $\Phi_{MF}$ 的中央区和边缘区;
  - (c) 在所述隔离的硅岛内并且由所述栅极结构限定的源极区和漏极区;
  - (d) 在所述源极区与所述漏极区之间的中央传导沟道,所述中央传导沟道具有阈值电压 $V_{tc}$ ;以及
  - (e) 至少一个边缘晶体管,所述至少一个边缘晶体管由覆盖在所述隔离的硅岛上的所述栅极结构的对应边缘区限定,每个边缘晶体管具有部分地由所述栅极结构的对应边缘区的功函数 $\Phi_{MF}$ 确定的阈值电压 $V_{te}$ ;其中,所述栅极结构的至少一个对应边缘区的功函数 $\Phi_{MF}$ 被充分地增加以使这样的对应边缘晶体管的 $V_{te}$ 增加至近似等于或大于 $V_{tc}$ 。
2. 根据权利要求1所述的发明,其中,所述FET是NMOSFET。
3. 根据权利要求2所述的发明,其中,通过在这样的边缘区内的注入区内注入P+掺杂物来增加所述栅极结构的对应边缘区的功函数 $\Phi_{MF}$ 。
4. 根据权利要求3所述的发明,其中,P+注入区具有小于或等于长度L的长度 $L_P$ 。
5. 根据权利要求3所述的发明,其中,所述源极区和所述漏极区由掩膜限定,并且所述掩膜的形状与这样的边缘区内的所述P+注入区的形状近似地一致。
6. 根据权利要求5所述的发明,其中,在这样的边缘区内的所述P+注入区是三角形形状。
7. 根据权利要求2所述的发明,其中,所述栅极结构包括N+多晶硅层,并且通过在这样的边缘区的所述N+多晶硅层内注入P+掺杂物来增加所述栅极结构的对应边缘区的功函数 $\Phi_{MF}$ 。
8. 根据权利要求1所述的发明,其中,所述FET是PMOSFET。
9. 根据权利要求1所述的发明,其中,所述栅极结构的至少一个边缘区被扩展至比长度L大的长度 $L^+$ 以使对应边缘晶体管的 $V_{te}$ 与 $V_{tc}$ 相比增加。
10. 根据权利要求1所述的发明,其中,功函数 $\Phi_{MF}$ 和 $V_{te}$ 的增加为至少约0.3V。
11. 根据权利要求1所述的发明,其中,具有增加的功函数 $\Phi_{MF}$ 的至少一个边缘晶体管的电流泄漏比不具有增加的功函数 $\Phi_{MF}$ 的这样的边缘晶体管的电流泄漏小至少约10倍。
12. 根据权利要求1所述的发明,其中,所述FET还包括到所述源极区、所述栅极结构或外部节点之一的本体连结。
13. 根据权利要求1所述的发明,其中,通过在所述栅极结构的所述边缘区内形成金属或类金属区来增加所述栅极结构的对应边缘区的功函数 $\Phi_{MF}$ 使得功函数 $\Phi_{MF}$ 在所述栅极结构的所述中央区与所述边缘区之间不同。
14. 根据权利要求1所述的发明,其中,通过使用第一金属或类金属材料形成所述栅极结构的所述中央区,并且使用第二金属或类金属材料形成所述栅极结构的所述边缘区来增加所述栅极结构的对应边缘部分的功函数 $\Phi_{MF}$ ,使得功函数 $\Phi_{MF}$ 在所述栅极结构的所述中央区与所述边缘区之间不同。
15. 根据权利要求1所述的发明,其中,所述栅极结构由多晶硅形成,并且通过对所述栅

极结构的所述边缘区进行掺杂以形成简并掺杂的多晶硅来增加所述栅极结构的对应边缘部分的功函数 $\Phi_{MF}$ ,使得功函数 $\Phi_{MF}$ 在所述栅极结构的所述中央区与所述边缘区之间不同。

16. 根据权利要求1所述的发明,其中,通过在所述栅极结构下方掺杂绝缘体来增加所述栅极结构的对应边缘部分的功函数 $\Phi_{MF}$ ,使得功函数 $\Phi_{MF}$ 在所述栅极结构的所述中央区与所述边缘区之间不同。

17. 根据权利要求1所述的发明,其中,通过由具有第一掺杂物的材料形成所述栅极结构的所述中央区并且使用第二掺杂物对所述栅极结构的所述边缘区进行改性来增加所述栅极结构的对应边缘部分的功函数 $\Phi_{MF}$ ,使得功函数 $\Phi_{MF}$ 在所述栅极结构的所述中央区与所述边缘区之间不同。

18. 一种在绝缘体上硅衬底上制造的NMOSFET,所述NMOSFET包括:

(a) 隔离的硅岛;

(b) 覆盖在所述隔离的硅岛上并且具有长度L的栅极结构,所述栅极结构具有中央区和边缘区并且包括具有相关联的功函数 $\Phi_{MF}$ 的N+多晶硅层;

(c) 在所述隔离的硅岛内并且由所述栅极结构和注入掩膜限定的N+源极区和N+漏极区,所述注入掩膜被配置成阻止在覆盖在所述隔离的硅岛上的所述栅极结构的一个边缘区的至少一部分上方的N+材料的注入;

(d) 在所述源极区与所述漏极区之间的P型中央传导沟道,所述中央传导沟道具有阈值电压 $V_{tc}$ ;以及

(e) 至少一个边缘晶体管,所述至少一个边缘晶体管由覆盖在所述隔离的硅岛上的所述栅极结构的对应边缘区限定,每个边缘晶体管具有部分地由所述栅极结构的对应边缘区的多晶硅层的功函数 $\Phi_{MF}$ 确定的阈值电压 $V_{te}$ ;以及

(f) 在所述栅极结构的至少一个对应边缘区的多晶硅层内的P+注入区,所述P+注入区使所述栅极结构的这样的对应边缘区的多晶硅层的功函数 $\Phi_{MF}$ 充分地增加以使这样的对应边缘晶体管的 $V_{te}$ 增加至近似等于或大于 $V_{tc}$ 。

19. 根据权利要求18所述的发明,其中,所述P+注入区具有小于或等于长度L的长度 $L_P$ 。

20. 根据权利要求18所述的发明,其中,所述注入掩膜的形状与这样的边缘区内的所述P+注入区的形状近似地一致。

21. 根据权利要求20所述的发明,其中,在这样的边缘区内的所述P+注入区是三角形形状。

22. 根据权利要求18所述的发明,其中,所述栅极结构的至少一个边缘区被扩展至比长度L大的长度 $L^+$ 以使对应边缘晶体管的 $V_{te}$ 与 $V_{tc}$ 相比增加。

23. 根据权利要求18所述的发明,其中,功函数 $\Phi_{MF}$ 和 $V_{te}$ 的增加为至少约0.3V。

24. 根据权利要求18所述的发明,其中,具有增加的功函数 $\Phi_{MF}$ 的至少一个边缘晶体管的电流泄漏比不具有增加的功函数 $\Phi_{MF}$ 的这样的边缘晶体管的电流泄漏小至少约10倍。

25. 根据权利要求18所述的发明,其中,所述NMOSFET还包括到所述源极区、所述栅极结构或外部节点之一的本体连结。

26. 一种用于在绝缘体上硅衬底上制造FET的方法,所述方法包括:

(a) 在绝缘体上硅衬底上形成隔离的硅岛;

(b) 形成覆盖在所述隔离的硅岛上的栅极结构以限定具有中心长度L和阈值电压 $V_{tc}$ 的

中央传导沟道,所述栅极结构具有各自具有相关联的功函数 $\Phi_{MF}$ 的中央区和边缘区,其中,至少一个边缘晶体管由覆盖在所述隔离的硅岛上的所述栅极结构的对应边缘区限定,每个边缘晶体管具有部分地由所述栅极结构的对应边缘区的功函数 $\Phi_{MF}$ 确定的阈值电压 $V_{tE}$ ;

(c) 形成在所述隔离的硅岛内并且由所述栅极结构限定的源极区和漏极区;

(d) 充分地增加所述栅极结构的至少一个对应边缘区的功函数 $\Phi_{MF}$ 以使这样的对应边缘晶体管的 $V_{tE}$ 增加至近似等于或大于 $V_{tC}$ 。

27. 根据权利要求26所述的方法,其中,所述FET是NMOSFET。

28. 根据权利要求27所述的方法,其中,增加所述栅极结构的对应边缘区的功函数 $\Phi_{MF}$ 包括在这样的边缘区内的注入区内注入P+掺杂物。

29. 根据权利要求28所述的方法,其中,P+注入区具有小于或等于长度L的长度 $L_P$ 。

30. 根据权利要求28所述的方法,其中,所述源极区和所述漏极区由掩膜限定,并且所述掩膜的形状与这样的边缘区内的P+注入区的形状近似地一致。

31. 根据权利要求30所述的方法,其中,在这样的边缘区内的所述P+注入区是三角形形状。

32. 根据权利要求27所述的方法,其中,所述栅极结构包括N+多晶硅层,并且增加所述栅极结构的对应边缘区的功函数 $\Phi_{MF}$ 包括在这样的边缘区的N+多晶硅层内注入P+掺杂物。

33. 根据权利要求26所述的方法,其中,所述FET是PMOSFET。

34. 根据权利要求26所述的方法,还包括将所述栅极结构的至少一个边缘区扩展至比长度L大的长度 $L^+$ 以使对应边缘晶体管的 $V_{tE}$ 与 $V_{tC}$ 相比增加。

35. 根据权利要求26所述的方法,其中,功函数 $\Phi_{MF}$ 和 $V_{tE}$ 的增加为至少约0.3V。

36. 根据权利要求26所述的方法,其中,具有增加的功函数 $\Phi_{MF}$ 的至少一个边缘晶体管的电流泄漏比不具有增加的功函数 $\Phi_{MF}$ 的这样的边缘晶体管的电流泄漏小至少约十倍。

37. 根据权利要求26所述的方法,还包括形成到所述源极区、所述栅极结构或外部节点之一的本体连结。

38. 根据权利要求26所述的方法,其中,增加所述栅极结构的对应边缘区的功函数 $\Phi_{MF}$ 包括在所述栅极结构的所述边缘区内形成金属或类金属区,使得功函数 $\Phi_{MF}$ 在所述栅极结构的所述中央区与所述边缘区之间不同。

39. 根据权利要求26所述的方法,其中,增加所述栅极结构的对应边缘部分的功函数 $\Phi_{MF}$ 包括使用第一金属或类金属材料形成所述栅极结构的所述中央区,并且使用第二金属或类金属材料形成所述栅极结构的所述边缘区,使得功函数 $\Phi_{MF}$ 在所述栅极结构的所述中央区与所述边缘区之间不同。

40. 根据权利要求26所述的方法,其中,所述栅极结构由多晶硅形成,并且增加所述栅极结构的对应边缘部分的功函数 $\Phi_{MF}$ 包括对所述栅极结构的所述边缘区进行掺杂以形成简并掺杂的多晶硅,使得功函数 $\Phi_{MF}$ 在所述栅极结构的所述中央区与所述边缘区之间不同。

41. 根据权利要求26所述的方法,其中,增加所述栅极结构的对应边缘部分的功函数 $\Phi_{MF}$ 包括在所述栅极结构下方掺杂绝缘体,使得功函数 $\Phi_{MF}$ 在所述栅极结构的所述中央区与所述边缘区之间不同。

42. 根据权利要求26所述的方法,其中,增加所述栅极结构的对应边缘部分的功函数 $\Phi_{MF}$ 包括由具有第一掺杂物的材料形成所述栅极结构的所述中央区,并且使用第二掺杂物

对所述栅极结构的所述边缘区进行改性,使得功函数 $\Phi_{MF}$ 在所述栅极结构的所述中央区与所述边缘区之间不同。

43. 一种用于在绝缘体上硅衬底上制造NMOSFET的方法,所述方法包括:

(a) 在绝缘体上硅衬底上形成隔离的硅岛;

(b) 形成覆盖在所述隔离的硅岛上的栅极结构以限定中央传导沟道,所述中央传导沟道具有长度 $L$ 和阈值电压 $V_{tC}$ ,所述栅极结构具有中央区和边缘区并且包括具有相关联的功函数 $\Phi_{MF}$ 的 $N^+$ 多晶硅层,其中,至少一个边缘晶体管由覆盖在所述隔离的硅岛上的所述栅极结构的对应边缘区限定,每个边缘晶体管具有部分地由所述栅极结构的对应边缘区的多晶硅层的功函数 $\Phi_{MF}$ 确定的阈值电压 $V_{tE}$ ;

(c) 形成在所述隔离的硅岛内并且由所述栅极结构和注入掩膜限定的 $N^+$ 源极区和 $N^+$ 漏极区,所述注入掩膜被配置成阻止在覆盖在所述隔离的硅岛上的所述栅极结构的一个边缘区的至少一部分上方的 $N^+$ 材料的注入;以及

(d) 在所述栅极结构的至少一个对应边缘区的多晶硅层内形成 $P^+$ 注入区,所述 $P^+$ 注入区使所述栅极结构的这样的对应边缘区的多晶硅层的功函数 $\Phi_{MF}$ 充分地增加以使这样的对应边缘晶体管的 $V_{tE}$ 增加至近似等于或大于 $V_{tC}$ 。

44. 根据权利要求43所述的方法,其中,所述 $P^+$ 注入区具有小于或等于长度 $L$ 的长度 $L_P$ 。

45. 根据权利要求43所述的方法,其中,所述注入掩膜的形状与这样的边缘区内的所述 $P^+$ 注入区的形状近似地一致。

46. 根据权利要求45所述的方法,其中,在这样的边缘区内的所述 $P^+$ 注入区是三角形形状。

47. 根据权利要求43所述的方法,还包括将所述栅极结构的至少一个边缘区扩展至比长度 $L$ 大的长度 $L^+$ 以使对应边缘晶体管的 $V_{tE}$ 与 $V_{tC}$ 相比增加。

48. 根据权利要求43所述的方法,其中,功函数 $\Phi_{MF}$ 和 $V_{tE}$ 的增加为至少约0.3V。

49. 根据权利要求43所述的方法,其中,具有增加的功函数 $\Phi_{MF}$ 的至少一个边缘晶体管的电流泄漏比不具有增加的功函数 $\Phi_{MF}$ 的这样的边缘晶体管的电流泄漏小至少约10倍。

50. 根据权利要求43所述的方法,还包括形成到所述源极区、所述栅极结构或外部节点之一的本体连结。

## 低泄漏场效应晶体管

[0001] 相关申请的交叉引用

[0002] 本申请要求于2017年6月7日提交的美国专利申请第15/616,811号的优先权,该美国专利申请的全部公开内容通过引用并入本文。

### 背景技术

#### (1) 技术领域

[0003] 本发明涉及集成电路场效应晶体管(FET)设计,并且更具体地涉及低泄漏场效应晶体管设计。

#### [0004] (2) 背景技术

[0005] 在集成电路(IC)场效应晶体管(FET)的制造中,绝缘体上硅(SOI)衬底与体硅衬底相比具有许多益处,包括更高的速度、更低的功耗、改进的射频(RF)性能以及改进的辐射电阻。对于许多IC应用来说,介电隔离CMOS FET由于其可扩展性、低功率和设计灵活性而是优选的晶体管和逻辑结构。在介电隔离的CMOS中,N型MOSFET和P型MOSFET通过各自制造在其自己的硅岛中而彼此横向隔离。典型地这种隔离通过将SOI衬底的硅膜蚀刻成间隔开的岛并且用沉积的二氧化硅( $\text{SiO}_2$ )回填这些岛之间的间隙来提供,尽管在SOI的早期,通过晶体管之间硅区的局部氧化进行的隔离(也被称为LOCOS隔离)已经被广泛使用。

[0006] 图1是在SOI上制造的典型的现有技术N型MOSFET(“nFET”)100的布局的顶视图。P型硅岛102以常规方式(例如,通过硼的扩散)形成在SOI衬底上,并且通过回填或LOCOS隔离被 $\text{SiO}_2$  104包围。在硅岛102上方形成包括绝缘体(例如,氧化物层)和上覆栅极材料(例如,多晶硅)的、具有长度L的栅极结构106。通过在硅岛102上方的掩膜注入区域111内注入或扩散N+材料(例如,磷,砷)来形成N型源极108区和N型漏极110区(注意,用于限定源极108N+注入区和漏极110N+注入区的掩膜注入区域111与围绕硅岛102的 $\text{SiO}_2$ 交叠)。因此,栅极结构106相对于源极108区和漏极110区是自对准的并且限定了源极108区与漏极110区之间的传导沟道113。分别对源极108区和漏极110区形成导电接触部112、114。为了清楚起见,省略了其他共同结构(例如,器件互连、栅极接触部等)。

[0007]  $\text{SiO}_2$ 回填和LOCOS隔离技术以及类似的工艺使nFET传导沟道113的两个相对的横向边缘116(由参考椭圆118内的粗线指示)与 $\text{SiO}_2$ 接触(nFET 100的宽度垂直于长度L并且在SOI衬底的平面中)。在针对nFET100的IC制造处理期间,注入至栅极结构106下面的P型硅岛102内(即,FET传导沟道113内)的硼从nFET传导沟道113的边缘116处的硅中分离到相邻的 $\text{SiO}_2$  104中。分离使FET的边缘116处的硅中的硼浓度低于传导沟道113的中央区的硼浓度(该中央区大致由虚线参考框120包围)。众所周知,nFET 100的边缘116处的硼耗尽会导致沟道边缘处的阈值电压由于边缘116处的带隙向下弯曲而降低,典型地降低了十分之几伏(用于参考,硅的带隙为约1V)。对于每67mV的能带弯曲,漏极漏电流 $I_{dOFF}$ 约以十倍电流的速率增加。因此,与没有硼耗尽的平坦轮廓相比,nFET 100的边缘116处的硼耗尽可能使得边缘116处的漏电流增加多个数量级。

[0008] 这种现象自从SOI最早用于衬底以来就已经知道并且导致nFET 100的边缘116——所谓的“边缘晶体管”——处的较低阈值电压 $V_t$ ，从而增加了漏电流（特别地因为每个晶体管典型地有两个边缘，如图1所示）。实际上，从这个角度来看，nFET 100可以被建模为三个并联的晶体管，具有阈值电压 $V_{tc}$ 的中央传导沟道晶体管和具有较低阈值电压 $V_{tE}$ 的两个边缘晶体管。由于其较低的 $V_{tE}$ ，两个边缘晶体管在中央传导沟道晶体管的 $V_{tc}$ 达到之前开始传导，导致边缘处泄漏增加。这种边缘泄漏通常会影响每个nFET的总泄漏，这转而可能使这种FET的待机功耗增加一个数量级或更多数量级，并且因此增加使用这种nFET的任何系统的总功耗。这种边缘泄漏问题也可以在薄SOI衬底上制造的PMOSFET（“pFET”）中看到。

[0009] 虽然nFET的边缘晶体管的范围涉及nFET 100的边缘116处的栅极结构的长度以及沿该长度的掺杂浓度和在这些边缘处渗透至nFET的宽度（即，横向）和深度的程度，但是方便的是仅将边缘116称为边缘晶体管。因此，出于本公开内容的目的，除非另外表征，否则图1中由粗线指示的边缘116可以被认为限定所示的nFET 100的边缘晶体管。

[0010] 已经尝试通过增加nFET 100的边缘晶体管116处的栅极结构106的长度从而使nFET 100的相应边缘晶体管相对于nFET 100的中心区的长度 $L$ 延长以及/或者通过将主沟道的边缘晶体管116从硅岛102后移来减少边缘晶体管泄漏。然而，这些方法具有许多缺点特别是在小宽度晶体管中具有许多缺点，包括不充分的漏电流减小、面积和总栅极电容的一定程度的增加和驱动电流 $I_{on}$ 的减小。

[0011] 因此，存在对于在存在上述边缘晶体管现象的情况下呈现低泄漏的低泄漏FET设计的需要，并且特别地存在对于在SOI上制造的nFET的需要。

## 发明内容

[0012] 本发明涵盖在存在边缘晶体管现象的情况下呈现低泄漏的FET设计，并且特别地涵盖在SOI上制造的NMOSFET（“nFET”）设计。本发明的实施方式包括nFET设计，其中通过改变覆盖在边缘晶体管的栅极结构的功函数来增加边缘晶体管的 $V_t$ （ $V_{tE}$ ）。为了描述本发明的实施方式，使用多晶硅栅极结构作为示例，但是可以使用其他栅极材料并且可以使用其他阈值改变技术以实现本发明。更具体地，本发明的一些实施方式通过在覆盖在边缘晶体管上的栅极多晶硅结构的至少一部分内形成额外P+注入区来增加nFET的覆盖在边缘晶体管上的栅极结构的功函数，从而将边缘晶体管的 $V_t$ 增加至nFET的中央传导沟道的 $V_t$ 并且可以超过nFET的中央传导沟道的 $V_t$ 。

[0013] 在变型实施方式中，nFET的覆盖在边缘晶体管上的栅极结构的功函数可以通过以下方式增加：创建混合多晶硅/金属栅极结构，其中多晶硅在中央区并且金属或类金属材料在栅极结构的边缘区上方；创建在栅极结构的中央区和边缘区中具有两种不同的金属或类金属材料的栅极结构；创建共掺杂有N+掺杂物和P+掺杂物两者的栅极结构，以创建在栅极结构的边缘区上方的简并掺杂的多晶硅，使得功函数在栅极结构的中央区与边缘区之间不同；并且在栅极结构下方掺杂绝缘体使得功函数在栅极结构的中央区与边缘区之间不同。

[0014] 另外，在一些实施方式中，还修改了nFET的栅极结构以使边缘晶体管的有效沟道长度相对于FET的中央传导沟道的长度增加或“扩展”。除了由于功函数修改而减小的漏电流以外，增加的边缘晶体管沟道长度致使漏电流的进一步减小，更接近地近似nFET的中央

传导沟道的漏电流 $I_{dOFF}$ 。

[0015] 本发明的一个或多个实施方式的细节在附图和下面的描述中进行阐述。根据说明书和附图并且根据权利要求书,本发明的其他特征、目的和优点将变得明显。

### 附图说明

[0016] 图1是在SOI上制造的典型的现有技术N型MOSFET (“nFET”) 的布局的顶视图。

[0017] 图2A是在SOI上制造并且掺杂有额外P+注入区的nFET的第一实施方式的布局的顶视图。

[0018] 图2B是针对图2A的实施方式的掩膜注入区域(尺寸减小)的布局的顶视图。

[0019] 图3是在SOI上制造并且掺杂有额外P+注入区的nFET的第二实施方式的布局的顶视图。

[0020] 图4A是在SOI上制造并且掺杂有额外P+注入区的nFET的第三实施方式的布局的顶视图。

[0021] 图4B是针对图4A的实施方式的掩膜注入区域(尺寸减小)的布局的顶视图。

[0022] 图5A至图5E是针对图2A的nFET的示例性制造顺序的顶视图。

[0023] 图6A至图6E是针对图4A的nFET的示例性制造顺序的顶视图。

[0024] 图7是在SOI上制造的、掺杂有额外P+注入区并且被配置用于本体连结的nFET的第四实施方式的布局的顶视图。

[0025] 图8是部分完成的具有覆盖被 $SiO_2$ 包围的P型硅岛的双金属栅极的nFET的顶视图。

[0026] 图9是示出用于在绝缘体上硅衬底上制造FET的方法的过程流程图。

[0027] 图10是示出用于在绝缘体上硅衬底上制造NMOSFET的方法的过程流程图。

[0028] 在各个附图中相似的附图标记和名称指示相似的元件。

### 具体实施方式

[0029] 概述

[0030] 本发明涵盖在存在边缘晶体管现象的情况下呈现低泄漏的FET设计,并且特别地涵盖在SOI上制造的NMOSFET (“nFET”) 设计。本发明的实施方式包括nFET设计,其中通过改变覆盖在边缘晶体管上的栅极结构的功函数来增加边缘晶体管的 $V_t$ 。为了描述本发明的实施方式,使用多晶硅栅极结构作为示例,但是可以使用其他栅极材料并且可以使用其他阈值改变技术来实现本发明。更具体地,本发明的一些实施方式通过在覆盖在边缘晶体管上的栅极多晶硅结构的至少一部分内形成额外P+注入区来增加nFET的覆盖在边缘晶体管上的栅极结构的功函数,从而将边缘晶体管的 $V_t$  ( $V_{tE}$ ) 增加至至少等于nFET的中央传导沟道的 $V_t$  ( $V_{tC}$ ) 的水平,并且可以超过nFET的中央传导沟道的 $V_t$  ( $V_{tC}$ )。

[0031] 如本领域中已知的,nFET的 $V_t$ 由若干个主要因素确定,其中最重要的是沟道掺杂浓度 $N_A$ 、栅极结构的功函数 $\Phi_{MF}$ 和栅极氧化物厚度 $t_{OX}$ 。增加 $\Phi_{MF}$ 、 $N_A$ 或 $t_{OX}$ 中的任意一个都会使 $V_t$ 增加。然而,改变沟道掺杂浓度 $N_A$ 和栅极氧化物厚度 $t_{OX}$ 可能影响nFET的其他性能设计参数,特别是对数字晶体管和模拟晶体管的电路速度有很大的影响的饱和漏极电流 $I_{dsat}$ 。因此,本发明的实施方式增加nFET的覆盖在边缘晶体管上的栅极结构的 $\Phi_{MF}$ ,优选地通过在覆盖在边缘晶体管上的栅极结构的至少一部分内形成额外P+注入区来增加,从而使边缘晶

体管的阈值电压 $V_{tE}$ 增加。

[0032] 这种nFET设计的变型实施方式还“扩展”覆盖在边缘晶体管上的栅极结构以使边缘晶体管的有效沟道长度相对于nFET的中央传导沟道的长度增加。除了由于栅极功函数修改而引起的漏电流减小以外,增加的边缘晶体管沟道长度使得漏电流进一步减小,更接近地近似nFET的中央传导沟道的漏电流 $I_{dOFF}$ 。

[0033] 下面描述的本公开内容的附图示出了增强型nFET,在该增强型nFET中,源极区和漏极区为 $N^+$ 、传导沟道为P型、栅极结构为 $N^+$ 多晶硅(优选地具有硅化物层以减小栅极电阻)、并且本体连结——若存在——具有P+接触区以与到NMOSFET的浮动P型本体的P型本体连结连接接触。然而,在一些应用中,本发明的教导可以适用于pFET和耗尽型FET。例如,使用薄绝缘体上硅衬底制造IC可能导致pFET在其边缘晶体管处泄漏;可以使用下面描述的方法通过反掺杂(例如,多晶硅栅极结构上的 $N^+$ 注入)来制造低泄露pFET。因此,所示出的实施方式和示例性材料不应当被视为对本发明内容的范围的限制。

[0034] 作为进一步的背景技术,在于1999年1月26日授予的题为“Self-Aligned Edge Control in Silicon on Insulator”的美国专利第5,863,823号中阐述了FET制造的若干种方法的细节,该美国专利转让给本发明的受让人,其全部内容通过引用并入本文。

[0035] 示例性实施方式- $\Phi_{MF}$ 修改

[0036] 图2A是在SOI上制造并且掺杂有额外P+注入区的nFET 200的第一实施方式的布局的顶视图。如图1所示,P型硅岛102以常规方式(例如,通过硼的扩散)形成在SOI衬底上并且被 $SiO_2$  104包围(例如,通过回填或LOCOS隔离)。在硅岛102上形成包括绝缘体(例如,氧化物层)和上覆栅极材料(例如,多晶硅)的栅极结构106。通过常规手段在与硅岛102交叠的掩膜注入区域211内形成N型源极108区和N型漏极110区。图2B是针对图2A的实施方式的掩膜注入区域211(尺寸减小)的布局的顶视图。

[0037] 栅极结构106相对于源极108区和漏极110区是自对准的并且限定了源极108区与漏极110区之间的传导沟道113。分别对源极108区和漏极110区形成导电接触部112、114。为了清楚起见,省略了其他共同结构(例如,器件互连、栅极接触部等)。如本领域中已知的,可以采取附加步骤以创建用于特定应用的特征和结构(例如,用于控制或塑造耗尽区的范围的晕圈区(halo region)、轻掺杂漏极(LDD)区、偏移间隔物等),并且每个单独的nFET 200通常将连接至同一衬底上的其他有源电路元件和无源电路元件。另外参见图5A至图5E的针对图2A的nFET 200的示例性制造顺序的视图。

[0038] 如通过比较图1与图2A应当清楚的,并且特别地通过图2B应当清楚的,用于限定图2A中的nFET 200的源极108 $N^+$ 注入区和漏极110 $N^+$ 注入区的掩膜注入区域211与用于限定图1中的nFET 100的源极108 $N^+$ 注入区和漏极110 $N^+$ 注入区的矩形掩膜注入区域111在形状上不同。更具体地,图2A的掩膜注入区域211的边缘在边缘晶体管116上方的两侧上被刻有切口,如由粗虚线206所指示的,以避免在nFET 200的边缘晶体管116的大部分或全部上方注入 $N^+$ 材料;该切口在图2B中是明显的。

[0039] 本发明的重要方面在于,改变覆盖在边缘晶体管116上的栅极结构106以通过改变栅极结构106的部分的功函数来使边缘晶体管的 $V_t$ 增加。更具体地,在栅极结构106的至少一部分内且在边缘晶体管116的一部分上方(该部分以虚线示出)形成额外P+注入区208、210。P+注入区208、210通常被配置成仅影响栅极结构106的在边缘晶体管116上方的部分,

而不影响栅极结构106的中央部分。如所指示的，P+注入区208、210的长度 $L_P$ 通常应当小于或等于栅极结构106的中心处的长度 $L$ ，以避免P+掺杂物注入到nFET 200的源极108区和漏极110区。保持 $L_P < L$ 在P+注入区208、210的两侧提供对准缓冲区。应当理解的是，P+注入区208、210成为栅极结构106的组成部分，而不仅仅是增加的材料层。

[0040] 在变型实施方式中，P+注入区208、210可以与用于源极108和漏极110的N+注入区交叠。这种交叠将在栅极结构106的一部分内形成简并掺杂的多晶硅；然而，这种结构仍将具有比纯N+区更高的阈值电压。这种配置在对准公差使得一些nFET器件可以具有N+/P+交叠区的情况下可能是有用的。

[0041] 通过在边缘晶体管116的一部分上方的栅极结构106的至少一部分内形成P+注入区208、210，栅极结构106的注入部分的 $\Phi_{MF}$ 增加。如本领域普通技术人员将理解的，可以选择P+掺杂的量（例如，通过建模和/或实验）以使边缘晶体管116的 $V_{tE}$ 与nFET 200的中央传导沟道的 $V_{tC}$ 匹配或超过nFET 200的中央传导沟道的 $V_{tC}$ 。

[0042] 利用在栅极结构106的至少一部分内形成的P+注入区208、210，栅极结构106的功函数 $\Phi_{MF}$ 可以增加十分之几伏，并且通常增加超过约0.5V。 $\Phi_{MF}$ 的这种增加可以使栅极结构106的在边缘晶体管116上方的P+注入部分的 $V_{tE}$ 提高至少等于 $\Phi_{MF}$ 的量。取决于nFET 200的中央传导沟道晶体管的 $V_{tC}$ 和注入区208、210中的P+掺杂的水平，栅极结构106的在边缘晶体管116上方的P+注入部分的 $V_{tE}$ 可以提高至栅极结构106的中央部分的 $V_{tC}$ 处的水平或者甚至高于栅极结构106的中央部分的 $V_{tC}$ 的水平，从而确保边缘晶体管的待机电流泄漏与中心沟道区和现有技术相比将是相等的或者显著减小。

[0043] 在CMOS实施方式中，针对每个nFET 200的注入区域208、210中的P+注入可以在针对互补的pFET源极区和漏极区的正常P+注入期间发生。因此，不需要附加的制造步骤来制造nFET 200；替代地，包括限定P+注入区208、210的新P+掩膜替换了缺少这种区域的现有P+注入掩膜。

[0044] 此外，如下面更详细描述，可以利用单个基本的nFET设计仅通过改变P+注入掩膜的几何形状来实现不同水平的泄漏漏极电流 $I_{dOFF}$ 。

[0045] 示例性实施方式- $\Phi_{MF}$ 修改和栅极边缘扩展

[0046] 除了利用注入区中的P+注入之外，根据本发明的nFET设计的变型实施方式还可以扩展nFET的覆盖在边缘晶体管上的栅极结构。扩展栅极结构使边缘晶体管的有效沟道长度相对于FET的中央传导沟道的长度增加。增加的边缘晶体管沟道长度进一步减少nFET的泄漏。考虑到栅极长度通常是集成电路上的最小尺寸，扩展栅极边缘还具有易于P+注入掩膜与栅极对准的优点。本领域普通技术人员将理解的是，扩展的区域将增加栅极电容从而使晶体管变慢，并将理解在降低漏电流与增加栅极电容之间存在内在权衡。

[0047] 图3是在SOI上制造并且掺杂有额外P+注入区的nFET 300的第二实施方式的布局的顶视图。除了栅极结构106'相对于nFET 300的栅极结构106'的在中央传导沟道113上方的长度 $L$ 被扩展以外，每个区域的顺序、结构和功能与图2A的nFET 200相同。也就是说，栅极结构106'从 $L$ 被延长至 $L^+$ ，因此使边缘晶体管116的长度增加，如由粗线所指示的（边缘晶体管116的其上方形成有P+注入区208、210的部分如虚线所示）。

[0048] 针对覆盖在边缘晶体管116上的栅极结构106'的 $\Phi_{MF}$ 的修改和扩展在边缘晶体管116上方的栅极结构106'的使用可以应用于具有长或短的中央沟道长度的nFET。在较长的

沟道器件中,由于栅极结构106'通常足够长以容纳P+注入区208、210加上相邻的对准缓冲区,因此实际上可以不需要额外的IC区域。换句话说,当栅极长度L大于或等于 $(L_P+2\delta)$ 时,其中 $\delta$ 是对准裕量,那么对于P+注入区208、210来说,不需要增加栅极结构的边缘扩展,如图2A所示。在具有较短的中央传导沟道(即,较短的中心栅极长度L)的nFET中,扩展栅极结构的边缘以具有大于或等于 $(L_P+2\delta)$ 的长度 $L^+$ 将容纳P+注入区208、210加上相邻的对准缓冲区。在具有较短的中央传导沟道的nFET的情况下,由边缘扩展占用的多余区域通常相对较小。

[0049] 示例性实施方式- $\Phi_{MF}$ 修改和三角栅极边缘扩展

[0050] 图4A是在SOI上制造并且掺杂有额外P+注入区的nFET 400的第三实施方式的布局的顶视图。除了用于限定源极108N+注入区和漏极110N+注入区的掩膜注入区域411在边缘晶体管116上方的两侧上被刻有三角形形状的切口以避免在nFET 400的边缘晶体管116的一定范围上方注入N+材料以外,每个区域的顺序、结构和功能与图3相同(包括扩展栅极结构106')。图4B是针对图4A的实施方式的掩膜注入区域411(尺寸减小)的布局的顶视图;该切口在图4B中是明显的。

[0051] P+注入区208'、210'类似地以匹配的三角形形状在栅极结构106'的至少一部分内且在边缘晶体管116的一部分上方的一端处形成。另外,使用扩展的栅极结构106'使P+注入远离主晶体管的源极108和漏极110(对于大多数实施方式,目的是使用P+注入仅修改边缘晶体管的功函数而不影响nFET 400的需要N+注入的源极108区和漏极110区)。因此,在所示示例中,用于源极/漏极N+注入区的掩膜注入区域411与栅极结构106'的边缘部分内的P+注入区的形状近似地一致(如应当认识到,针对对准误差的一些容差可能是必要的,并且因此这两个形状可以彼此不完全一致)。注意,扩展后的栅极结构106'自身没有被刻有切口。另外参见图6A至图6E的针对图4A的nFET的示例性制造顺序的视图。

[0052] P+注入区208'、210'的三角形形状末端确保了修改后的栅极结构的高 $V_{tE}$ 区域很好地穿透至边缘晶体管116中,同时使对饱和电流或 $R_{ON}$ 的任何影响最小化。图4A中的三角尖形P+注入区208'、210'的另一个优点是,三角尖形P+注入区208'、210'为边缘晶体管116的 $V_{tE}$ 提供了梯度。如上所述,虽然边缘晶体管116被描绘为线,但是边缘晶体管116具有以下范围:涉及沿那些线的掺杂浓度和渗透至约nFET的边缘的宽度(即,横向)和深度的程度。因此,在每个P+注入区208'、210'的尖部T处,由于下层栅极结构106'的 $\Phi_{MF}$ 的改变而引起的 $V_{tE}$ 增加小于在P+注入区208'、210'内进一步远离T的逐渐变宽的点处的 $V_{tE}$ 增加。因此,可以通过控制用于限定源极N+注入区和漏极N+注入区的注入区域411掩膜相对于边缘晶体管116的几何形状以及限定P+注入区的掩膜的几何形状来实现附加的设计自由度。

[0053] 更具体地,通过改变P+注入掩膜的几何形状,可以利用单个基本的nFET设计来实现不同水平的漏极漏电流 $I_{dOFF}$ 。第一,涉及两个因素。首先,注入区208'、210'中的P+注入剂量将设置边缘晶体管116的 $V_{tE}$ 。然而,边缘晶体管116的横向渗透是要考虑的另一效应。由于硼耗尽是扩散过程,因此最大的 $V_{tE}$ 改变在边缘晶体管116的边缘处,但是向内朝着nFET200的中央传导沟道的内部( $V_{tC}$ )区域呈指数下降。图4A中示出的三角形P+注入形状起作用是因为以下两者:P+注入实际上过度补偿了内部区域(因为沟道中较少的硼耗尽)和边缘晶体管116的长度L由于硼耗尽较少而可以朝着内部区域变短。其次,所产生的漏电流由边缘晶体管116的 $V_{tE}$ 和边缘晶体管16的长度(晶体管电流与宽度/长度成比例)两者来设

置。通过改变 $V_{tE}$ 提供的益处是指数因子,而通过改变L提供的益处是线性因子。虽然改变P+注入掩膜的几何形状不会改变 $V_{tE}$ (其由注入自身改变),但是改变P+注入掩膜的几何形状会改变作为 $V_{tE}$ 和L的函数的漏电流。

[0054] 虽然图2至图4的示例是具有与P+注入区208、208'、210、210'形状一致的带切口的注入区域411掩膜,但是形状不需要匹配。例如,注入区域411掩膜可以被刻有具有(仅作为示例)锯齿形状或方齿形状的切口,而P+注入区的内端可以成形为方形或三角形或一些其他形状,反之亦然。

[0055] 示例性制造顺序

[0056] 图5A至图5E是针对图2A的nFET 200的示例性制造顺序的顶视图(为了更加清楚起见,在连续的图中不再重复一些附图标记)。在图5A中,P型硅岛102形成在SOI衬底(未单独示出)上并且被 $SiO_2$  104包围。在图5B中,在硅岛102上方形成栅极结构106以限定中央传导沟道和两个边缘晶体管。在图5C中,通过将用于注入区域411的掩模在硅岛102上方对准,使用掩膜注入区域411以在源极108区和漏极110区中注入N+掺杂物。如图所示,用于源极区/漏极区的掩膜注入区域411在由栅极结构106限定的边缘晶体管的一部分上方被刻有方形形状的切口。在图5D中,P+注入区208、210在一端处形成有与掩膜注入区域411的对应切口一致的匹配方形形状。P+注入区208、210与栅极结构106的至少一部分交叠并且在边缘晶体管116的一部分上方。在图5E中,分别对源极108区和漏极110区形成导电接触部112、114。

[0057] 图6A至图6E是针对图4A的nFET 400的示例性制造顺序的顶视图(为了更加清楚起见,在连续的图中不再重复一些附图标记)。在图6A中,P型硅岛102形成在SOI衬底(未单独示出)上并且被 $SiO_2$  104包围。在图6B中,在硅岛102上方形成扩展的栅极结构106'以限定中央传导沟道和两个边缘晶体管。在图6C中,通过将用于注入区域411的掩膜在硅岛102上方对准,使用掩膜注入区域411以在源极108区和漏极110区中注入N+掺杂物。如图所示,用于源极区/漏极区的掩膜注入区域411在由栅极结构106'限定的边缘晶体管的一部分上方被刻有三角形形状的切口。在图6D中,P+注入区208'、210'在一端处形成有与掩膜注入区域411的对应切口一致的匹配三角形形状。P+注入区208'、210'与栅极结构106'的至少一部分交叠并且在边缘晶体管116的一部分上方。在图6E中,分别对源极108区和漏极110区形成导电接触部112、114。可以使用类似的步骤顺序来制造图3中示出的nFET布局。

[0058] 如本领域的普通技术人员将理解的,为了清楚起见,省略了其他共同结构(例如,器件互连、栅极接触部等),并且在形成图2、图3、图4、图5A至图5E和图6A至图6E描绘的结构时可以涉及其他步骤或附加步骤。此外,上述一些步骤可以以与所描述的顺序不同的顺序来执行。

[0059] 可替代实施方式和益处

[0060] FET制造领域的普通技术人员将理解的是,除了图2至图4示出的那些布局之外还存在许多可能的布局选项。例如,图7是在SOI上制造的、掺杂有额外P+注入区并且被配置用于本体连结的nFET 700的第四实施方式的布局的顶视图。除了在附图顶部处硅岛102延伸超过栅极结构106'(如由虚线部分地指示的,因为硅岛在P+注入区208"下方),并且P+注入区208"被成形(在该实施方式中为“T”形状)为有助于例如通过使用nFET 700结构的另一层(未示出)中的导电互连(例如,金属)形成栅极或源极本体连结连接(例如,直接连接或二极管,未示出)以外,示出的实施方式与图4A类似。栅极-本体连结可以通过在P+注入区208"内

的接触区702与栅极结构106'内的接触部(未示出)之间添加导电互连来形成。源极-本体连结可以通过在P+注入区208"内的接触区702与用于源极108的导电接触部112之间添加导电互连来形成(注意,源极108和漏极110的标记基本上是任意的,并且标记可以颠倒)。可替代地,本体连结可以在接触区702与用于独立偏置的外部节点之间形成。可选地,nFET 600的结构可以包括连接至相对侧P+注入区210'的类似形状变型中的类似“底部”本体连结。

[0061] 本体连结例如在于2011年2月15日授予的题为“Method and Apparatus Improving Gate Oxide Reliability by Controlling Accumulated Charge”的美国专利第7,890,891号及在于2011年3月22日授予的题为“Method and Apparatus for Use in Improving Linearity of MOSFETS Using an Accumulated Charge Sink”的美国专利第7,910,993号中进行了描述,上述两个美国专利均转让给本发明的受让人并且上述两个美国专利的全部内容通过引用并入本文。出于各种有益的原因,包括本体连结延伸是可以选择的选项,特别是在模拟和混合信号应用中。本体连结的优点可以包括改进的输出电阻、更高的增益和改善的线性度等。然而,对于一些数字应用来说可以不选择本体连结,从而节省面积并且潜在地改善数字逻辑的性能。

[0062] 虽然在FET栅极结构的至少一部分内且在FET的边缘晶体管的一部分上方形成的注入区通常使nFET受益,但是可能存在以下情况:通过反掺杂(例如,在PMOSFET的多晶硅栅极结构上方进行N+注入)类似的注入区可以使pFET受益。因此,本发明不限于nFET。

[0063] 本发明提供优于现有方法的出色的边缘晶体管控制并且对面积和栅极电容的影响最小。这是因为覆盖在边缘晶体管上的栅极结构部分的 $\Phi_{MF}$ 的增加可以使 $V_{tE}$ 提高至等于或高于主晶体管沟道的 $V_{tC}$ ,而使用先前的方法,甚至难以使 $V_{tE}$ 接近 $V_{tC}$ 。值得注意的是,增加边缘晶体管的长度 $L+$ 仅使电流随 $L+$ 线性地减小;相比之下,增加 $V_{tE}$ 会使漏电流指数地减小。另外,修改边缘晶体管上方的栅极结构的 $\Phi_{MF}$ ,而不是修改沟道掺杂浓度 $N_A$ 和/或栅极氧化物厚度 $t_{ox}$ ,会使对 $I_{dsat}$ 的影响最小化或消除,因此避免 $I_{dsat}$ 与 $V_{tC}$ 之间的常规权衡。

[0064] 虽然图2至图4中示出的示例已经在覆盖在边缘晶体管上的栅极结构的至少一部分内使用P+注入区以增加注入部分的 $\Phi_{MF}$ ,但是可以使用其他技术来增加那些部分中的 $\Phi_{MF}$ 以使 $V_{tE}$ 增加。例如,在变型实施方式中,可以通过以下方式增加nFET的覆盖在边缘晶体管上的栅极结构的功函数:创建混合多晶硅/金属栅极结构,其中多晶硅在中央区并且金属或类金属材料在栅极结构的边缘区上方;创建在栅极结构的中央区 and 边缘区中具有两种不同的金属或类金属材料的栅极结构;创建共掺杂有N+掺杂物和P+掺杂物两者的栅极结构,以创建在栅极结构的边缘区上方的简并掺杂的多晶硅,使得功函数在栅极结构的中央区与边缘区之间不同;以及在栅极结构下方掺杂绝缘体使得功函数在栅极结构的中央区与边缘区之间不同。更具体地,这样的实施方式可以包括:

[0065] (1) 形成金属栅极(例如,使用已知的替代金属栅极技术形成)以创建混合多晶硅/金属栅极结构,以将边缘晶体管116上方的栅极功函数改变为期望的水平。在这种方法中,与前文描述的实施方式中的P+注入区208、208'、210、210'类似的区域中的边缘晶体管116交叠的多晶硅栅极可以利用相对于多晶硅具有不同功函数的不同金属或类金属材料来制造或者通过相对于多晶硅具有不同功函数的不同金属或类金属材料来修改。作为示例,在上述原始示例中由P+注入掩膜形成的图2A中标记为208、210的注入区可以替代地是形成在多晶硅栅极结构106中的金属“插塞(plug)”。各种材料——典型地是难熔金属或者用于与

多晶硅反应以形成硅化物的材料——可以注入、扩散或以其他方式形成在掩膜区208、210中。这种金属或类金属材料具有它们自己的金属功函数 $\Phi_{MF}$ ，并且因此将在与边缘晶体管116交叠的多晶硅栅极结构106的外部区域中设置不同的 $V_{tE}$ 。普通技术人员会为这种外部区域选择替代金属或类金属材料，这将使 $\Phi_{MF}$ 提高并且因此使漏电流降低，就像P+注入那样。

[0066] (2) 使用金属或类金属栅极结构(即，没有多晶硅)，其中在栅极结构的中央区和边缘区中具有两种不同的金属或类金属材料。例如，这可以通过注入双金属结构或者将双金属结构图案化，并且然后将金属或类金属材料扩散或烧结在一起来完成。例如，图8是部分完成的具有覆盖在被 $SiO_2$ 104包围的P型硅岛102上的双金属栅极106”的nFET的顶视图。如渐变阴影所指示的，栅极结构106”的中央部分802由与栅极结构106”的边缘区804不同的材料(金属或类金属材料，例如硅化物)组成。除了整个栅极结构将由金属或类金属材料制成而不是由多晶硅和金属或类金属“插塞”制成以外，该方法将根据与上面变型(1)相同的原理工作。该方法可以对于确保设置与 $V_{tC}$ 相比适当的 $V_{tE}$ 是有用的。

[0067] (3) 利用N+和P+类两者共掺杂栅极结构，以将栅极功函数值设置为不同的水平。参看图2B，在这种方法中，可以省略用于N+注入区211的掩膜中的切口，从而允许覆盖在边缘晶体管116上的多晶硅栅极结构106的该部分的N+掺杂。其余过程和设计相同，在注入区208、210(即，具有图2A所示的几何形状)中“缺失的”切口区也将被注入有P+，创建本领域普通技术人员将认为的简并掺杂多晶硅，简并掺杂多晶硅的 $\Phi_{MF}$ 近似为Si带隙的中间带。这种混合材料将改变 $\Phi_{MF}$ 约为进入多晶硅栅极结构106的注入区208、210(使用带切口的N+注入掩膜211)中的纯P+注入的一半，如图2A所示。在许多情况下，这样较小的改变可能足以使 $V_{tE}$ 充分地提高以达到边缘泄漏小于中央沟道泄漏、使 $V_{tE}$ 提高到期望目标。在该方法中，存在较小的误差裕量，但是该方法也将消除严格控制的对准步骤(因为图2B中的切口必须落在栅极宽度L内，其通常是IC芯片上的最小尺寸)。

[0068] (4) 用离子类(例如，稀土金属氧化物)在栅极结构106下方掺杂绝缘体(通常是高K氧化物，诸如 $HfO_2$ )以通过感应带电层来改变栅极堆叠的功函数。在这种方法中，将电荷插入至边缘晶体管116处或附近的栅极绝缘体中将使 $V_{tE}$ 增加，这是因为阈值电压的偏移等于 $Q/C_{ox}$ ，其中Q是注入的电荷并且 $C_{ox}$ 是栅极电容。该效应是本领域普通技术人员已知的，并且已经广泛用于诸如MNOS(金属氮化物-氧化物-半导体)结构的非易失性存储器件中，其中，存储在氮化物层与氧化物层之间的电荷用于通过改变存储晶体管的 $V_t$ 来存储信息。可以以已知方式通过上覆的多晶硅借助于注入来掺杂绝缘体。这种掺杂可以产生在构思上与图8所示的梯度类似的梯度，其中在栅极结构106”的中央部分802下方的绝缘体具有相对于栅极结构106”的边缘区域804不同的掺杂水平。

[0069] 在所有变型实施方式中，栅极结构的每个边缘区域的功函数 $\Phi_{MF}$ 被充分地增加以使每个对应边缘晶体管的 $V_{tE}$ 增加至近似等于或大于 $V_{tC}$ 。边缘功函数 $\Phi_{MF}$ 的增加可以通过以下方式进行：形成或修改(例如，通过注入、扩散、改变材料、混合N+/P+掺杂等)边缘晶体管上方的栅极结构以具有与栅极结构的中央区相比不同的功函数；或者修改栅极结构下方的绝缘体区使得边缘晶体管上方的栅极结构相对于栅极结构的中央区具有不同的功函数。可以使用类似的技术对在双金属栅极结构或混合多晶硅/金属栅极结构中使用的掺杂材料和/或金属或类金属材料进行合适的改变以改变pFET的边缘晶体管的功函数 $\Phi_{MF}$ ；如本领域

普通技术人员将理解的,为了减少pFET中的边缘泄漏,边缘晶体管的 $\Phi_{MF}$ 将被调整为至少等于或低于(而不是至少等于或高于)中央晶体管的 $\Phi_{MF}$ 。

[0070] 虽然本发明适用于所有宽度的FET,但是本发明对于具有小的宽度的nFET特别有用,这是因为边缘晶体管的 $V_{tE}$ 的贡献相对于中央传导沟道的 $V_{tC}$ 成比例地更大。

[0071] 在其中利用如上所述的发明修改 $V_{tE}$ 的nFET的一些制造示例中,栅极结构的 $\Phi_{MF}$ 和 $V_{tE}$ 已经增加了至少约0.3V(其中一些实施方式具有超过0.7V的增加),并且边缘晶体管的电流泄漏已经减少了至少10的因数。在根据本发明的教导制造的其它示例性nFET中,在无需扩展的栅极结构的情况下针对P+注入区的从约 $1e^{13}/cm^2$ 至约 $1e^{15}/cm^2$ 的硼掺杂浓度将边缘晶体管电流泄漏成功地减小了相当大的程度。实验结果表明,增加扩展栅极结构提供边缘晶体管电流泄漏的甚至更大的减少。

[0072] 方法

[0073] 本发明的另一方面包括用于在绝缘体上硅衬底上制造FET的方法。

[0074] 图9是示出用于在绝缘体上硅衬底上制造FET的方法的过程流程图900,该方法包括:在绝缘体上硅衬底上形成隔离的硅岛(步骤902);形成覆盖在隔离的硅岛上的栅极结构以限定具有中心长度L和阈值电压 $V_{tC}$ 的中央传导沟道,该栅极结构具有各自具有相关联的功函数 $\Phi_{MF}$ 的中央区和边缘区,其中至少一个边缘晶体管由覆盖在隔离的硅岛上的栅极结构的对应边缘区来限定,每个边缘晶体管具有部分地由栅极结构的对应边缘区的功函数 $\Phi_{MF}$ 确定的阈值电压 $V_{tE}$ (步骤904);形成在隔离的硅岛内并且由栅极结构限定的源极区和漏极区(步骤906);以及充分地增加栅极结构的至少一个对应边缘区的功函数 $\Phi_{MF}$ 以使这样的对应边缘晶体管的 $V_{tE}$ 增加至近似等于或大于 $V_{tC}$ (步骤908)。

[0075] 图10是示出用于在绝缘体上硅衬底上制造NMOSFET的方法的过程流程图1000,该方法包括:在绝缘体上硅衬底上形成隔离的硅岛(步骤1002);形成覆盖在隔离的硅岛上的栅极结构以限定中央传导沟道,该中央传导沟道具有长度L和阈值电压 $V_{tC}$ ,该栅极结构具有中央区和边缘区并且包括具有相关联功函数 $\Phi_{MF}$ 的N+多晶硅层,其中至少一个边缘晶体管由覆盖在隔离的硅岛上的栅极结构的对应边缘区来限定,每个边缘晶体管具有部分地由栅极结构的对应边缘区的多晶硅层的功函数 $\Phi_{MF}$ 确定的阈值电压 $V_{tE}$ (步骤1004);形成在隔离的硅岛内并且由栅极结构和注入掩膜限定的N+源极区和N+漏极区,该注入掩膜被配置成阻止在覆盖在隔离的硅岛上的栅极结构的一个边缘区的至少一部分上方的N+材料的注入(步骤1006);以及在栅极结构的至少一个对应边缘区的多晶硅层内形成P+注入区,其充分地增加了栅极结构的这种对应边缘区的多晶硅层的功函数 $\Phi_{MF}$ 以使这种对应边缘晶体管的 $V_{tE}$ 增加至近似等于或大于 $V_{tC}$ (步骤1008)。

[0076] 上面方法中的任意方法可以包括以下中的一个或多个:FET是NMOSFET;通过在这种边缘区内的注入区内注入P+掺杂物来增加栅极结构的对应边缘区的功函数 $\Phi_{MF}$ ;P+注入区具有小于或等于长度L的长度 $L_P$ ;源极区和漏极区由掩膜限定,并且掩膜的形状与这样的边缘区内的P+注入区的形状近似地一致;在这样的边缘区内的P+注入区是三角形形状;栅极结构包括N+多晶硅层,并且增加栅极结构的对应边缘区的功函数 $\Phi_{MF}$ 包括在这样的边缘区的N+多晶硅层内注入P+掺杂物;将栅极结构的至少一个边缘区扩展至比长度L大的长度 $L^+$ 以使对应边缘晶体管的 $V_{tE}$ 与 $V_{tC}$ 相比增加;功函数 $\Phi_{MF}$ 和 $V_{tE}$ 的增加为至少约0.3V;具有增加的功函数 $\Phi_{MF}$ 的至少一个边缘晶体管的电流泄漏比不具有增加的功函数 $\Phi_{MF}$ 的这样的

边缘晶体管的电流泄漏小至少约十倍;形成到源极区、栅极结构或外部节点之一的本体连接;增加栅极结构的对应边缘区的功函数 $\Phi_{MF}$ 包括在栅极结构的边缘区内形成金属或类金属区使得功函数 $\Phi_{MF}$ 在栅极结构的中央区与边缘区之间不同;增加栅极结构的对应边缘部分的功函数 $\Phi_{MF}$ 包括用第一金属或类金属材料形成栅极结构的中央区,并且用第二金属或类金属材料形成栅极结构的边缘区,使得功函数 $\Phi_{MF}$ 在栅极结构的中央区与边缘区之间不同;增加栅极结构的对应边缘部分的功函数 $\Phi_{MF}$ 包括掺杂栅极结构的边缘区以形成简并掺杂的多晶硅,使得功函数 $\Phi_{MF}$ 在栅极结构的中央区与边缘区之间不同;增加栅极结构的对应边缘部分的功函数 $\Phi_{MF}$ 包括在栅极结构下方掺杂绝缘体,使得功函数 $\Phi_{MF}$ 在栅极结构的中央区与边缘区之间不同;以及/或者增加栅极结构的对应边缘部分的功函数 $\Phi_{MF}$ 包括由具有第一掺杂物的材料形成栅极结构的中央区,并且用第二掺杂物修改栅极结构的边缘区,使得功函数 $\Phi_{MF}$ 在栅极结构的中央区与边缘区之间不同。

[0077] 制造技术&选项

[0078] 如本公开内容中所使用的,术语“MOSFET”是指具有绝缘栅极并且包括金属或类金属-绝缘体-半导体结构的任何场效应晶体管(FET)。术语“金属”或“类金属”包括至少一种导电材料(例如铝、铜或其他金属,或高掺杂的多晶硅、石墨烯或其他电导体),“绝缘体”包括至少一种绝缘材料(例如硅氧化物或其他介电材料),并且“半导体”包括至少一种半导体材料。

[0079] 如对于本领域普通技术人员来说应当明显的是,可以实现本发明的各种实施方式以满足各种各样的规格。除非上面另有说明,否则合适的部件值的选择是设计选择的问题,并且本发明的各种实施方式可以以任何合适的IC技术(包括但不限于MOSFET结构)来实现,或者以混合或分立电路形式来实现。集成电路的实施方式可以使用任何合适的衬底和工艺来制造,包括但不限于标准的体硅、绝缘体上硅(SOI)和蓝宝石上硅(SOS)。除非上面另有说明,否则本发明可以以下述其他晶体管技术实现,在这种技术中存在边缘晶体管现象。然而,上述发明构思对于基于SOI的制造工艺(包括SOS)和具有类似特性的制造工艺特别有用。在SOI或SOS上制造CMOS能够实现低功耗、由于FET堆叠而在操作期间承受高功率信号的能力、良好的线性度和高频操作(例如,从约1GHz至超过约60GHz)。单片IC实现方式特别有用,这是因为寄生电容通常可以通过精心设计而保持得低(或者保持得小,跨所有单元保持均匀,以允许其得到补偿)。

[0080] 多个附图示出了IC区域的特定对准。如本领域的普通技术人员将理解的,在IC制造期间掩膜的完美对准可能不是必需的,并且在许多情况下难以实现或基本上不可能实现。因此,IC设计规则通常允许区域或特征交叠以适应对准误差(例如,以确保通过一个或更多个掺杂物注入步骤对所有多晶硅区进行重掺杂)。

[0081] 取决于特定规格和/或实现技术(例如,NMOS、PMOS或CMOS以及增强型晶体管器件或耗尽型晶体管器件),可以调整电压水平或者反转电压和/或逻辑信号极性。部件电压、电流和功率处理能力可以根据需要进行适应性调整,例如,调整器件尺寸、串联地“堆叠”部件(特别是FET)以承受更大的电压和/或使用并联的多个部件以处理更大的电流。可以添加附加的电路部件以增强所公开的电路的能力和/或在不显著改变所公开的电路的功能的情况下提供附加的功能。

[0082] 已经描述了本发明的多个实施方式。应当理解的是,可以在不脱离本发明的精神

和范围的情况下进行各种修改。例如,上述一些步骤可以是与顺序无关的,并且因此可以按照与所描述的顺序不同的顺序执行。此外,上述一些步骤可以是可选的。关于上述方法描述的各种活动可以以重复、串行或并行的方式执行。

[0083] 应当理解的是,前述描述旨在说明而不是限制本发明的范围,本发明的范围由所附权利要求书的范围限定,并且其他实施方式在权利要求书的范围内。(注意,权利要求元素的括号中的附图标记是为了便于引用这些元素,并且它们本身并不指示元素的特定要求顺序或列举;此外,这些附图标记可以在从属权利要求中作为对附加元素的引用而被重复使用,而不被视为开始相矛盾的标记序列)。

100

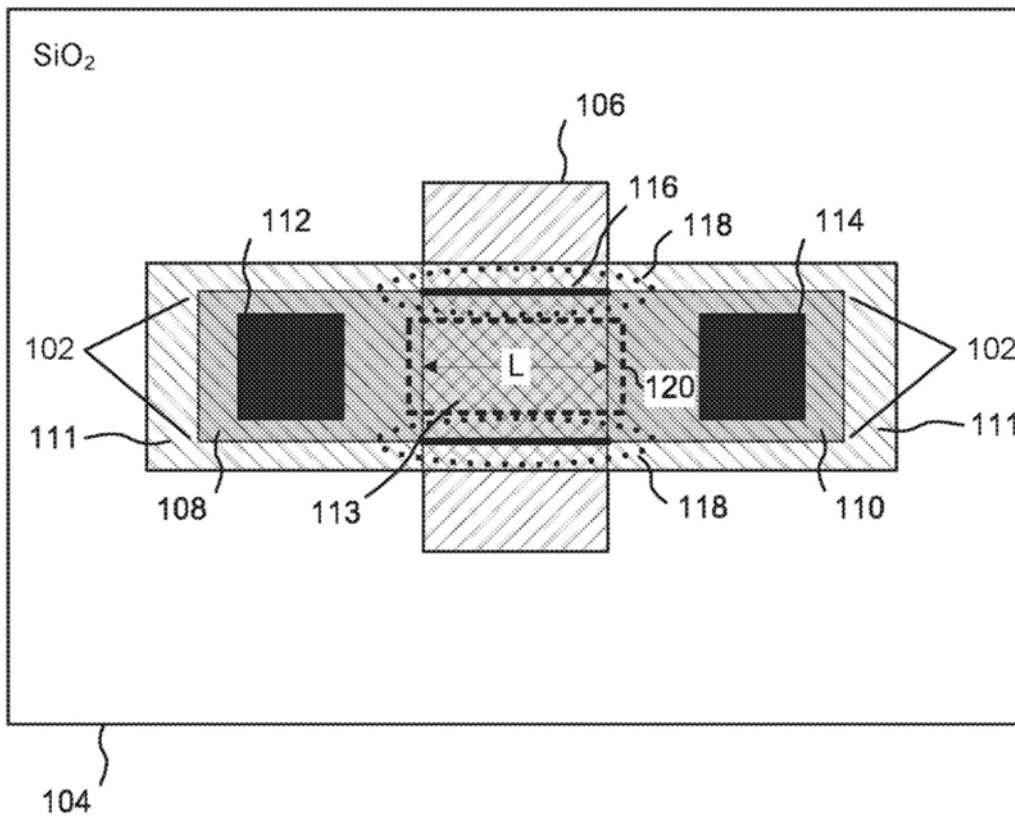


图1 (现有技术)

200

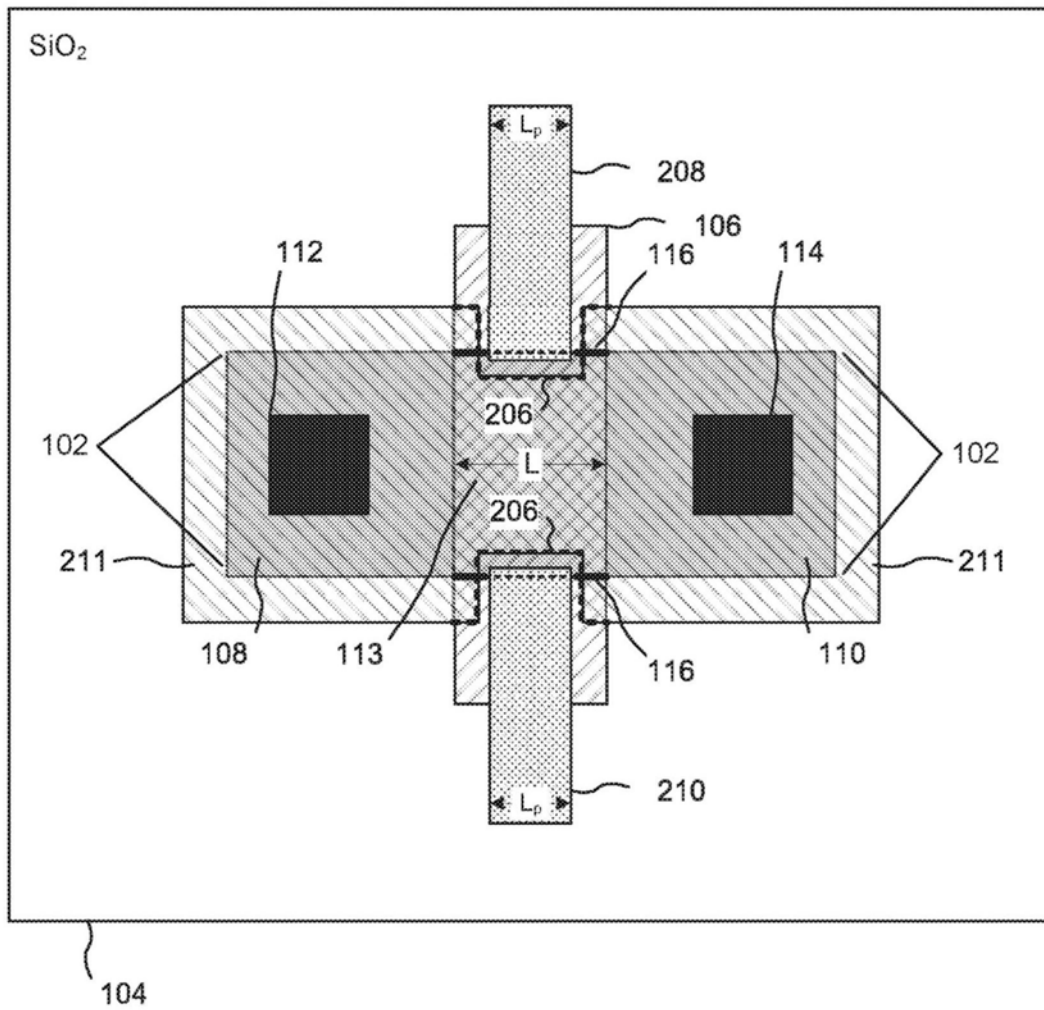


图2A

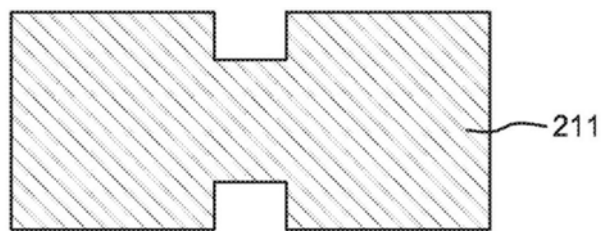


图2B

300

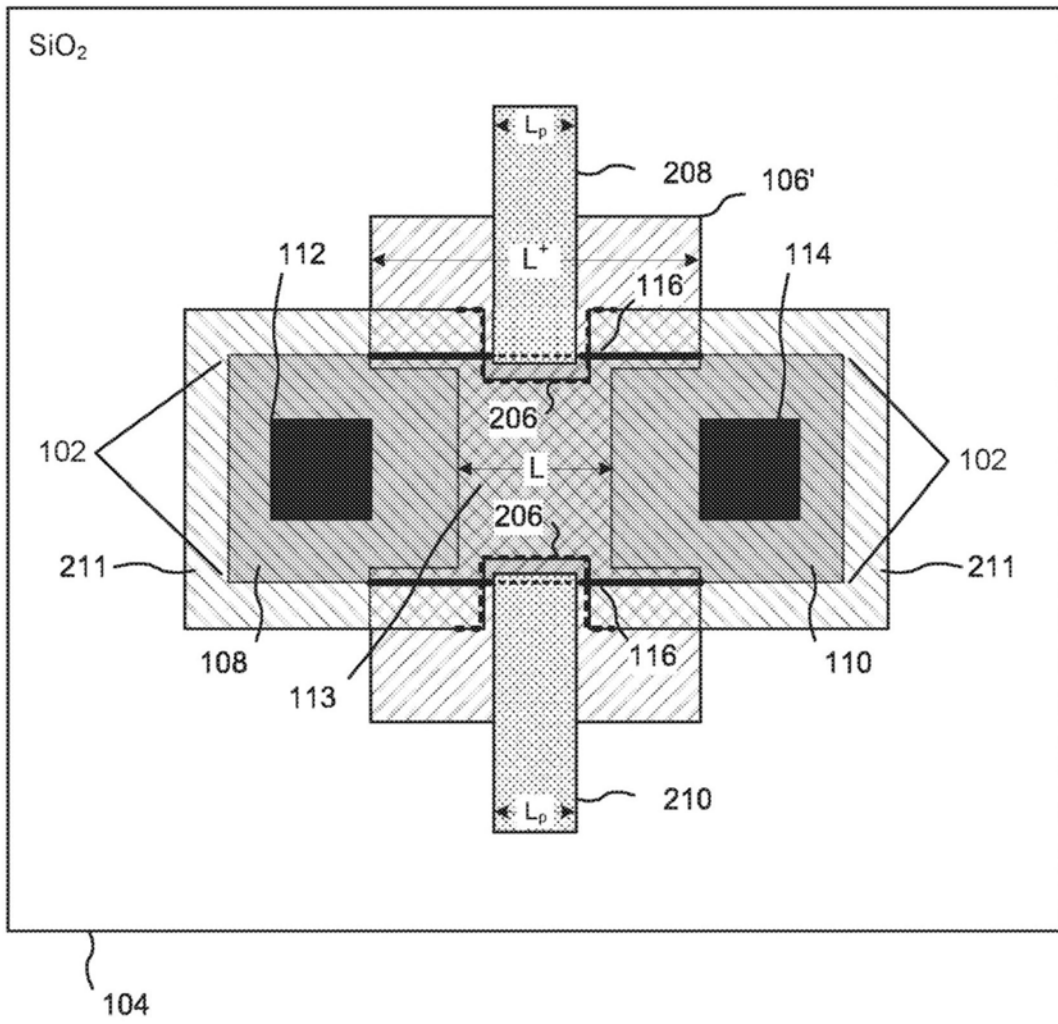


图3

400

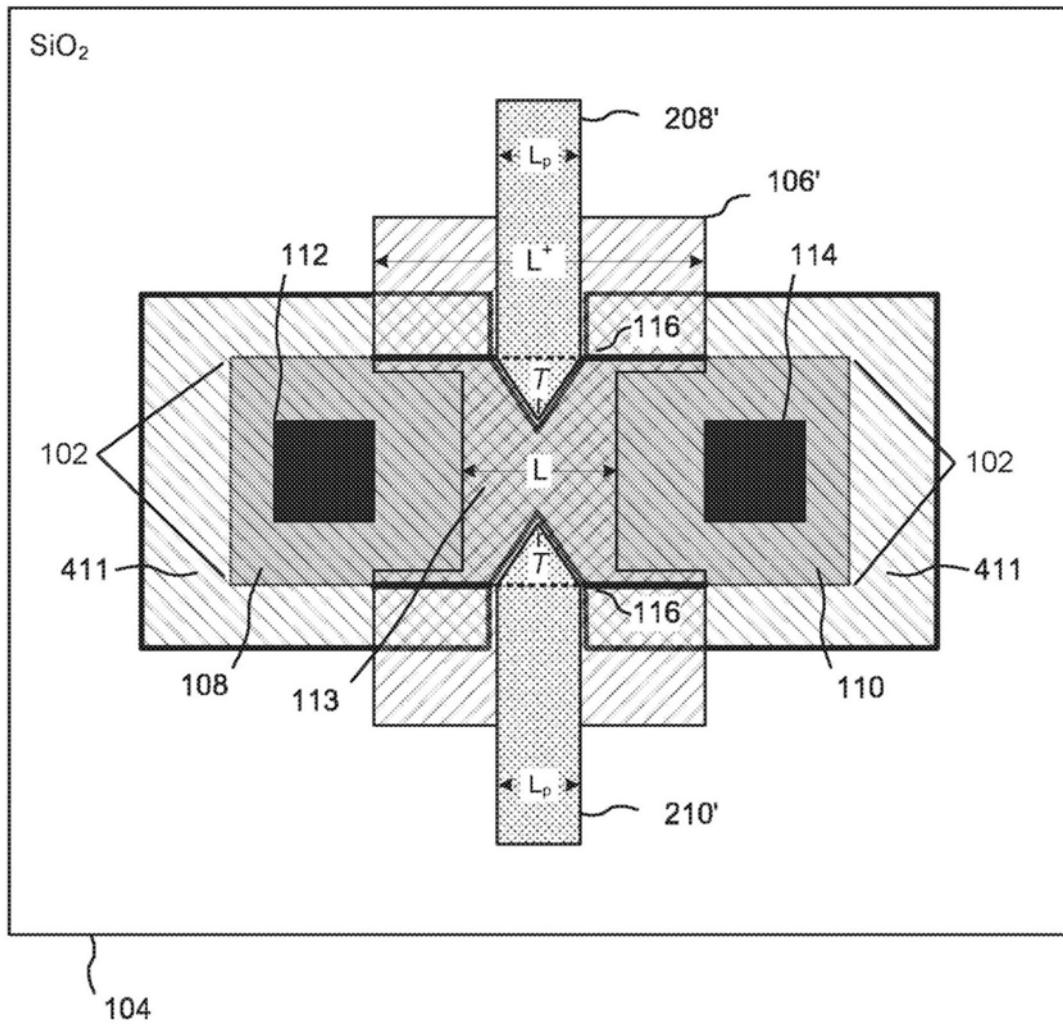


图4A

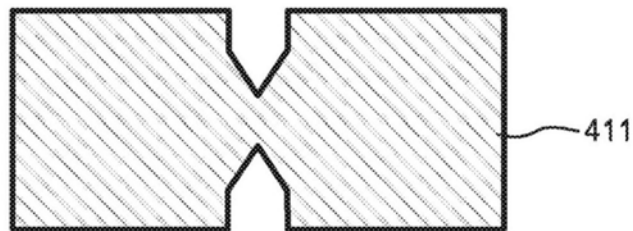


图4B

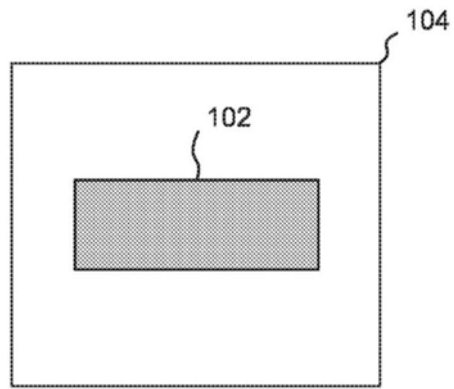


图5A

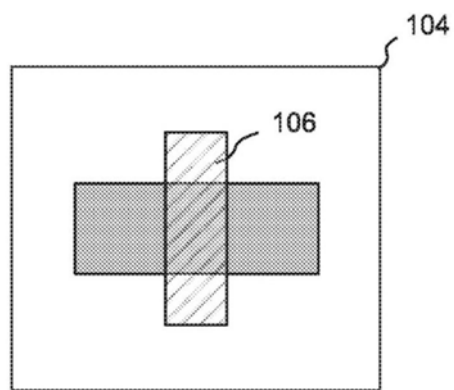


图5B

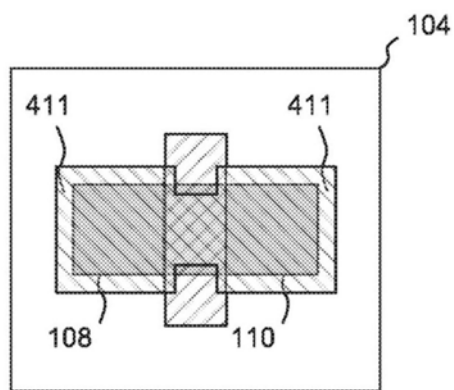


图5C

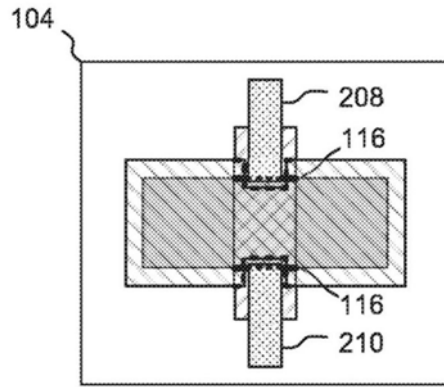


图5D

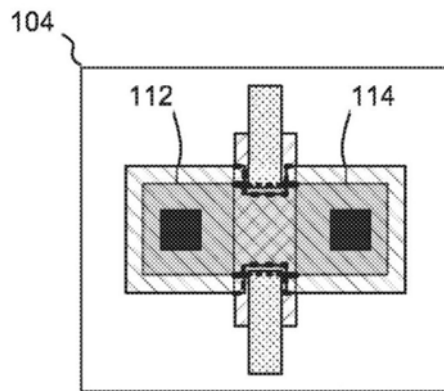


图5E

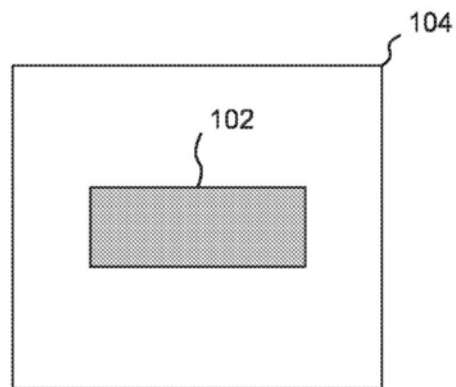


图6A

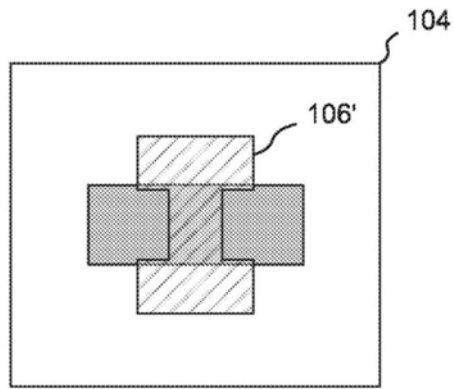


图6B

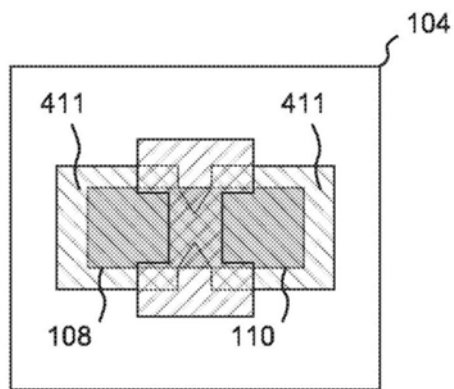


图6C

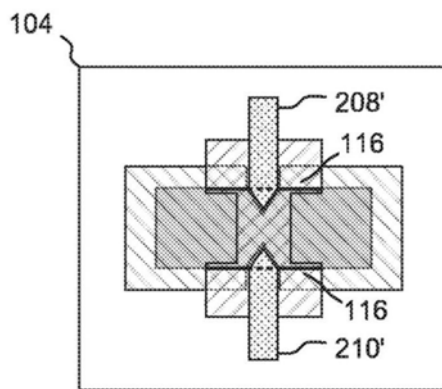


图6D

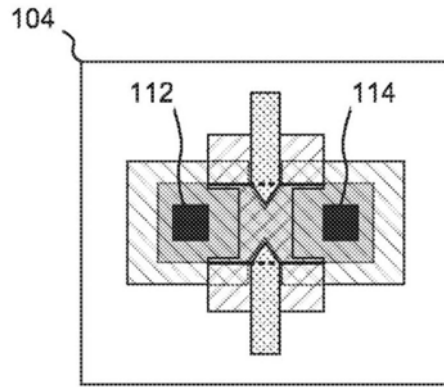


图6E

700

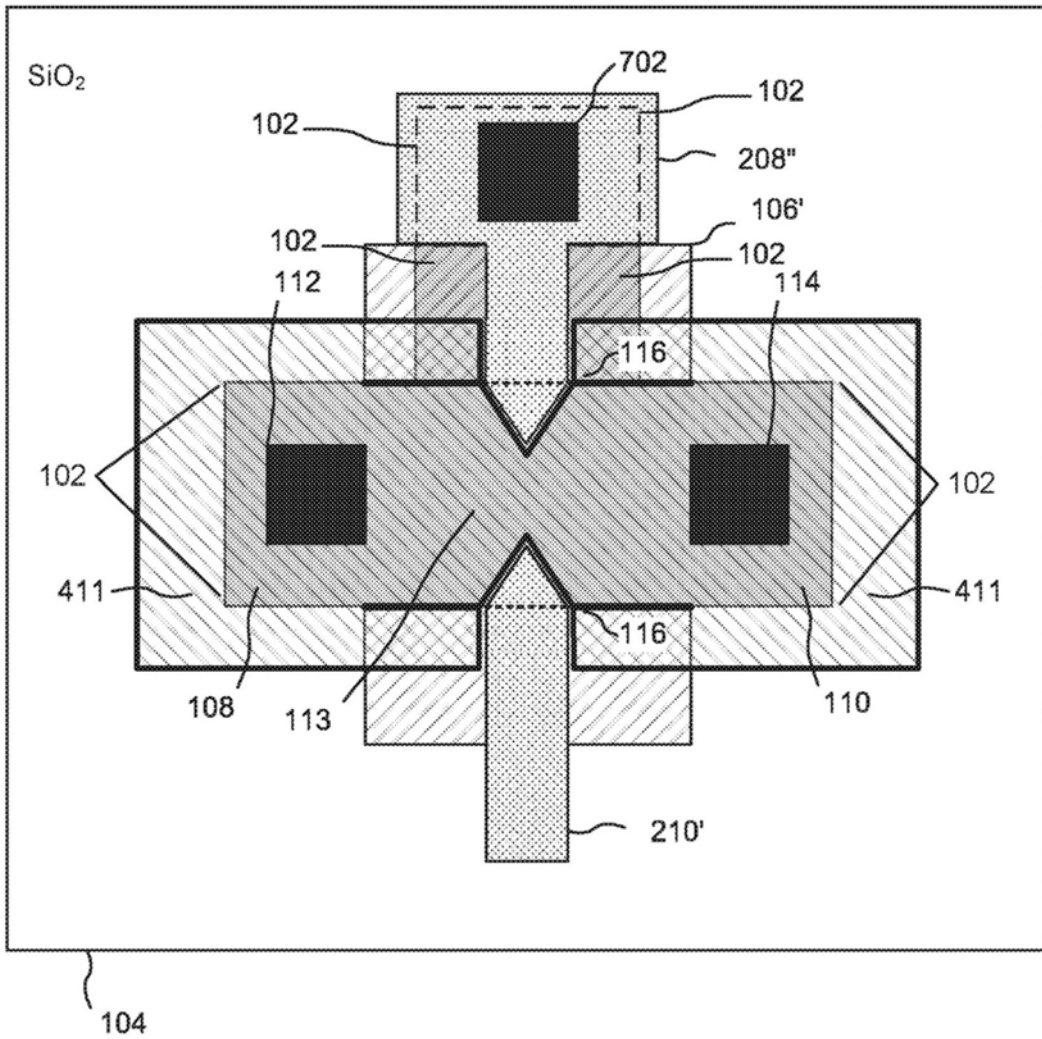


图7

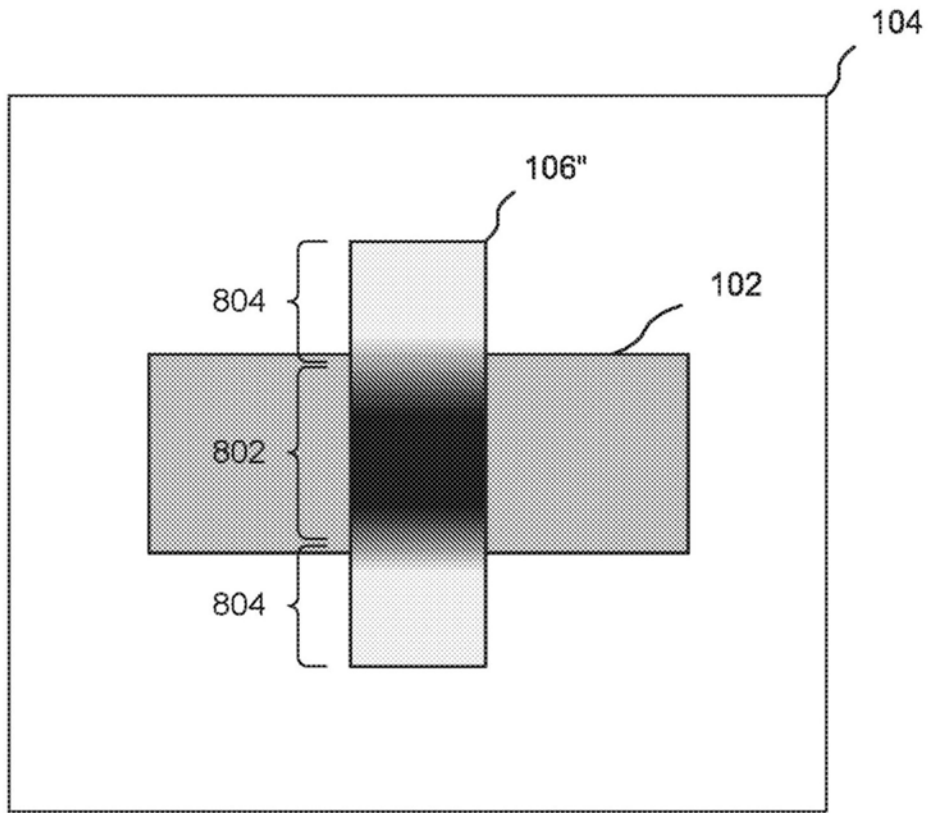


图8

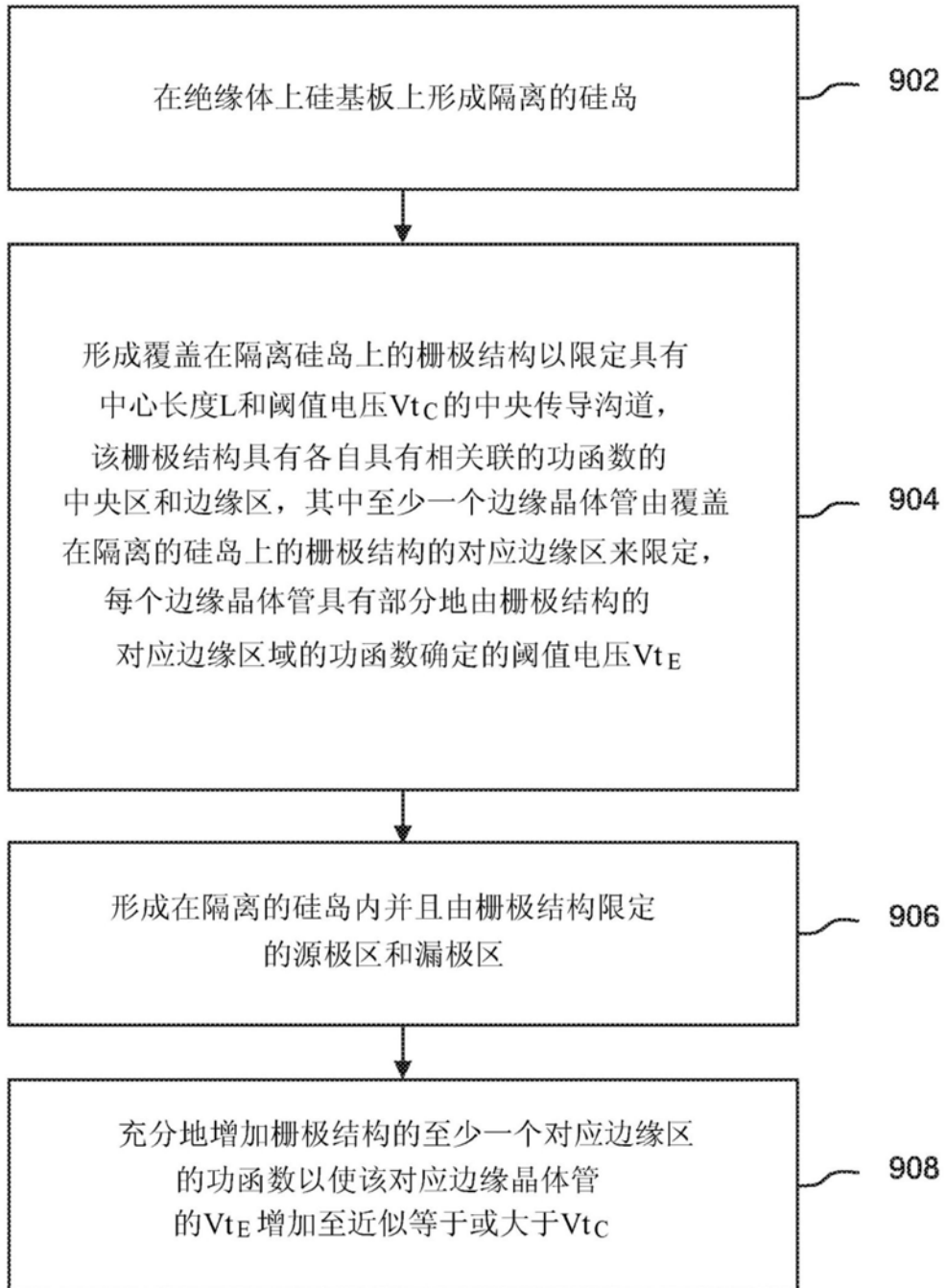
900

图9

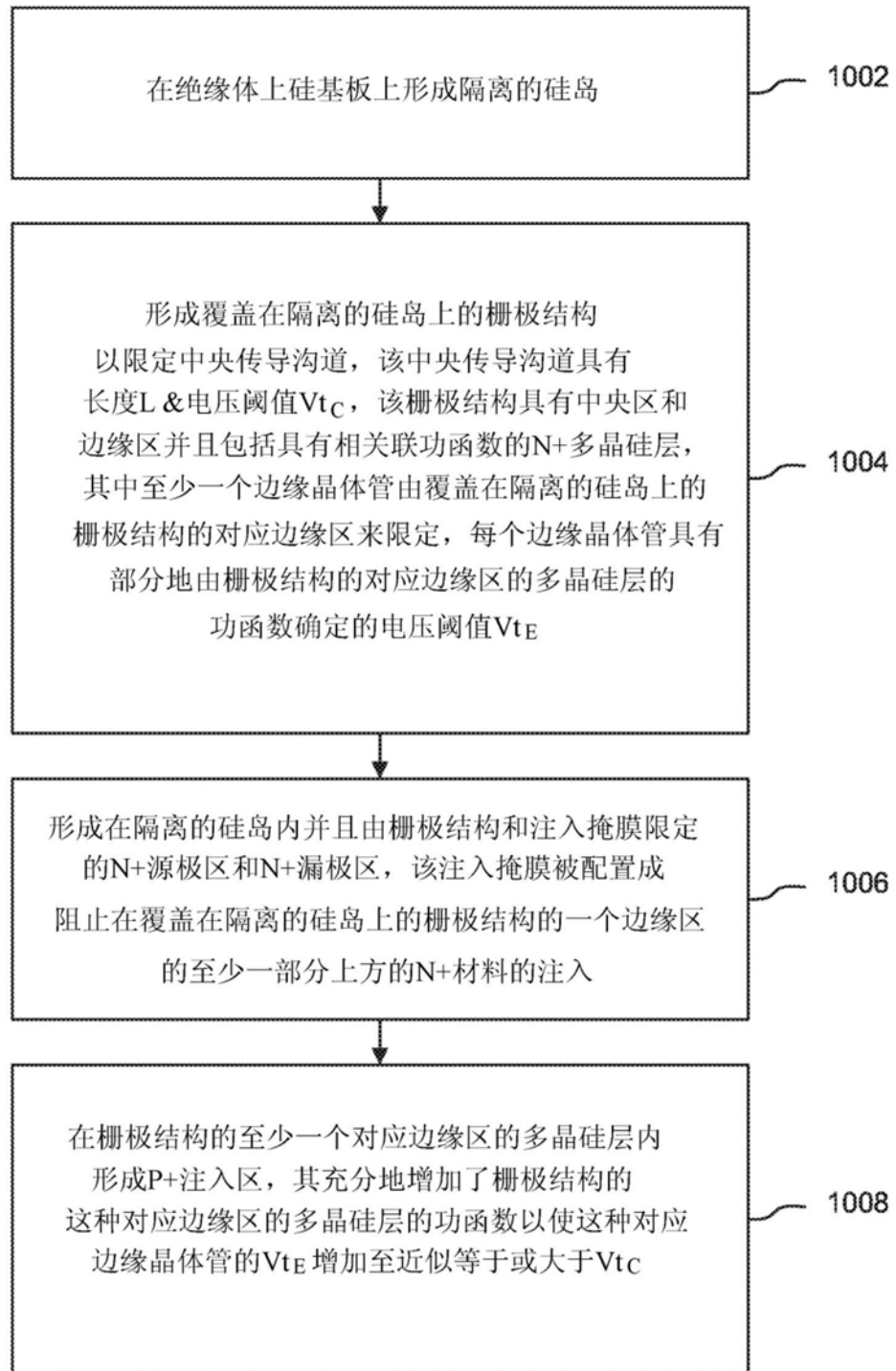
1000

图10