



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201810688 A

(43) 公開日：中華民國 107 (2018) 年 03 月 16 日

(21) 申請案號：106138802

(22) 申請日：中華民國 99 (2010) 年 02 月 08 日

(51) Int. Cl. : H01L29/786 (2006.01)

H01L21/336 (2006.01)

H01L21/28 (2006.01)

(30) 優先權：2009/02/20 日本

2009-037912

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：今藤敏和 KONDO, TOSHIKAZU (JP) ; 岸田英幸 KISHIDA, HIDEYUKI (JP)

(74) 代理人：林志剛

申請實體審查：有 申請專利範圍項數：9 項 圖式數：17 共 63 頁

(54) 名稱

薄膜電晶體、薄膜電晶體之製造方法、及半導體裝置

THIN FILM TRANSISTOR, METHOD FOR MANUFACTURING THE SAME, AND
SEMICONDUCTOR DEVICE

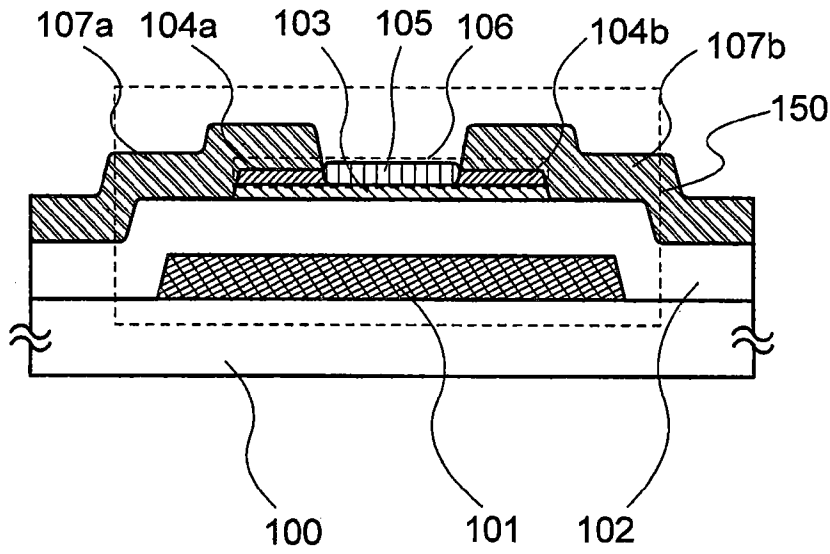
(57) 摘要

本發明的目的之一在於防止薄膜電晶體的截止電流的增加或臨界值電壓的負向漂移。在薄膜電晶體中，在源電極層及汲電極層與氧化物半導體層之間設置有緩衝層。緩衝層在氧化物半導體層的中央部上具有作為絕緣體或半導體的金屬氧化物層。金屬氧化物層用作抑制雜質侵入到氧化物半導體層的保護層。因此，可以防止薄膜電晶體的截止電流的增加或臨界值電壓的負向偏移。

In a thin film transistor, an increase in off current or negative shift of the threshold voltage is prevented. In the thin film transistor, a buffer layer is provided between an oxide semiconductor layer and each of a source electrode layer and a drain electrode layer. The buffer layer includes a metal oxide layer which is an insulator or a semiconductor over a middle portion of the oxide semiconductor layer. The metal oxide layer functions as a protective layer for suppressing incorporation of impurities into the oxide semiconductor layer. Therefore, in the thin film transistor, an increase in off current or negative shift of the threshold voltage can be prevented.

指定代表圖：

圖 1A



符號簡單說明：

- 100 . . . 基板
- 101 . . . 閘極電極層
- 102 . . . 閘極絕緣層
- 103 . . . 氧化物半導體層
- 104a . . . 導電層
- 104b . . . 導電層
- 105 . . . 金屬氧化物層
- 106 . . . 緩衝層
- 107a . . . 源電極層
- 107b . . . 汲電極層
- 150 . . . 薄膜電晶體

發明摘要

※申請案號：106138802 (由105105465分割)

※申請日：099年02月08日

※IPC分類：H01L 29/786 (2006.01)
H01L 21/336 (2006.01)
H01L 21/28 (2006.01)

【發明名稱】(中文/英文)

薄膜電晶體、薄膜電晶體之製造方法、及半導體裝置

Thin film transistor, method for manufacturing the same, and
semiconductor device

【中文】

本發明的目的之一在於防止薄膜電晶體的截止電流的增加或臨界值電壓的負向漂移。在薄膜電晶體中，在源電極層及汲電極層與氧化物半導體層之間設置有緩衝層。緩衝層在氧化物半導體層的中央部上具有作為絕緣體或半導體的金屬氧化物層。金屬氧化物層用作抑制雜質侵入到氧化物半導體層的保護層。因此，可以防止薄膜電晶體的截止電流的增加或臨界值電壓的負向偏移。

【 英文 】

In a thin film transistor, an increase in off current or negative shift of the threshold voltage is prevented. In the thin film transistor, a buffer layer is provided between an oxide semiconductor layer and each of a source electrode layer and a drain electrode layer. The buffer layer includes a metal oxide layer which is an insulator or a semiconductor over a middle portion of the oxide semiconductor layer. The metal oxide layer functions as a protective layer for suppressing incorporation of impurities into the oxide semiconductor layer. Therefore, in the thin film transistor, an increase in off current or negative shift of the threshold voltage can be prevented.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

100：基板

101：閘極電極層

102：閘極絕緣層

103：氧化物半導體層

104a：導電層

104b：導電層

105：金屬氧化物層

106：緩衝層

107a：源電極層

107b：汲電極層

150：薄膜電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

薄膜電晶體、薄膜電晶體之製造方法、及半導體裝置

Thin film transistor, method for manufacturing the same, and

semiconductor device

【技術領域】

本發明關於使用氧化物半導體層形成的薄膜電晶體及其製造方法。另外，本發明還關於使用該薄膜電晶體製造的半導體裝置。

注意，在本說明書中，半導體裝置指的是能夠藉由利用半導體特性工作的所有裝置，因此，電光裝置、半導體電路以及電子設備都是半導體裝置。

【先前技術】

金屬氧化物的種類繁多且用途廣泛。氧化銦為較普遍的材料，其被用作液晶顯示器等所需要的透明電極材料。

在金屬氧化物中存在呈現半導體特性的金屬氧化物。作為呈現半導體特性的金屬氧化物，例如有氧化鎢、氧化錫、氧化銦、氧化鋅等，並且將這些呈現半導體特性的金屬氧化物用作通道形成區的薄膜電晶體已經是眾所周知的(專利文獻 1 至 4、非專利文獻 1)。

另外，已知金屬氧化物不僅有一元氧化物還有多元氧

化物。例如，作為包含 In、Ga 及 Zn 的多元氧化物，同系物(homologous series)的 $\text{InGaO}_3(\text{ZnO})_m$ (m :自然數)是周知的(非專利文獻 2 至 4)。

並且，已經確認到可以將上述那樣的由 In-Ga-Zn 類氧化物構成的氧化物半導體用於薄膜電晶體的通道層(專利文獻 5、非專利文獻 5 以及 6)。

[專利文獻 1]日本專利申請公開昭 60-198861 號公報

[專利文獻 2]日本專利申請公開平 8-264794 號公報

[專利文獻 3]日本 PCT 國際申請翻譯平 11-505377 號公報

[專利文獻 4]日本專利申請公開 2000-150900 號公報

[專利文獻 5]日本專利申請公開 2004-103957 號公報

[非專利文獻 1]M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor"(透明鐵電薄膜電晶體), *Appl. Phys. Lett.*, 17 June 1996, Vol. 68 p. 3650-3652

[非專利文獻 2]M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In_2O_3 - Ga_2ZnO_4 -ZnO System at 1350 °C "(In_2O_3 - Ga_2ZnO_4 -ZnO 類在 1350°C 時的相位關係), *J. Solid State Chem.*, 1991, Vol. 93, p. 298-315

[非專利文獻 3]N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4, \text{ and } 5$),

InGaO₃(ZnO)₃, and Ga₂O₃(ZnO)_m ($m=7, 8, 9, \text{ and } 16$) in the In₂O₃-ZnGa₂O₄-ZnO System"(同系物的合成和單晶資料, In₂O₃-ZnGa₂O₄-ZnO 類的 In₂O₃(ZnO)_m ($m=3, 4, \text{ and } 5$), InGaO₃(ZnO)₃, and Ga₂O₃(ZnO)_m ($m=7, 8, 9, \text{ and } 16$)), *J. Solid State Chem.*, 1995, Vol. 116, p. 170-178

[非專利文獻 4]中村真佐樹、君塚昇、毛利尚彥、磯部光正, "ホモロガス相、InFeO₃(ZnO)_m(m :自然數)とその同型化合物の合成および結晶構造"(同系物、銦鐵鋅氧化物(InFeO₃(ZnO)_m)(m 爲自然數)及其同型化合物的合成以及結晶結構), *固體物理(SOLID STATE PHYSICS)*, 1993, Vol. 28, No. 5, p. 317-327

[非專利文獻 5]K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor"(由單晶透明氧化物半導體製造的薄膜電晶體), *SCIENCE*, 2003, Vol. 300, p. 1269-1272

[非專利文獻 6]K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors"(室溫下的使用非晶氧化物半導體的透明柔性薄膜電晶體的製造), *NATURE*, 2004, Vol. 432 p. 488-492

【發明內容】

本發明的一個方式的目的之一在於防止薄膜電晶體的截止電流的增加或臨界值電壓的負向漂移。

另外，本發明的一個方式的目的之一在於使薄膜電晶體的源電極層及汲電極層與氧化物半導體層的接合成為歐姆接合。

另外，本發明的一個方式的目的之一在於高效地製造一種高功能的薄膜電晶體，其防止薄膜電晶體的截止電流的增加或臨界值電壓的負向漂移。

另外，本發明的一個方式的目的之一在於高效地製造一種高功能的薄膜電晶體，其防止薄膜電晶體的截止電流的增加或臨界值電壓的負向漂移，並且，薄膜電晶體的源電極層及汲電極層與氧化物半導體層的接合是歐姆接合。

另外，本發明的一個方式的目的之一在於提供高品質或高可靠性的一種半導體裝置。

本發明的一個方式是一種反交錯型的薄膜電晶體，其中，在氧化物半導體層上設置有緩衝層，並且在該緩衝層上設置主動電極層及汲電極層。另外，該緩衝層包括：設置在氧化物半導體層的雙端部上的一對導電層；以及設置在氧化物半導體層的中央部上的具有與一對導電層相同金屬元素且其氧濃度高於一對導電層的夾在所述一對導電層之間的作為絕緣體或半導體的金屬氧化物層。

另外，本發明的一個方式是一種薄膜電晶體，其除了包括上述結構之外，其所包括的所述緩衝層包括：設置在氧化物半導體層的雙端部上的一對氧濃度降低的氧化物半

導體層；以及在該一對氧濃度降低的氧化物半導體層上設置的一對以高濃度含有氧的導電層。

另外，在本說明書中，絕緣體是指其電阻率是 $10^6(\Omega\cdot m)$ 以上的物質，半導體是指其電阻率是 $10^{-3}(\Omega\cdot m)$ 以上且低於 $10^6(\Omega\cdot m)$ 的物質，並且導電體是指其電阻率是低於 $10^{-3}(\Omega\cdot m)$ 的物質。

本發明的一個方式是一種薄膜電晶體的製造方法，其中，藉由對在與氧化物半導體層同一步驟中形成的導電層進行氧化處理來形成金屬氧化物層。另外，在該氧化處理中將用來形成源電極層及汲電極層的抗蝕劑轉用作光罩。因此，該導電層的雙端部不被該氧化處理氧化而殘留。其結果是，藉由該氧化處理形成一對導電層、以及夾在該一對導電層之間的金屬氧化物層。

另外，本發明的一個方式是一種薄膜電晶體的製造方法，其中，藉由對在與氧化物半導體層同一步驟中形成的導電層進行氧化處理來形成金屬氧化物層，接著，藉由熱處理的氧擴散而形成一對以高濃度含有氧的導電層及一對氧濃度降低的氧化物半導體層。

另外，本發明的一個方式是一種薄膜電晶體的製造方法，其中，藉由進行熱氧化處理形成金屬氧化物層、一對以高濃度含有氧的導電層及一對氧濃度降低的氧化物半導體層。

另外，本發明的一個方式是一種薄膜電晶體的製造方法，其中，藉由進行氧化處理及熱氧化處理形成金屬氧化

物層、一對以高濃度含有氧的導電層及一對氧濃度降低的氧化物半導體層。

另外，本發明的一個方式是一種半導體裝置，其包括該薄膜電晶體以及設置在該薄膜電晶體上的層間絕緣層。

本發明的一個方式是一種反交錯型的薄膜電晶體，其中，在氧化物半導體層的中央部上具有作為絕緣體或半導體的金屬氧化物層。該金屬氧化物層用作抑制雜質(氫或水等)侵入到氧化物半導體層的保護層。因此，可以防止薄膜電晶體的截止電流的增加或臨界值電壓的負向漂移。

另外，本發明的一個方式是一種反交錯型的薄膜電晶體，其中，在氧化物半導體層的雙端部和設置在該氧化物半導體層的雙端部上的一對導電層之間具有一對以高濃度含有氧的導電層及一對氧濃度降低的氧化物半導體層。一對氧濃度降低的氧化物半導體層的電阻低於氧化物半導體層的電阻。因此，可以使源電極層及汲電極層與氧化物半導體層的接合成為歐姆接合。

另外，在本發明的一個方式中，使用在與氧化物半導體層同一步驟中形成的導電層來形成該金屬氧化物層。因此，可以高效地形成高功能的薄膜電晶體。

另外，在本發明的一個方式中，使用在與氧化物半導體層同一步驟中形成的導電層來形成該金屬氧化物層，並且藉由使氧擴散到該導電層來形成該一對氧濃度降低的氧化物半導體層。因此，可以高效地形成高功能的薄膜電晶體。

另外，在本發明的一個方式中，作為半導體裝置所具有的薄膜電晶體，使用具有抑制雜質(氫或水等)侵入到氧化物半導體層的保護層的薄膜電晶體。由此，設置在薄膜電晶體上的層間絕緣層可以根據使用目的選擇各種材料、製造方法。換言之，可以提供高品質或高可靠性的半導體裝置。

【圖式簡單說明】

圖 1A 和圖 1B 是在實施例 1 中說明的薄膜電晶體的截面圖；

圖 2A 至圖 2D 是示出在實施例 2 中說明的薄膜電晶體的製造步驟的截面圖；

圖 3A 至圖 3D 是示出在實施例 2 中說明的薄膜電晶體的製造步驟的截面圖；

圖 4 是示出在實施例 3 中說明的液晶顯示裝置的像素的俯視圖；

圖 5 是示出在實施例 3 中說明的液晶顯示裝置的像素的截面圖；

圖 6 是示出在實施例 3 中說明的液晶顯示裝置的像素的等效電路圖；

圖 7 是示出在實施例 4 中說明的發光顯示裝置的像素的俯視圖；

圖 8 是示出在實施例 4 中說明的發光顯示裝置的像素的截面圖；

圖 9 是示出在實施例 4 中說明的發光顯示裝置的像素的等效電路圖；

圖 10 是在實施例 5 中說明的電子紙的截面圖；

圖 11A 至圖 11C 是藉由在實例 1 中說明的計算求出的態密度圖；

圖 12A 至 12C 是藉由在實例 1 中說明的計算求出的態密度圖；

圖 13A 和圖 13B 是藉由在實例 1 中說明的計算求出的態密度圖；

圖 14A 和圖 14B 是示出藉由在實例 1 中說明的計算求出的鈦層和 In-Ga-Zn-O 類氧化物半導體層的接合介面中的熱處理前後的原子配置的圖；

圖 15 是示出藉由在實例 1 中說明的計算求出的鈦層和 In-Ga-Zn-O 類氧化物半導體層的接合介面中的熱處理前後的鈦濃度及氧濃度的圖；

圖 16A 和 16B 是示出藉由在實例 1 中說明的計算求出的鈦氧化物層和 In-Ga-Zn-O 類氧化物半導體層的接合介面中的熱處理前後的原子配置的圖；

圖 17 示出藉由在實例 1 中說明的計算求出的鈦氧化物層和 In-Ga-Zn-O 類氧化物半導體層的接合介面中的熱處理前後的鈦濃度及氧濃度的圖。

【實施方式】

以下使用附圖詳細地說明本發明的實施例及實例。但

是，本發明不局限於以下的說明，只要是本領域的技術人員就容易理解一個事實是其形態和細節可以在不脫離本發明的宗旨及其範圍的條件下作各種各樣的變換。因此，公開的發明不應該被解釋為僅限於以下所示的實施例的記載內容。

另外，有時爲了明確起見，誇大表示在各實施例的附圖等中所示的各結構的尺寸、層的厚度或區域等。因此，不一定限定於其尺寸。另外，本說明書中使用的“第一”、“第二”、“第三”等序數是爲了避免結構要素的混同，而不是爲了在數目方面上限定。

實施例 1

在本實施例中，使用圖 1A、圖 1B 說明本發明的一個方式的薄膜電晶體的結構。接著，說明該薄膜電晶體所具有的特性。

圖 1A 示出形成在基板 100 上的薄膜電晶體 150 的截面圖。薄膜電晶體 150 包括：設置在基板 100 上的閘極電極層 101；設置在閘極電極層 101 上的閘極絕緣層 102；設置在閘極絕緣層 102 上的氧化物半導體層 103；設置在氧化物半導體層 103 上的具有作爲導電體的一對導電層 104a、104b 及作爲絕緣體或半導體的金屬氧化物層 105 的緩衝層 106；設置在導電層 104a(一對導電層 104a、104b 中的一方)上的源電極層 107a；以及設置在導電層 104b(一對導電層 104a、104b 中的另一方)上的汲電極層

107b。另外，一對導電層 104a、104b 設置在氧化物半導體層 103 的雙端部上，並且金屬氧化物層 105 設置在氧化物半導體層 103 的中央部上。

換言之，圖 1A 的薄膜電晶體 150 是一種反交錯型的薄膜電晶體，其中，在氧化物半導體層 103 與源電極層 107a 及汲電極層 107b 之間包括設置有一對導電層 104a、104b 及金屬氧化物層 105 的緩衝層 106。

圖 1B 示出形成在基板上的薄膜電晶體 151 的截面圖。薄膜電晶體 151 除了包括圖 1A 所示的薄膜電晶體 150 的結構以外還包括設置在氧化物半導體層 103 的雙端部上的一對氧濃度降低的氧化物半導體層 108a、108b 以及設置在一對氧濃度降低的氧化物半導體層 108a、108b 上的一對以高濃度含有氧的導電層 109a、109b。

換言之，圖 1B 的薄膜電晶體 151 是一種反交錯型的薄膜電晶體，其中，在氧化物半導體層 103 與源電極層 107a 及汲電極層 107b 之間包括緩衝層 110，該緩衝層 110 設置有：一對導電層 104a、104b；金屬氧化物層 105；一對氧濃度降低的氧化物半導體層 108a、108b；以及一對以高濃度含有氧的導電層 109a、109b。

作為基板 100，可以使用鋇硼矽酸鹽玻璃、硼矽酸鋁玻璃等玻璃基板等。

作為閘極電極層 101，可以使用選自鋁 (Al)、銅 (Cu)、鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd)、釷 (Sc) 中的元素；以上述元素為成分的合金；或者

以上述元素為成分的氮化物。另外，也可以使用這些材料的疊層結構。

作為絕緣層 102，可以使用氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鋇等絕緣體。另外，也可以採用由這些絕緣體構成的疊層結構。注意，氧氮化矽指的是如下物質：在組成方面上氧的含量比氮的含量多，並且在濃度範圍上，在包含 55 原子%至 65 原子%的氧、1 原子%至 20 原子%的氮、25 原子%至 35 原子%的矽、0.1 原子%至 10 原子%的氫的範圍中，以使總和成為 100 原子%的方式且以任意濃度包含各元素。另外，氮氧化矽指的是如下物質：在組成方面上氮的含量比氧的含量多，並且在濃度範圍上，在包含 15 原子%至 30 原子%的氧、20 原子%至 35 原子%的氮、25 原子%至 35 原子%的矽、15 原子%至 25 原子%的氫的範圍中，以使總和成為 100 原子%的方式且以任意濃度包含各元素。

作為氧化物半導體層 103，可以使用 In-Ga-Zn-O 類氧化物半導體、In-Sn-Zn-O 類氧化物半導體、In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、In-Sn-O 類氧化物半導體、Ga-Zn-O 類氧化物半導體或 Zn-O 類氧化物半導體等氧化物半導體。另外，也可以使用對這些氧化物半導體添加有氮(N)、矽(Si)的氧化物半導體。另外，也可以使用這些材料的疊層結構。

作為一對導電層 104a、104b，可以使用鈦(Ti)、銅(Cu)、鋅(Zn)、鋁(Al)等。另外，也可以使用具有上述金

屬元素的合金。並且，也可以使用這些材料的疊層結構。

作為金屬氧化物層 105，可以使用與一對導電層 104a、104b 相同的材料。但是，金屬氧化物層 105 的氧濃度比一對導電層 104a、104b 的氧濃度高。換言之，金屬氧化物層 105 具有與一對導電層 104a、104b 相同的金屬元素，並且金屬氧化物層 105 的氧濃度比導電層 104a、104b 的氧濃度高。

作為源電極層 107a 及汲電極層 107b，可以使用選自鋁 (Al)、銅 (Cu)、鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd)、釷 (Sc) 中的元素；以上述元素為成分的合金；或者以上述元素為成分的氮化物。另外，也可以使用這些材料的疊層結構。

作為一對氧濃度降低的氧化物半導體層 108a、108b，可以使用與氧化物半導體層 103 相同的材料。但是一對氧濃度降低的氧化物半導體層 108a、108b 的氧濃度比氧化物半導體層 103 的氧濃度低。換言之，一對氧濃度降低的氧化物半導體層 108a、108b 具有與氧化物半導體層 103 相同的金屬元素，並且一對氧濃度降低的氧化物半導體層 108a、108b 的氧濃度比氧化物半導體層 103 的氧濃度低。

作為一對以高濃度含有氧的導電層 109a、109b，可以使用與一對導電層 104a、104b 及金屬氧化物層 105 相同的材料。但是一對以高濃度含有氧的導電層 109a、109b 的氧濃度比一對導電層 104a、104b 的氧濃度高，並

比金屬氧化物層 105 的氧濃度低。換言之，一對以高濃度含有氧的導電層 109a、109b 具有與一對導電層 104a、104b 及金屬氧化物層 105 相同的金屬元素，並且一對以高濃度含有氧的導電層 109a、109b 的氧濃度比導電層 104a、104b 的氧濃度高並比金屬氧化物層 105 的氧濃度低。

在圖 1A 所示的薄膜電晶體 150 中，在源電極層 107a 及汲電極層 107b 與氧化物半導體層 103 之間設置有緩衝層 106。緩衝層 106 在氧化物半導體層 103 的中央部上具有作為絕緣體或半導體的金屬氧化物層 105。金屬氧化物層 105 用作抑制雜質(氫或水等)侵入到氧化物半導體層 103 的保護層。因此，可以防止薄膜電晶體 150 的截止電流的增加或臨界值電壓的負向漂移。

圖 1B 所示的薄膜電晶體 151 的緩衝層 110 包括：防止截止電流的增加或臨界值電壓的負向漂移的金屬氧化物層 105；以及氧化物半導體層 103 的雙端部上的一對氧濃度降低的氧化物半導體層 108a、108b。一對氧濃度降低的氧化物半導體層 108a、108b 的電阻比氧化物半導體層 103 的電阻低。因此，可以使源電極層 107a 及汲電極層 107b 與氧化物半導體層 103 的接合成為歐姆接合。

實施例 2

在本實施例中，使用圖 2A 至圖 3D 說明在實施例 1 中說明的薄膜電晶體的製造方法的一例。

另外，在本實施例中，“膜”是指形成在基板的整個面上的物體，雖然其根據之後進行的光石印步驟等被加工為所希望的形狀，但這裏指的是加工前的狀態。並且，“層”是指由“膜”藉由光石印步驟等加工成所希望的形狀而形成的物體，以及以形成在基板的整個面上為目的物體。

在基板 200 上形成第一導電膜 201。可以將以濺射法、真空蒸鍍法、脈衝雷射沉積法、離子電鍍法、有機金屬氣相生長法等為代表的薄膜沉積法用於第一導電膜 201 的形成。接著，在第一導電膜 201 上形成第一抗蝕劑 202。完成到此為止的步驟的截面圖相當於圖 2A。

接著，藉由將第一抗蝕劑 202 用作光罩並對第一導電膜 201 選擇性地進行蝕刻，來形成閘極電極層 203。另外，因為作為基板 200 及第一導電膜 201(閘極電極層 203)的材料可以使用在實施例 1 中舉出的材料，所以在此援用上述說明。另外，在形成閘極電極層 203 之後去除第一抗蝕劑 202。完成到此為止的步驟的截面圖相當於圖 2B。

接著，在基板 200 及閘極電極層 203 上形成閘極絕緣層 204。可以將以濺射法、真空蒸鍍法、脈衝雷射沉積法、離子電鍍法、有機金屬氣相生長法、電漿 CVD 法等為代表的薄膜沉積法用於閘極絕緣層 204 的形成。

接著，形成氧化物半導體膜 205。可以將以濺射法、真空蒸鍍法、脈衝雷射沉積法、離子電鍍法、有機金屬氣

相生長法等爲代表的薄膜沉積法用於氧化物半導體膜 205 的形成。在使用濺射法形成 In-Ga-Zn-O 類氧化物半導體的情況下，最好使用燒結有 In_2O_3 、 Ga_2O_3 、 ZnO 的靶材。作爲濺射氣體，使用以氬爲代表的稀有氣體。使用濺射法的成膜條件之一是如下條件：使用將 In_2O_3 、 Ga_2O_3 和 $\text{ZnO}(1:1:1)$ 混合並將其燒結的靶材；壓力是 0.4Pa；直流 (DC) 電源是 500W；氬流量是 30sccm；並且氧氣體流量是 15sccm。另外，最好在形成氧化物半導體膜 205 之後進行 100°C 至 600°C，典型是 200°C 至 400°C 的熱處理。藉由該熱處理進行氧化物半導體的原子級的重新排列。從可以消除阻礙氧化物半導體膜 205 中的載流子移動的歪斜的觀點而言，該熱處理(還包括光退火等)很重要。

接著，在氧化物半導體膜 205 上形成第二導電膜 206。可以將以濺射法、真空蒸鍍法、脈衝雷射沉積法、離子電鍍法、有機金屬氣相生長法等爲代表的薄膜沉積法用於第二導電膜 206 的形成。作爲第二導電膜 206 的材料，可以使用鈦(Ti)、銅(Cu)、鋅(Zn)、鋁(Al)等。另外，也可以使用具有上述金屬元素的合金。進而，也可以使用這些材料的疊層結構。接著，在第二導電膜 206 上形成第二抗蝕劑 207。完成到此爲止的步驟的截面圖相當於圖 2C。

接著，藉由將第二抗蝕劑 207 用作光罩並對氧化物半導體膜 205 及第二導電膜 206 選擇性地進行蝕刻，來形成氧化物半導體層 208 及導電層 209。另外，因爲作爲閘極

絕緣層 204 及氧化物半導體膜 205(氧化物半導體層 208) 的材料可以使用在實施例 1 中舉出的材料，所以在此援用上述說明。另外，在形成氧化物半導體層 208 及導電層 209 之後去除第二抗蝕劑 207。完成到此為止的步驟的截面圖相當於圖 2D。

接著，在閘極絕緣層 204 及導電層 209 上形成第三導電膜 210。可以將以濺射法、真空蒸鍍法、脈衝雷射沉積法、離子電鍍法、有機金屬氣相生長法等為代表的薄膜沉積法用於第三導電膜 210 的形成。接著，在第三導電膜 210 上形成第三抗蝕劑 211a、211b。完成到此為止的步驟的截面圖相當於圖 3A。

接著，藉由將第三抗蝕劑 211a、211b 用作光罩對第三導電膜 210 選擇性地進行蝕刻，來形成源電極層 212a 及汲電極層 212b。另外，在該蝕刻步驟中，不重疊於源電極層 212a 及汲電極層 212b 的區域(露出部)的導電層 209 的一部分也被蝕刻，而在不重疊於源電極層 212a 及汲電極層 212b 的區域(露出部)中形成具有凹部的導電層 213。另外，因為作為第三導電膜 210(源電極層 212a 及汲電極層 212b)的材料可以使用在實施例 1 中舉出的材料，所以在此援用上述說明。完成到此為止的步驟的截面圖相當於圖 3B。

接著，將第三抗蝕劑 211a、211b 用作光罩進行氧化處理。作為該氧化處理，可以使用氧化氣氛下的熱氧化處理、電漿氧化處理、氧離子注入等。另外，也可以如在進

行氧化氣氛下的熱氧化處理之後進行電漿氧化處理那樣組合上述多個處理。另外，作為進行熱氧化處理的氧化氣氛，可以採用乾燥氧氣氛、氧及稀有氣體的混合氣氛、大氣氣氛等。藉由該氧化處理，使設置在氧化物半導體層 208 上的導電層 213 的中央部(露出部)氧化，而形成作為絕緣體或半導體的金屬氧化物層 214。另外，隨著金屬氧化物層 214 的形成，在氧化物半導體層 208 的雙端部上形成一對導電層 215a、215b。具體而言，源電極層 212a 及汲電極層 212b 以及第三抗蝕劑 211a、211b 保護重疊於源電極層 212a 及汲電極層 212b 的區域(非露出部)的導電層 213 免受氧化。其結果是，一對導電層 215a、215b 殘留。另外，藉由該氧化處理，被氧化的區域的體積增大。換言之，金屬氧化物層 214 的體積比氧化前的導電層 213 的中央部的體積大。完成到此為止的步驟的的截面圖相當於圖 3C。另外，完成到此為止的步驟也就完成了圖 1A 所示的薄膜電晶體 150。

另外，本實施例的薄膜電晶體不局限於圖 1A、圖 3C 所示的結構。具體而言，雖然在圖 1A、圖 3C 中示出了藉由該氧化處理，只有不重疊於源電極層 212a 及汲電極層 212b 的區域(中央部)的導電層 213 被氧化而形成金屬氧化物層 214 的薄膜電晶體，但是本實施例的薄膜電晶體還包括其他區域被氧化的薄膜電晶體。例如，本實施例的薄膜電晶體還包括藉由該氧化處理，不由第三抗蝕劑 211a、211b 覆蓋的源電極層 212a 及汲電極層 212b 的側部被氧

化的薄膜電晶體。另外，在源電極層 212a 及汲電極層 212b 的側面被氧化的情況下，藉由只在側部表面區域中進行該氧化，可以將源電極層 212a 及汲電極層 212b 用作電極。與此同樣，本實施例的薄膜電晶體還包括藉由該氧化處理，重疊於源電極層 212a 及汲電極層 212b 的區域(非露出部)的導電層 213 的一部分的內部被氧化的薄膜電晶體。

另外，雖然在圖 1A、圖 3C 中示出了利用該氧化處理形成的金屬氧化物層 214 的厚度比一對導電層 215a、215b 的厚度厚的薄膜電晶體，但是本實施例的薄膜電晶體還包括金屬氧化物層 214 的厚度比一對導電層 215a、215b 的厚度薄的薄膜電晶體。另外，藉由對具有凹部的導電層 213 進行氧化處理，來形成金屬氧化物層 214。另外，該凹部是當進行形成源電極層 212a 及汲電極層 212b 的蝕刻步驟時形成的。換言之，藉由控制形成源電極層 212a 及汲電極層 212b 的蝕刻步驟的條件，可以控制金屬氧化物層 214 的厚度。具體而言，藉由將形成源電極層 212a 及汲電極層 212b 時的過蝕刻的時間設定得長，可以將該凹部形成得深。由此，可以使金屬氧化物層 214 的厚度薄於一對導電層 215a、215b 的厚度。

在製造圖 1B 所示的薄膜電晶體 151 的情況下，接著進行 100°C 至 600°C，典型為 200°C 至 400°C 的熱處理。藉由該熱處理，氧化物半導體層 208 中的氧擴散到一對導電層 215a、215b。另外，當比較該氧的向一對導電層

215a、215b 的擴散和向金屬氧化物層 214 的擴散時，向一對導電層 215a、215b 擴散的氧量多於向金屬氧化物層 214 擴散的氧量。因此，在氧化物半導體層 208 的雙端部上形成一對氧濃度降低的氧化物半導體層 216a、216b，並且在一對氧濃度降低的氧化物半導體層 216a、216b 上形成一對以高濃度含有氧的導電層 217a、217b。然後，去除第三抗蝕劑 211a、212b。完成到此為止的步驟的截面圖相當於圖 3D。

雖然在此示出了在進行氧化處理之後進行在製造圖 1B 所示的薄膜電晶體 151 的情況下進行的熱處理的製造步驟，但是只要在形成第二導電膜 206 之後進行該熱處理，就對該熱處理的時序沒有特別的限制。另外，該熱處理可以兼作用於上述氧化物半導體層 208 的原子級的重新排列的熱處理。

另外，從形成的薄膜電晶體的特性的觀點而言，最好在進行氧化處理之後進行熱處理。這是因為如下緣故：當在進行氧化處理之前(在形成金屬氧化物層 214 之前)進行熱處理時，不僅在氧化物半導體層 208 的上方雙端部上，而且在氧化物半導體層 208 的上方整體上形成氧濃度降低的氧化物半導體層，由此所形成的薄膜電晶體的截止電流增加。

另外，從製造步驟的觀點而言，最好進行如下熱氧化處理作為上述氧化處理，即在形成一對氧濃度降低的氧化物半導體層 216a、216b 以及一對以高濃度含有氧的導電

層 217a、217b 的溫度下且氧化氣氛下的熱氧化處理。這是因為可以在同一步驟中形成金屬氧化物層 214、氧濃度降低的氧化物半導體層 216a、216b 及以高濃度含有氧的導電層 217a、217b 的緣故。兼作該氧化處理和該熱處理的處理條件之一是在乾燥氧氣氛下以 350°C 進行 1 小時的熱氧化處理。

另外，從形成的薄膜電晶體的可靠性的觀點而言，最好將熱氧化處理和氧化處理組合而進行。這是因為藉由將金屬氧化物層 214 的厚度設定得厚，可以提高其用作抑制雜質(氫或水等)侵入到氧化物半導體層 208 的保護層的功能的緣故。

因為在薄膜電晶體 150 中，使用在與氧化物半導體層 208 同一步驟中形成的導電層 209(導電層 213)來形成具有防止截止電流的增加或臨界值電壓的負向漂移的功能的金屬氧化物層 214，所以可以高效地形成高功能的薄膜電晶體。與此同樣，因為在薄膜電晶體 151 中，使用與形成氧化物半導體層 208 同一步驟中形成的導電層 209(導電層 213)來形成具有防止截止電流的增加或臨界值電壓的負向漂移的功能的金屬氧化物層 214，並藉由氧擴散到一對導電層 215a、215b 而形成具有使氧化物半導體層 208 與源電極層 212a 及汲電極層 212b 進行歐姆接合的功能的一對氧濃度降低的氧化物半導體層 216a、216b，所以可以高效地形成高功能的薄膜電晶體。

實施例 3

在本實施例中，示出使用在實施例 1 中所說明的薄膜電晶體製造的半導體裝置的一例。具體而言，圖 4 至圖 6 示出將該薄膜電晶體應用於設置在主動矩陣基板的像素部中的薄膜電晶體的液晶顯示裝置。接著，說明該液晶顯示裝置。

另外，因為在半導體裝置中，薄膜電晶體的源極電極及汲極電極根據工作條件等交替，所以難以特定哪個是源極電極或汲極電極。於是，以下將源電極層及汲電極層中的一方稱為第一電極層，並且將源電極層及汲電極層中的另一方稱為第二電極層，來進行區別。

圖 4 是示出主動矩陣基板的一個像素的俯視圖。本實施例的液晶顯示裝置的像素包括三個子像素。在每個子像素中設置對薄膜電晶體 300 及液晶層施加電壓的像素電極 301。在實施例 1 中示出的薄膜電晶體可以應用於圖 4 中的薄膜電晶體 300。在像素部中設置有多個上述像素。另外，設置有多個閘極佈線 302、多個源極電極佈線 303、多個電容佈線 304。

圖 5 是對應於圖 4 的 A-B 線的截面圖。包括在圖 5 中的薄膜電晶體 450 是圖 1A 所示的薄膜電晶體。換言之，薄膜電晶體 450 是一種薄膜電晶體，包括：設置在基板 400 上的閘極電極層 401；設置在閘極電極層 401 上的閘極絕緣層 402；設置在閘極絕緣層 402 上的氧化物半導體層 403；設置在氧化物半導體層 403 上的具有一對導電層

404a、404b 及金屬氧化物層 405 的緩衝層 406；設置在導電層 404a 上的第一電極層 407a；以及設置在導電層 404b 上的第二電極層 407b。

因為作為可以應用於基板 400 至第一電極層 407a 及第二電極層 407b 的材料及製造方法可以使用在實施例 1 中說明的材料及在實施例 2 中說明的製造方法，所以在此援用上述說明。

另外，子像素具有電容元件 451。電容元件 451 包括其材料與薄膜電晶體 450 的閘極電極層 401 相同的電容佈線 408、閘極絕緣層 402 以及延伸到子像素的薄膜電晶體 450 的第二電極層 407b。

在薄膜電晶體 450 及電容元件 451 上設置層間絕緣層 409。因為在圖 5 所示的薄膜電晶體 450 中設置有抑制雜質(氫或水等)侵入到氧化物半導體層 403 的金屬氧化物層 405，所以作為層間絕緣層 409 可以使用各種材料、製造方法。例如，可以使用電漿 CVD 法或濺射法形成氧化矽層、氧氮化矽層、氮化矽層或氮氧化矽層等作為層間絕緣層 409。另外，也可以使用：聚醯亞胺、聚醯胺、聚乙烯苯酚、苯並環丁烯、丙烯酸樹脂或環氧等有機材料；矽氧烷樹脂等矽氧烷材料；或噁唑樹脂等且藉由旋塗法等的塗敷法來形成層間絕緣層 409。矽氧烷材料相當於包含 Si-O-Si 鍵的材料。矽氧烷的骨架結構由矽(Si)和氧(O)的鍵構成。作為取代基，可以使用有機基(例如烷基或芳烴)、氟基。有機基也可以包含氟基。另外，在設置於層間絕緣層

209 中的接觸孔 410 中，薄膜電晶體 450 的第二電極層 407b 電連接到像素電極 411。

圖 6 是對應於圖 4 的子像素的等效電路圖。薄膜電晶體 500 的閘極電極電連接到閘極佈線 501，並且第一電極電連接到源極電極佈線 502。電容元件 503 的一方的電極電連接到薄膜電晶體 500 的第二電極，並且另一方的電極電連接到電容佈線 504。藉由像素電極被施加電壓的液晶層 505 電連接到薄膜電晶體 500 的第二電極及電容元件 503 的一方的電極。

液晶顯示裝置包括由主動矩陣基板和其表面上設置有對置電極的對置基板夾持的液晶層。利用施加在主動矩陣基板的像素電極和對置基板的對置電極之間的電壓控制構成液晶層的液晶分子的取向。液晶顯示裝置藉由該液晶層的液晶分子的取向來透過光或進行遮光而進行圖像的顯示。在液晶顯示裝置中，主動矩陣基板的像素部的薄膜電晶體是控制施加到液晶層的電壓的開關元件。

在本實施例的液晶顯示裝置中，將在氧化物半導體層 403 上設置有金屬氧化物層 405 的薄膜電晶體 450 用於主動矩陣基板的像素部的薄膜電晶體。金屬氧化物層 405 用作抑制雜質(氫或水等)侵入到氧化物半導體層 403 的保護層。因此，可以根據使用目的選擇層間絕緣層 409 的材料、製造方法。其結果是，可以提供高品質或高可靠性的液晶顯示裝置。另外，雖然在此示出應用了圖 1A 所示的薄膜電晶體的液晶顯示裝置，但是在採用圖 1B 所示的薄

膜電晶體的情況下也有同樣的效果。

實施例 4

在本實施例中，示出使用在實施例 1 中所說明的薄膜電晶體製造的半導體裝置的一例。具體而言，圖 7 至圖 9 示出將該薄膜電晶體用於設置在主動矩陣基板的像素部中的薄膜電晶體的發光顯示裝置。接著，說明本實施例的發光顯示裝置。另外，作為本實施例的發光顯示裝置所具有的顯示元件，示出利用電致發光的發光元件。根據其發光材料是有機化合物還是無機化合物對利用電致發光的發光元件進行區別，而一般將前者稱為有機 EL 元件，而將後者稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別注入到包含發光有機化合物的層，於是，電流流過。而且，藉由這些載流子(電子和電洞)重新結合，發光有機化合物形成激發態，並且當該激發態恢復到基態時獲得發光。根據該機理，這種發光元件稱為電流激發型的發光元件。

無機 EL 元件根據其元件結構分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件包括在黏合劑中分散有發光材料的粒子的發光層，並且其發光機理是利用施主能級和受主能級的施主-受主重新結合型發光。薄膜型無機 EL 元件具有利用電介質層夾持發光層並進一步用電極夾持該夾有發光層的電介質層的結構，並且

其發光機理是利用金屬離子的內層電子躍遷的定域型發光。另外，在此使用有機 EL 元件作為發光元件而進行說明。

圖 7 是示出主動矩陣基板的一個像素的俯視圖。本實施例的發光顯示裝置的像素包括三個子像素。在每個子像素中設置有薄膜電晶體 600、601、對發光元件施加電壓的像素電極 602(為了方便起見，像素電極 602 的一部分未圖示出)。在實施例 1 中所示的薄膜電晶體可以用於圖 6 中的薄膜電晶體 600、601。在像素部中設置有多個上述像素。另外，設置有多個閘極佈線 603、多個源極電極佈線 604、多個電源線 605。另外，對電源線 605 設定高電源電位 VDD。

圖 8 是對應於圖 7 的 C-D 線、E-F 線的截面圖。薄膜電晶體 750、751 是圖 1A 所示的薄膜電晶體。換言之，薄膜電晶體 750、751 是一種薄膜電晶體，包括：設置在基板 700 上的閘極電極層 701；設置在閘極電極層 701 上的閘極絕緣層 702；設置在閘極絕緣層 702 上的氧化物半導體層 703；設置在氧化物半導體層 703 上的具有導電層 704a、704b 及金屬氧化物層 705 的緩衝層 706；設置在導電層 704A 上的第一電極層 707a；以及設置在導電層 704B 上的第二電極層 707b。

因為作為用於基板 700 至第一電極層 707a 及第二電極層 707b 的材料及製造方法可以使用在實施例 1 中所說明的材料及在實施例 2 中說明的製造方法，所以在此援用

上述說明。

另外，子像素具有電容元件 752。電容元件 752 包括其材料與薄膜電晶體 750、751 的閘極電極層 701 相同的電容佈線 708、閘極絕緣層 702 以及延伸到子像素的薄膜電晶體 751 的第一電極層 707a。

在薄膜電晶體 750、751 及電容元件 752 上設置有層間絕緣層 709。因為在圖 8 所示的薄膜電晶體 750、751 中設置有抑制雜質(氫或水等)侵入到氧化物半導體層 703 的金屬氧化物層 705，所以作為層間絕緣層 709 可以使用各種材料、製造方法。例如，可以使用電漿 CVD 法或濺射法形成氧化矽層、氧氮化矽層、氮化矽層或氮氧化矽層等作為層間絕緣層 709。另外，也可以使用：聚醯亞胺、聚醯胺、聚乙烯苯酚、苯並環丁烯、丙烯酸樹脂或環氧等有機材料；矽氧烷樹脂等矽氧烷材料；或噁唑樹脂等且藉由旋塗法等的塗敷法來形成層間絕緣層 709。矽氧烷材料相當於包含 Si-O-Si 鍵的材料。矽氧烷的骨架結構由矽(Si)和氧(O)的鍵構成。作為取代基，可以使用有機基(例如烷基或芳烴)、氟基。有機基也可以包含氟基。另外，在層間絕緣層 709 中設置有多個接觸孔 710a、710b、710c。在接觸孔 710c 中薄膜電晶體 751 的第二電極層 707b 電連接到像素電極 711。

圖 9 是對應於圖 7 的子像素的等效電路圖。薄膜電晶體 800 的閘極電極電連接到閘極佈線 801，並且第一電極電連接到源極電極佈線 802。電容元件 803 的一方的電極

電連接到薄膜電晶體 800 的第二電極，並且另一方的電極電連接到電源線 804。薄膜電晶體 805 的閘極電極電連接到薄膜電晶體 800 的第二電極，並且第一電極連接到電源線 804 及電容元件 803 的另一方的電極。藉由像素電極被施加電壓的有機 EL 元件 806 電連接到薄膜電晶體 805 的第二電極。

發光顯示裝置包括設置在主動矩陣基板的像素電極上的有機 EL 元件和設置在該有機 EL 元件上的共同電極。另外，對共同電極設定低電源電位 VSS。當對該有機 EL 元件施加藉由薄膜電晶體施加到像素電極的高電源電位 VDD 和施加到共同電極的低電源電位 VSS 的電位差的電壓時電流流過，而得到發光。在發光顯示裝置中，主動矩陣基板的像素部的薄膜電晶體是控制流過有機 EL 元件的電流的開關元件。

在本實施例的發光顯示裝置中，將在氧化物半導體層 703 上設置有金屬氧化物層 705 的薄膜電晶體 750、751 用於主動矩陣基板的像素部的薄膜電晶體。金屬氧化物層 705 用作抑制雜質(氫或水等)侵入到氧化物半導體層 703 的保護層。因此，可以根據使用目的選擇層間絕緣層 709 的材料、製造方法。其結果是，可以提供高品質或高可靠性的發光顯示裝置。另外，雖然在此示出了應用圖 1A 所示的薄膜電晶體的發光顯示裝置，但是在採用圖 1B 所示的薄膜電晶體的情況下也有同樣的效果。

實施例 5

在本實施例中，示出使用在實施例 1 中所說明的薄膜電晶體製造的半導體裝置的一例。具體而言，圖 10 示出將該薄膜電晶體用於設置在主動矩陣基板上的薄膜電晶體的電子紙。接著，說明本實施例的電子紙。

圖 10 是主動矩陣型的電子紙的截面圖。設置在第一基板(主動矩陣基板)900 上的薄膜電晶體 950 是在圖 1A 中示出的薄膜電晶體。換言之，薄膜電晶體 950 是一種薄膜電晶體，包括：設置在第一基板 900 上的閘極電極層 901；設置在閘極電極層 901 上的閘極絕緣層 902；設置在閘極絕緣層 902 上的氧化物半導體層 903；設置在氧化物半導體層 903 上的具有一對導電層 904a、904b 及金屬氧化物層 905 的緩衝層 906；設置在導電層 904a 上的第一電極層 907a；以及設置在導電層 904b 上的第二電極層 907b。

因為作為可以應用於基板 900 至第一電極層 907a 及第二電極層 907b 的材料及製造方法可以使用在實施例 1 中所說明的材料及在實施例 2 中說明的製造方法，所以在此援用上述說明。

在薄膜電晶體 950 上設置有層間絕緣層 908。因為在圖 10 所示的薄膜電晶體 950 中設置有抑制雜質(氫或水等)侵入到氧化物半導體層 903 的金屬氧化物層 905，所以作為層間絕緣層 908 可以使用各種材料、製造方法。例如，可以使用電漿 CVD 法或濺射法形成氧化矽層、氧氮

化矽層、氮化矽層或氮氧化矽層等作為層間絕緣層 908。另外，也可以使用：聚醯亞胺、聚醯胺、聚乙烯苯酚、苯並環丁烯、丙烯酸樹脂或環氧等有機材料；矽氧烷樹脂等矽氧烷材料；或噁唑樹脂等且藉由旋塗法等的塗敷法來形成層間絕緣層 908。矽氧烷材料相當於包含 Si-O-Si 鍵的材料。矽氧烷的骨架結構由矽(Si)和氧(O)的鍵構成。作為取代基，可以使用有機基(例如烷基或芳烴)、氟基。有機基也可以包含氟基。另外，在層間絕緣層 908 中設置有接觸孔 909。在接觸孔 909 中薄膜電晶體 950 的第二電極層 907b 電連接到像素電極 910。

在像素電極 910 和設置在第二基板 911 上的共同電極 912 之間設置有扭轉球 915，該扭轉球 915 分別具有黑色區 913a、白色區 913b、以及空洞 914，其中的空洞 914 位於黑色區 913a 和白色區 913b 的周圍，並充滿了液體。並且，扭轉球 915 的周圍填充有樹脂等的填充材料 916。

本實施例的電子紙使用扭轉球顯示方式。該電子紙在像素電極及共同電極之間具有被塗成白色和黑色的扭轉球。扭轉球藉由根據施加到第一基板的像素電極及第二基板的共同電極之間的電壓控制方向來進行顯示。在電子紙中，主動矩陣基板的薄膜電晶體是控制施加到扭轉球的電壓的開關元件。

在本實施例的發光顯示裝置中，將在氧化物半導體層 903 上設置有金屬氧化物層 905 的薄膜電晶體 950 用於主動矩陣基板的薄膜電晶體。金屬氧化物層 905 用作抑制雜

質(氫或水等)侵入到氧化物半導體層 903 的保護層。因此，可以根據使用目的選擇層間絕緣層 908 的材料、製造方法。其結果是，可以提供高品質或高可靠性的電子紙。另外，雖然在此示出了使用圖 1A 所示的薄膜電晶體的電子紙，但是在採用圖 1B 所示的薄膜電晶體的情況下也有同樣的效果。

實例 1

在此，示出關於如下的計算結果：鈦及鈦氧化物的電子狀態的根據不同氧含量的變化；氧化物半導體層的電子狀態的根據氧缺損的變化；熱處理中的鈦層和氧化物半導體層的接合介面近旁的氧的行動；以及熱處理中的鈦氧化物層及氧化物半導體層的接合介面近旁的氧的行動。接著，驗證作為緩衝層的構成材料使用了鈦的實例 1 的薄膜電晶體。

首先，驗證鈦及鈦氧化物的電子狀態的根據不同氧含量的變化。在此，示出藉由根據第一原理計算的結構最適化而求出的鈦及多個鈦氧化物的結晶結構的態密度的結果，在該第一原理計算中使用基於密度泛函理論(Density Functional Theory:DFT)的平面波廣勢方法。具體而言，示出在對如下結構進行最適化之後的態密度圖，該結構是 Ti、TiO(NaCl 型)、Ti₂O₃(Al₂O₃ 型)、TiO₂(Anatase 型)、TiO₂(Rutile 型)及 TiO₂(Brookite 型)的結構。另外，作為計算程式使用 CASTEP，並且作為交換相關泛函使用

GGA-PBE。

圖 11A、圖 11B、圖 11C 分別是 Ti、TiO(NaCl 型)、 $Ti_2O_3(Al_2O_3$ 型)的態密度圖。在圖 11A、圖 11B、圖 11C 中沒有帶隙。換言之，Ti、TiO(NaCl 型)、 $Ti_2O_3(Al_2O_3$ 型)是導電體。

圖 12A、圖 12B、圖 12C 分別是 TiO_2 (Anatase 型)、 TiO_2 (Rutile 型)及 TiO_2 (Brookite 型)的態密度圖。圖 12A、圖 12B、圖 12C 的費密能級(0eV)存在於價電子帶的上端，並且有帶隙。換言之， TiO_2 (Anatase 型)、 TiO_2 (Rutile 型)及 TiO_2 (Brookite 型)分別是絕緣體或半導體。

根據圖 11A 至圖 12C，可知：即使鈦含有一定量以下的氧，鈦也是導電體；並且若鈦含有一定量以上的氧，鈦被絕緣體化或半導體化。

接著，驗證氧化物半導體層的電子狀態的根據氧缺乏的變化。在此，對於作為氧化物半導體層使用 In-Ga-Zn-O 類氧化物半導體材料(In:Ga:Zn:O=1:1:1:4)的情況進行計算。

首先，使用根據經典分子動力學(Classical Molecular Dynamics)的熔融淬冷法(melt-quenching method)製造 In-Ga-Zn-O 類氧化物半導體的非晶結構。另外，在此製造的非晶結構是總原子數是 84 個且密度是 5.9g/cm^3 的結構。另外，至於原子間勢，在金屬-氧間及氧-氧間使用 Born-Mayer-Huggins 型勢，並且在金屬-金屬間使用 Lennard-Jones 型勢，並且藉由 NVT 系綜(正則系綜；canonical

ensemble)進行計算。作為計算程式，使用 Materials Explorer。

然後，在室溫(298K)下對藉由上述計算得到的結構進行利用第一原理分子動力學法(First Principle Molecular Dynamics;以下稱為第一原理 MD)的退火，該第一原理 MD 使用基於密度泛函理論(Density Functional Theory: DFT)的層勢平面波方法。然後對其結構進行最適化，並求出態密度。另外，對隨機地去除了一個氧原子的結構(氧缺損結構)也進行第一原理 MD 計算和最適化，並計算態密度。另外，作為計算程式使用 CASTEP，作為交換相關泛函使用 GGA-PBE，並且對 NVT 系綜進行第一原理 MD。

圖 13A、圖 13B 是藉由上述計算得到的 In-Ga-Zn-O 類氧化物半導體的態密度圖。圖 13A 是沒有氧缺損的結構的態密度圖，而圖 13B 是氧缺損結構的態密度圖。在圖 13A 中費密能級(0eV)存在於價電子帶的上端並且具有帶隙，而在圖 13B 中費密能級(0eV)存在於傳導帶內。換言之，可知氧缺損結構的電阻低於沒有氧缺損的結構的電阻。

接著，驗證熱處理中的鈦層和氧化物半導體層的接合介面近旁的氧的行動。在此，在藉由上述第一原理計算得到的 In-Ga-Zn-O 類氧化物半導體的非晶結構上層疊鈦，並對該結構進行最適化，然後藉由 NVT 系綜進行第一原理 MD 計算。作為計算程式使用 CASTEP，並且作為交換相關泛函使用 GGA-PBE。另外，將溫度條件設定為 350°C (623K)。

圖 14 示出實施第一原理 MD 前後的結構。圖 14A 是實施第一原理 MD 之前的結構，而圖 14B 是實施第一原理 MD 之後的結構。並且，圖 15 示出實施第一原理 MD 前後的鈦以及氧在 c 軸方向上的密度。圖 15 是對圖 14A 和圖 14B 的各原子分配高斯分佈密度並將所有的原子加起來而求出的密度分佈。另外，圖 15 的橫軸表示原子密度，而縱軸表示 c 軸。圖 15 中的各曲線分別表示實施第一原理 MD 之前的鈦密度(Ti_before)、實施第一原理 MD 之後的鈦密度(Ti_after)、實施第一原理 MD 之前的氧密度(O_before)、實施第一原理 MD 之後的氧密度(O_after)。根據圖 15，O_after 位於比 O_before 更偏向 c 軸的正值方向一側，而可知在實施第一原理 MD 之後包含在鈦中的氧濃度增加。換言之，可知藉由 350°C (623K)的熱處理，氧化物半導體層中的氧擴散到鈦層。

接著，驗證熱處理中的鈦氧化物(在此，使用 TiO₂(Rutile 型))層及氧化物半導體層的接合介面近旁的氧的行動。在此，在藉由上述第一原理計算得到的 In-Ga-Zn-O 類氧化物半導體的非晶結構上層疊 TiO₂(Rutile 型)，並對該結構進行最適化，然後藉由 NVT 系綜進行第一原理 MD 計算。作為計算程式使用 CASTEP，並且作為交換相關泛函使用 GGA-PBE。另外，將溫度條件設定為 700°C (973K)。

圖 16 示出實施第一原理 MD 前後的結構。圖 16A 是實施第一原理 MD 之前的結構，而圖 16B 是實施第一原理

MD 之後的結構。並且圖 17 示出實施第一原理 MD 前後的鈦以及氧在 c 軸方向上的密度，圖 17 是對圖 16 的各原子分派高斯分佈密度並將所有的原子加起來而求出的密度分佈。另外，圖 17 的橫軸表示原子密度，而縱軸表示 c 軸。圖 17 中的各曲線分別表示實施第一原理 MD 之前的鈦密度(Ti_before)、實施第一原理 MD 之後的鈦密度(Ti_after)、實施第一原理 MD 之前的氧密度(O_before)、實施第一原理 MD 之後的氧密度(O_after)。在圖 17 中，在 O_after 和 O_before 之間沒有如在圖 15 中觀察到的那樣的大差異。換言之，可知：即使進行 700°C (973K) 的熱處理，氧化物半導體層和 TiO₂(Rutile 型)層之間的氧的擴散也沒有進行 350°C 的熱處理時氧化物半導體層和鈦層之間的擴散那樣活躍。

以下總結在本實例中進行的計算結果。

根據圖 11A 至 12C，可知：多個鈦氧化物的電子狀態分別不同，並且當其氧濃度增高時其被絕緣體化或半導體化。具體而言，可知：TiO(NaCl 型)、Ti₂O₃(Al₂O₃ 型)是導體，並且 TiO₂(Anatase 型)、TiO₂(Rutile 型)及 TiO₂(Brookite 型)是絕緣體或半導體。換言之，可知：鈦氧化物當氧含量多時被絕緣體化或半導體化，並且其電子狀態根據氧的比率變化。

根據圖 13A 和圖 13B 可知：藉由使 In-Ga-Zn-O 類氧化物半導體成爲氧缺損結構，其電子狀態變化並被低電阻化。另外，在圖 13A 和圖 13B 中，比較其總原子數是 84

個(In:Ga:Zn:O=1:1:1:4)的非晶結構和從該結構去除一個氧原子的結構的電子狀態。換言之，比較氧濃度是大約57.1at.%(氧原子數 48/全原子數 84)的結構和氧濃度是大約56.6at.%(氧原子數 47/全原子數 83)的結構。由此，可以說：與上述鈦相比，In-Ga-Zn-O類氧化物半導體是氧濃度的變化對電子狀態影響大的材料。

根據圖 14A、圖 14B 及圖 15，可知：當對鈦層及 In-Ga-Zn-O 類氧化物半導體層的疊層進行 350°C 的熱處理時，In-Ga-Zn-O 類氧化物半導體層中的氧擴散到鈦層。換言之，可知：藉由熱處理，形成比熱處理之前的鈦層含有高濃度的氧的鈦層和其氧濃度比熱處理之前的氧化物半導體層的氧濃度低的氧化物半導體層。另外，從上述鈦及 In-Ga-Zn-O 類氧化物半導體層的氧濃度的變化對其電子狀態的影響可見：與鈦層相比以高濃度含有氧的鈦層的電阻沒有增加多少，與此相反，與氧化物半導體層相比氧濃度降低的氧化物半導體層的電阻降低。

根據圖 16A、圖 16B 及圖 17，可知：即使對 TiO₂(Rutile 型)層及 In-Ga-Zn-O 類氧化物半導體層的疊層進行高溫，即 700°C 的熱處理，也難以產生超過 350°C 時的氧化物半導體層和鈦層的疊層中的擴散的擴散。換言之，可知：即使進行熱處理，也難以形成其氧濃度比氧化物半導體層和鈦層的疊層的氧濃度低的氧化物半導體層。

接著，驗證將鈦用於實施例 1 的薄膜電晶體的緩衝層的情況。藉由對鈦層進行氧化處理，形成作為絕緣體或半

導體的 TiO_2 (Anatase 型)、 TiO_2 (Rutile 型)及 TiO_2 (Brookite 型)等鈦氧化物，而可以將其用作緩衝層的金屬氧化物層。另外，藉由進行 350°C 的熱處理，使來自氧化物半導體層的氧擴散到鈦層，而形成以高濃度含有氧的鈦層及氧濃度降低的氧化物半導體層。因此，可以有效地使氧化物半導體層低電阻化，並且使隔著緩衝層的源電極層及汲電極層與氧化物半導體層的接合成為歐姆接合。並且，與氧化物半導體層和導電層的介面相比，在氧化物半導體層和金屬氧化物層的介面中難以產生氧的擴散。因此，在該介面中不容易形成低電阻且氧濃度降低的氧化物半導體層，而可以抑制薄膜電晶體的截止電流的增加。

據此，可知：鈦是用於實施例 1 的薄膜電晶體的緩衝層的最好的材料。

本申請基於 2009 年 2 月 20 日在日本專利局受理的日本專利申請序列號 2009-037912 而製作，所述申請內容包括在本說明書中。

【符號說明】

100：基板

101：閘極電極層

102：閘極絕緣層

103：氧化物半導體層

104a：導電層

104b：導電層

- 105：金屬氧化物層
- 106：緩衝層
- 107a：源電極層
- 107b：汲電極層
- 108a：氧濃度降低的氧化物半導體層
- 108b：氧濃度降低的氧化物半導體層
- 109a：以高濃度含有氧的導電層
- 109b：以高濃度含有氧的導電層
- 110：緩衝層
- 150：薄膜電晶體
- 151：薄膜電晶體
- 200：基板
- 201：第一導電膜
- 202：第一抗蝕劑
- 203：閘極電極層
- 204：閘極絕緣層
- 205：氧化物半導體膜
- 206：第二導電膜
- 207：第二抗蝕劑
- 208：氧化物半導體層
- 209：導電層
- 210：第三導電膜
- 211a：第三抗蝕劑
- 211b：第三抗蝕劑

- 212a : 源電極層
- 212b : 汲電極層
- 213 : 導電層
- 214 : 金屬氧化物層
- 215a : 導電層
- 215b : 導電層
- 216a : 氧濃度降低的氧化物半導體層
- 216b : 氧濃度降低的氧化物半導體層
- 217a : 以高濃度含有氧的導電層
- 217b : 以高濃度含有氧的導電層
- 300 : 薄膜電晶體
- 301 : 像素電極
- 302 : 閘極佈線
- 303 : 源極電極佈線
- 304 : 電容佈線
- 400 : 基板
- 401 : 閘極電極層
- 402 : 閘極絕緣層
- 403 : 氧化物半導體層
- 404a : 導電層
- 404b : 導電層
- 405 : 金屬氧化物層
- 406 : 緩衝層
- 407a : 第一電極層

- 407b : 第二電極層
- 408 : 電容佈線
- 409 : 層間絕緣層
- 410 : 接觸孔
- 411 : 像素電極
- 450 : 薄膜電晶體
- 451 : 電容元件
- 500 : 薄膜電晶體
- 501 : 閘極佈線
- 502 : 源極電極佈線
- 503 : 電容元件
- 504 : 電容佈線
- 505 : 液晶層
- 600 : 薄膜電晶體
- 601 : 薄膜電晶體
- 602 : 像素電極
- 603 : 閘極佈線
- 604 : 源極電極佈線
- 605 : 電源線
- 700 : 基板
- 701 : 閘極電極層
- 702 : 閘極絕緣層
- 703 : 氧化物半導體層
- 704a : 導電層

- 704b : 導電層
- 705 : 金屬氧化物層
- 706 : 緩衝層
- 707a : 第一電極層
- 707b : 第二電極層
- 708 : 電容佈線
- 709 : 層間絕緣層
- 710a : 接觸孔
- 710b : 接觸孔
- 710c : 接觸孔
- 711 : 像素電極
- 750 : 薄膜電晶體
- 751 : 薄膜電晶體
- 752 : 電容元件
- 800 : 薄膜電晶體
- 801 : 閘極佈線
- 802 : 源極電極佈線
- 803 : 電容元件
- 804 : 電源線
- 805 : 薄膜電晶體
- 806 : 有機 EL 元件
- 900 : 基板
- 901 : 閘極電極層
- 902 : 閘極絕緣層

903 : 氧化物半導體層

904a : 導電層

904b : 導電層

905 : 金屬氧化物層

906 : 緩衝層

907a : 第一電極層

907b : 第二電極層

908 : 層間絕緣層

909 : 接觸孔

910 : 像素電極

911 : 基板

912 : 共同佈線

913a : 黑色區

913b : 白色區

914 : 空洞

915 : 扭轉球

916 : 填充材料

950 : 薄膜電晶體

申請專利範圍

1. 一種半導體裝置，包括：

在基板上的閘極電極及電容佈線；

在該閘極電極及該電容佈線上的閘極絕緣層；

在該閘極絕緣層上的氧化物半導體層；

與該氧化物半導體層電接觸的第一電極層及第二電極層；

在該氧化物半導體層、該第一電極層及該第二電極層上的層間絕緣層；以及

在該層間絕緣層上且與該第二電極層直接接觸的像素電極，

其中該電容佈線與該第一電極層及該像素電極重疊。

2. 一種半導體裝置，包括：

在基板上的閘極電極及電容佈線；

在該閘極電極及該電容佈線上的閘極絕緣層；

在該閘極絕緣層上的氧化物半導體層；

與該氧化物半導體層電接觸的第一電極層及第二電極層；

在該氧化物半導體層、該第一電極層及該第二電極層上的層間絕緣層；以及

在該層間絕緣層上且與該第二電極層直接接觸的像素電極，

其中該電容佈線與該第一電極層及該像素電極重

疊，並且

其中該電容佈線延伸超過該第一電極層的端部。

3.如申請專利範圍第 1 或 2 項的半導體裝置，更包括在該氧化物半導體層上的金屬氧化物層。

4.如申請專利範圍第 3 項的半導體裝置，其中，該金屬氧化物層含有鈦。

5.如申請專利範圍第 1 或 2 項的半導體裝置，其中，該閘極電極及該電容佈線含有銅。

6.如申請專利範圍第 1 或 2 項的半導體裝置，其中該第一電極層及該第二電極層含有鋁、銅、鈦、鉭、錫、鉬、鉻、釵和銦的至少一者。

7.如申請專利範圍第 1 或 2 項的半導體裝置，其中該第一電極層及該第二電極層為電晶體的源極電極及汲極電極。

8.如申請專利範圍第 1 或 2 項的半導體裝置，其中該氧化物半導體層含有銮、鎳及鋅。

9.如申請專利範圍第 1 或 2 項的半導體裝置，其中該閘極絕緣層在該閘極電極及該電容佈線上且與該閘極電極及該電容佈線接觸。

圖式

圖 1A

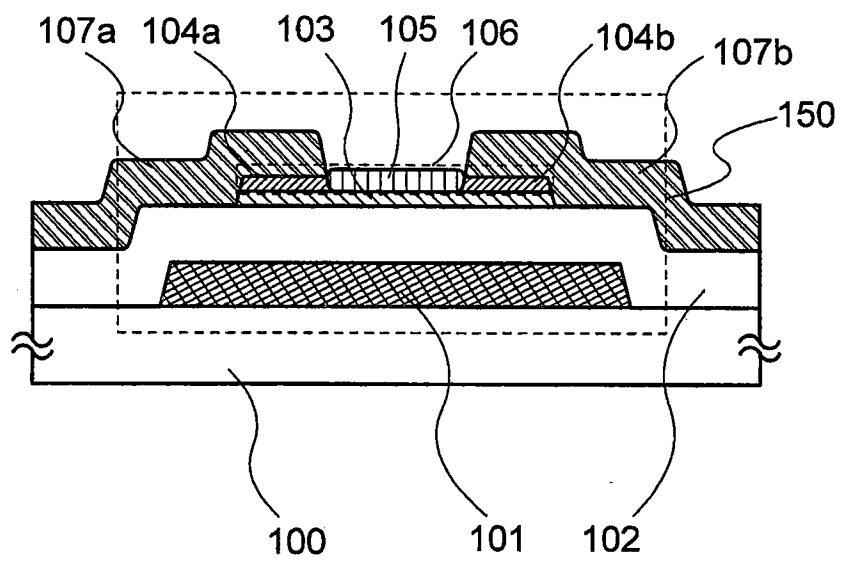


圖 1B

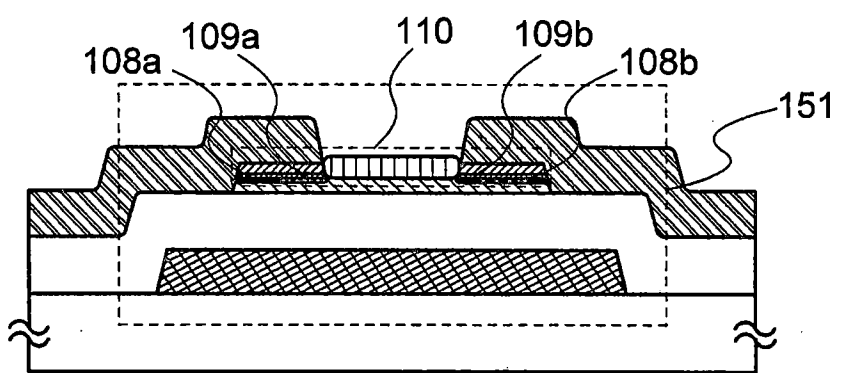


圖 2A

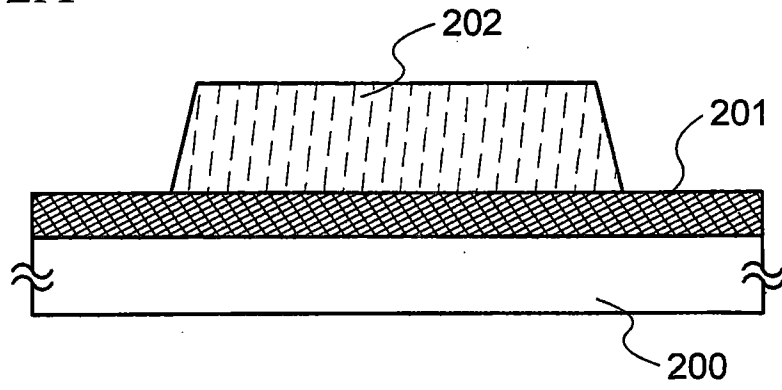


圖 2B

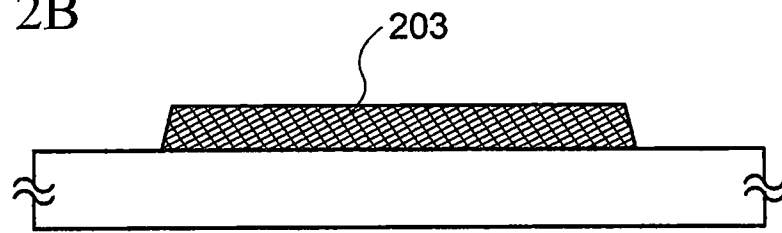


圖 2C

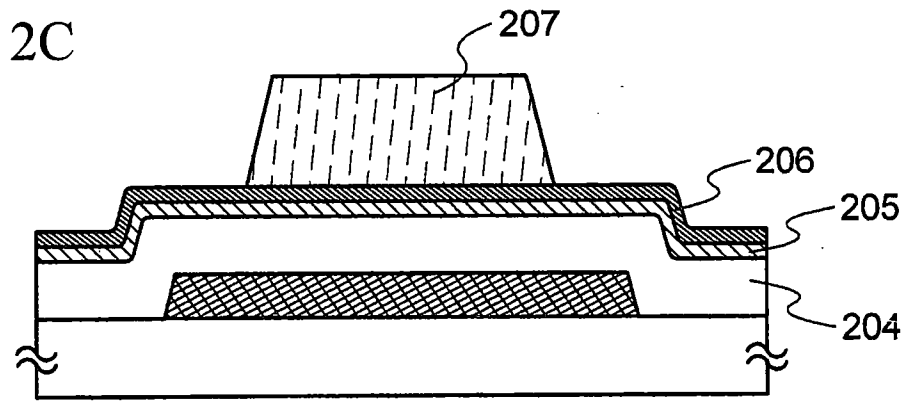


圖 2D

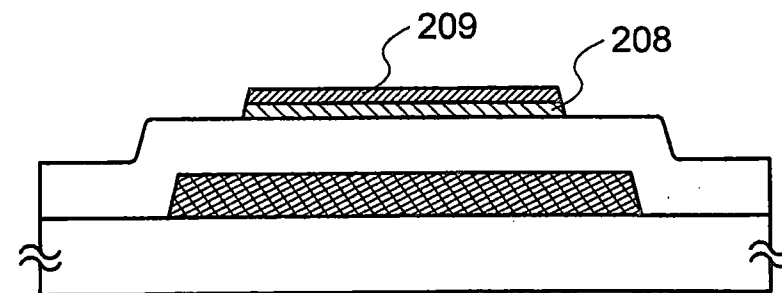


圖 3A

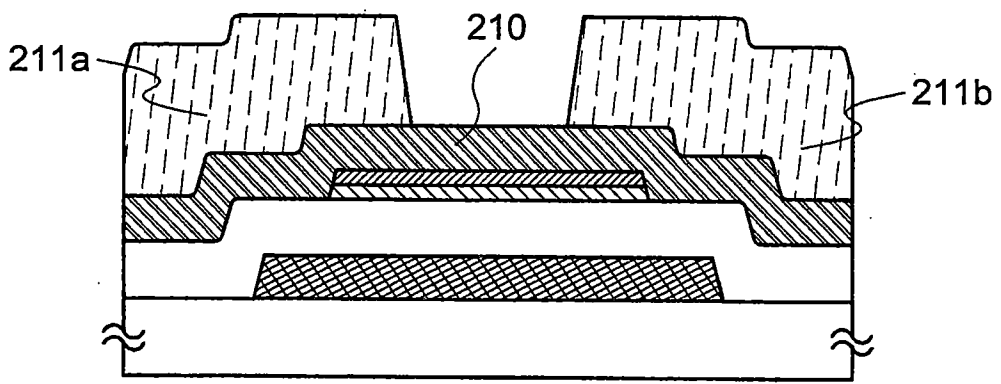


圖 3B

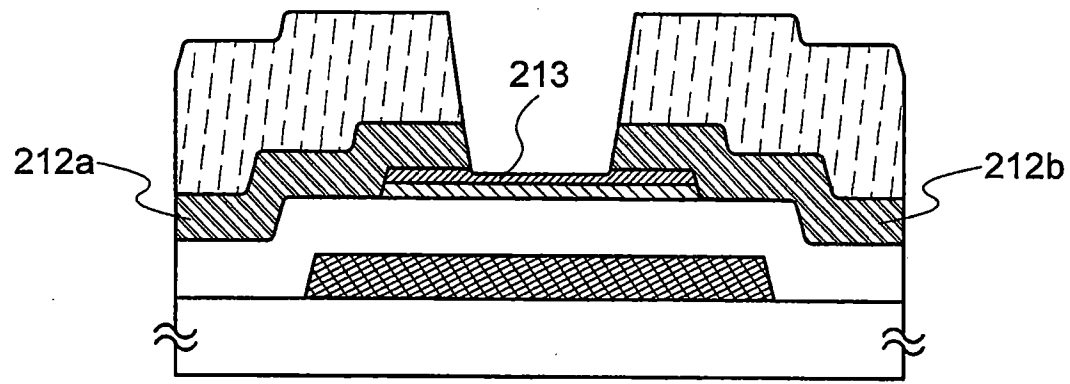


圖 3C

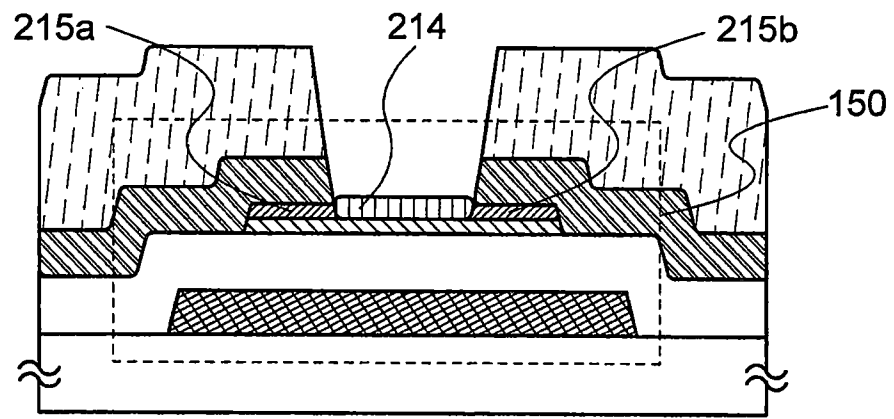


圖 3D

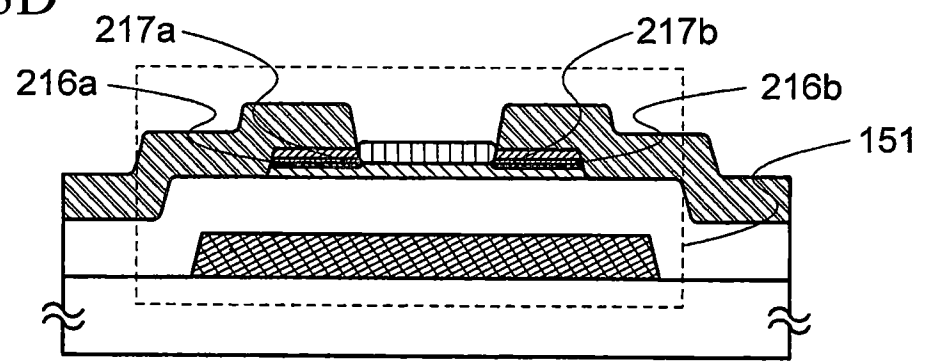


圖 4

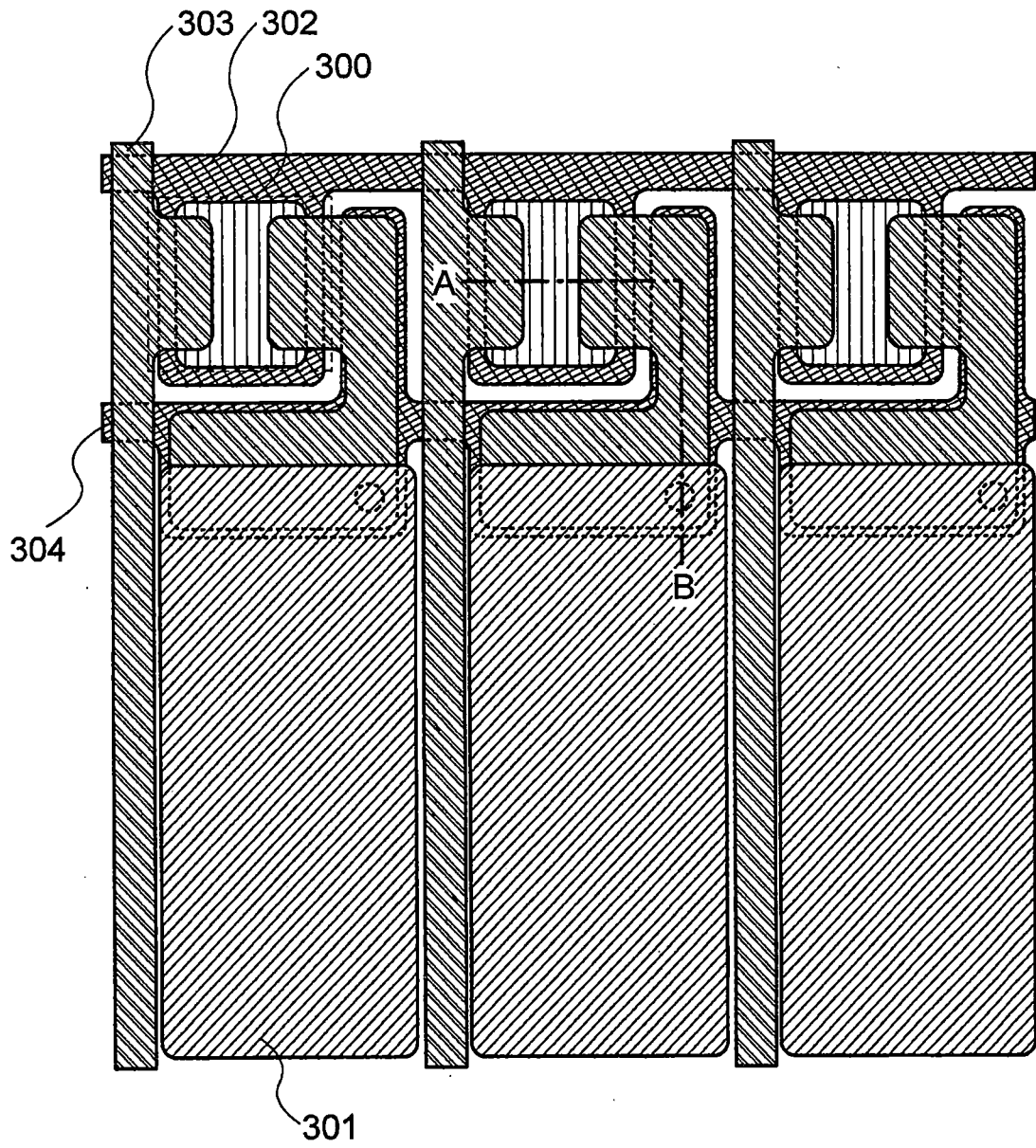


圖 5

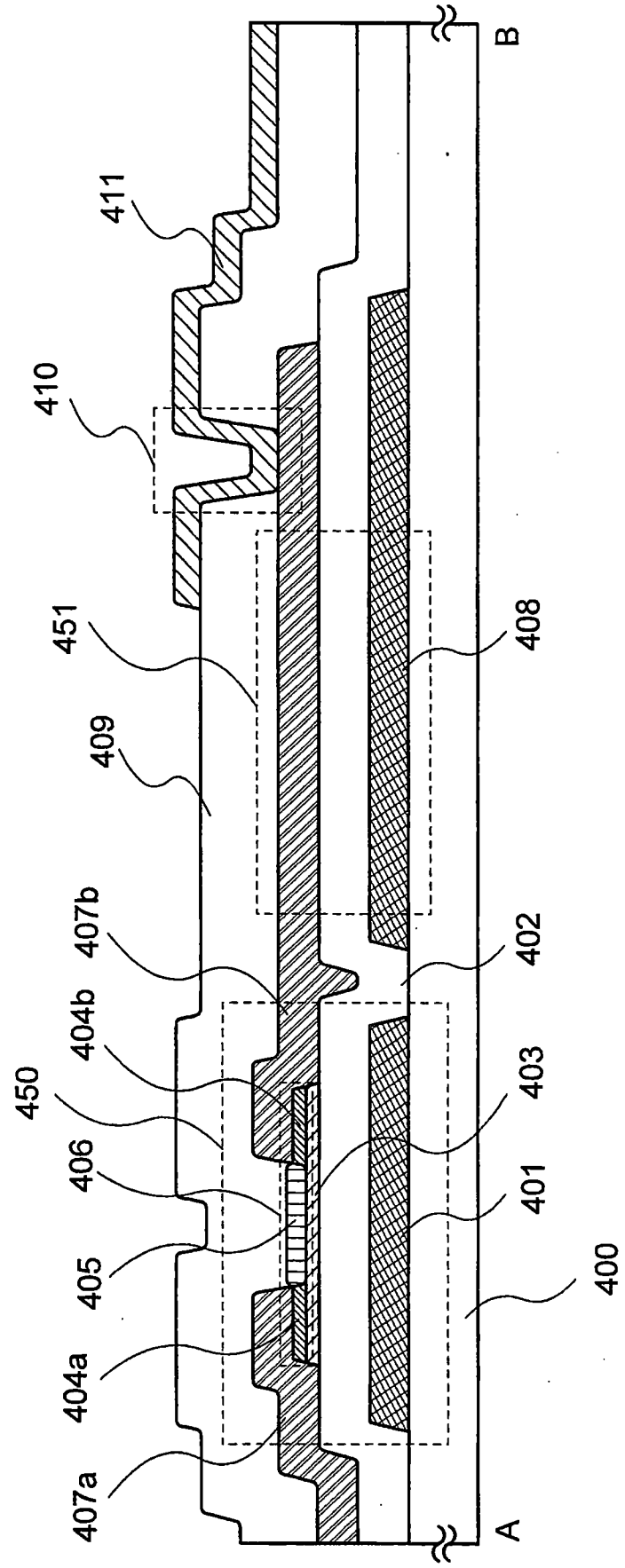


圖 6

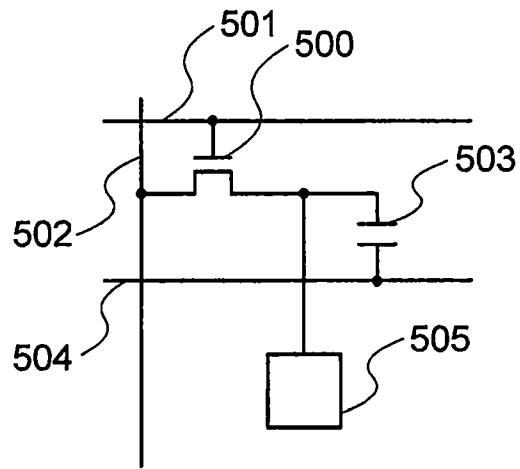


圖 7

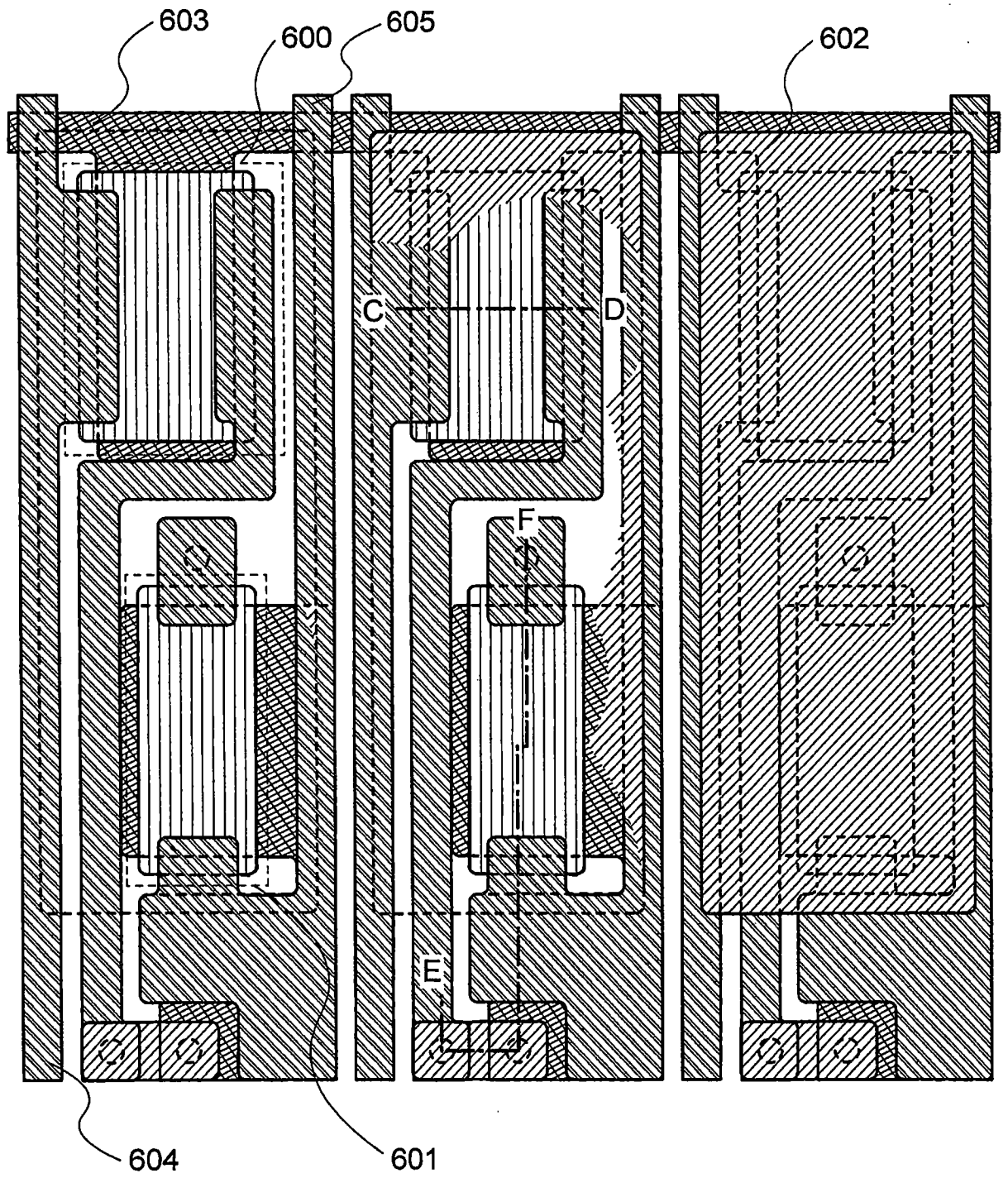


圖 8

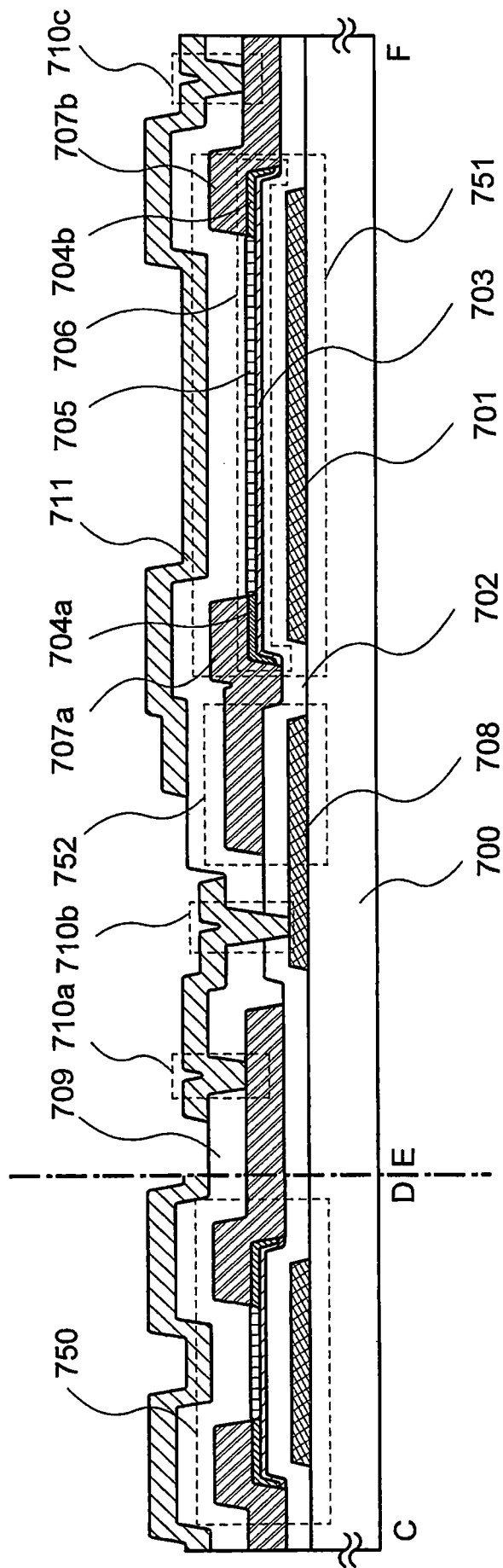


圖 9

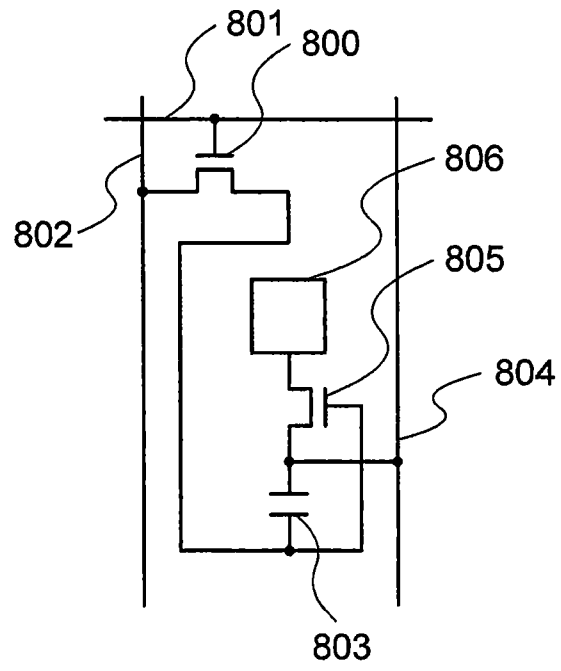


圖 10

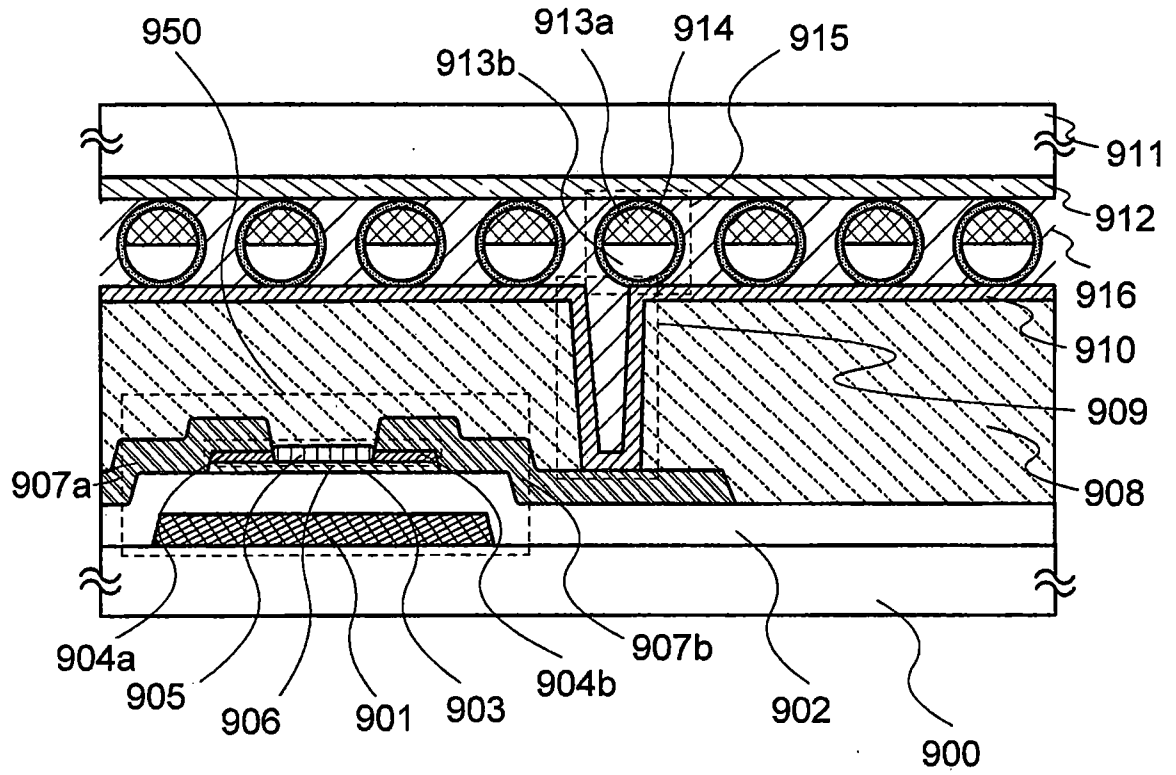


圖 11A

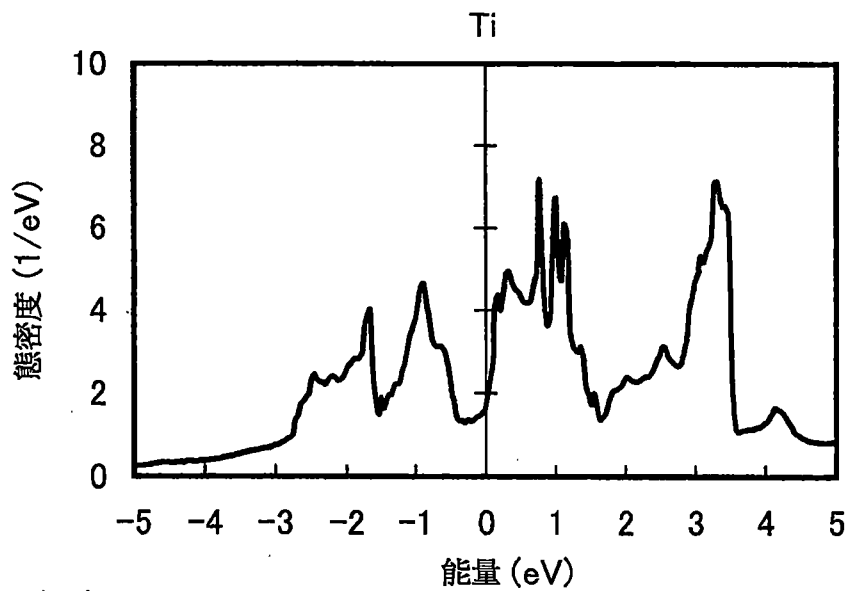


圖 11B

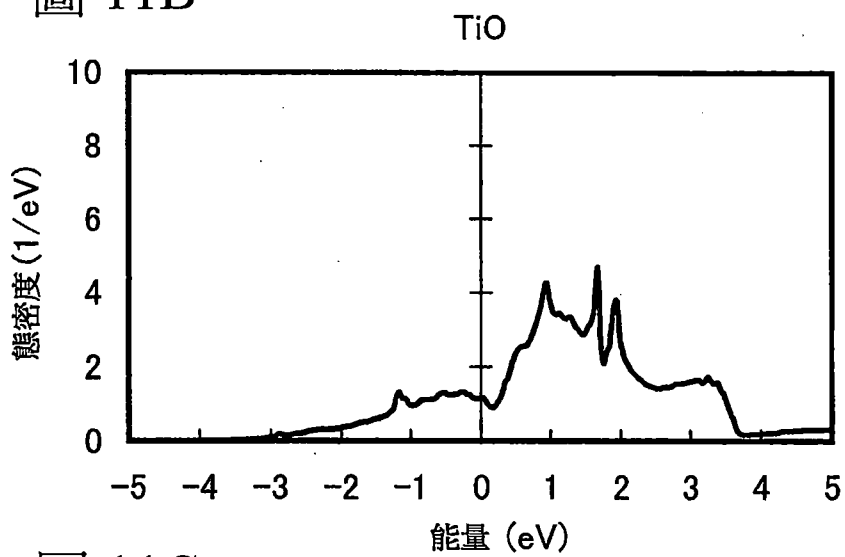


圖 11C

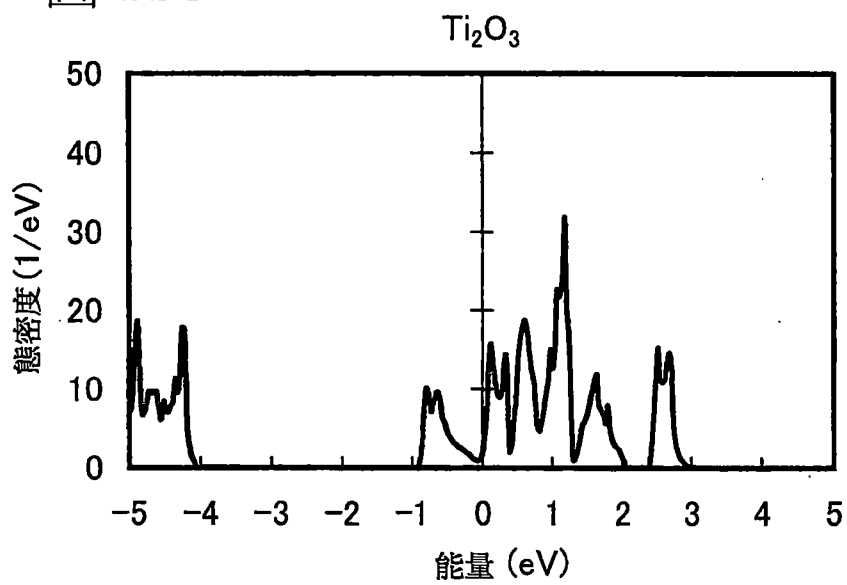


圖 12A

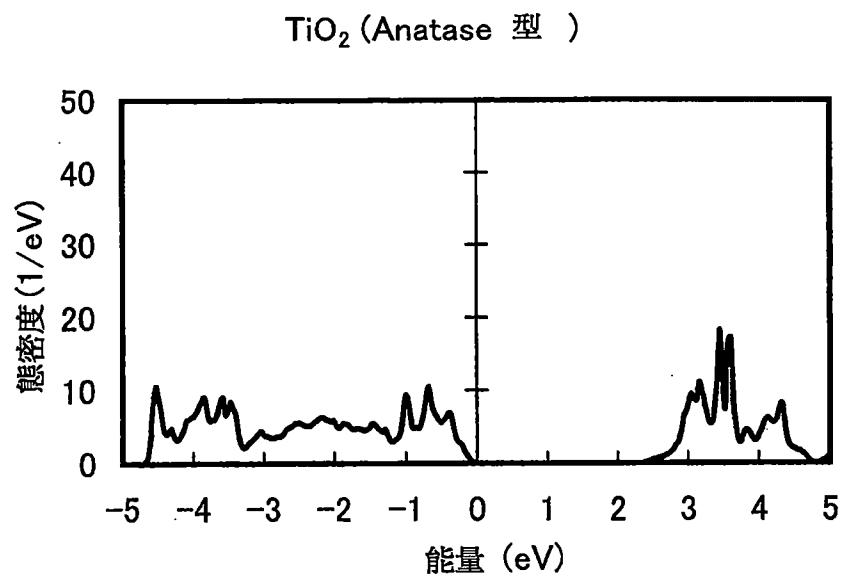


圖 12B

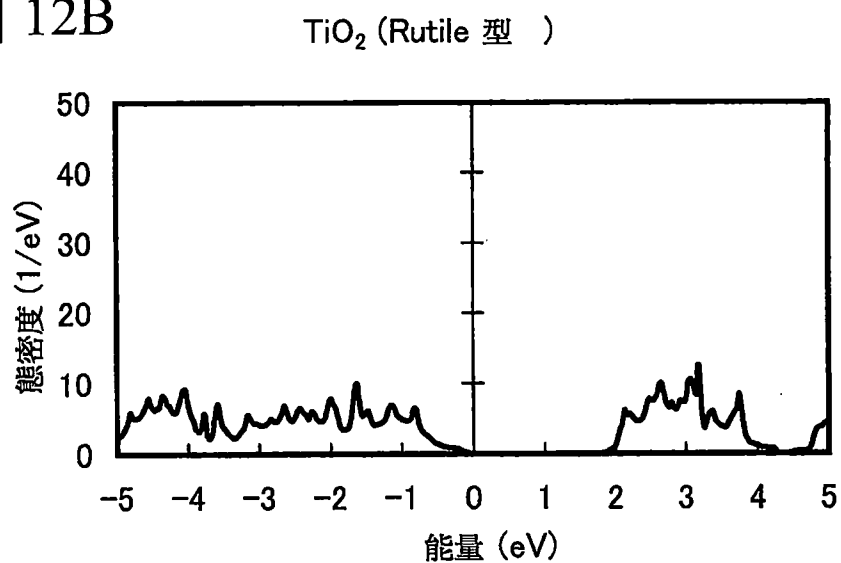


圖 12C

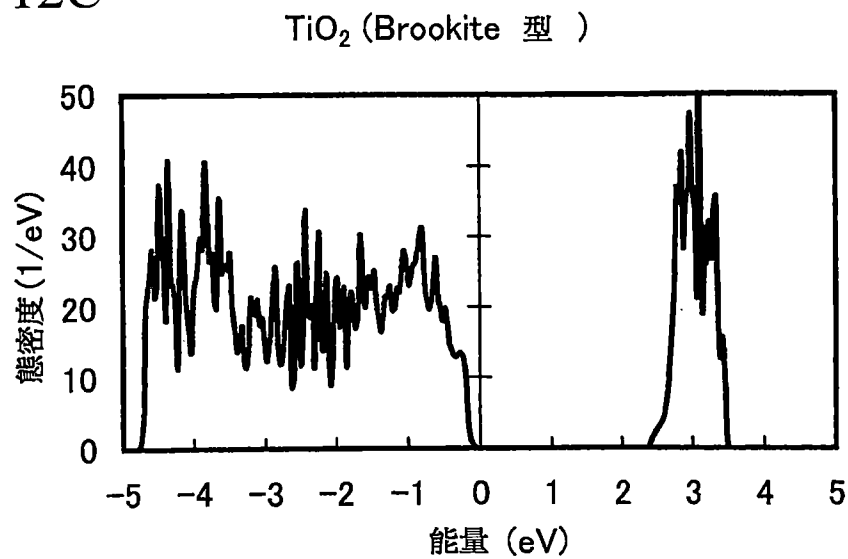


圖 13A

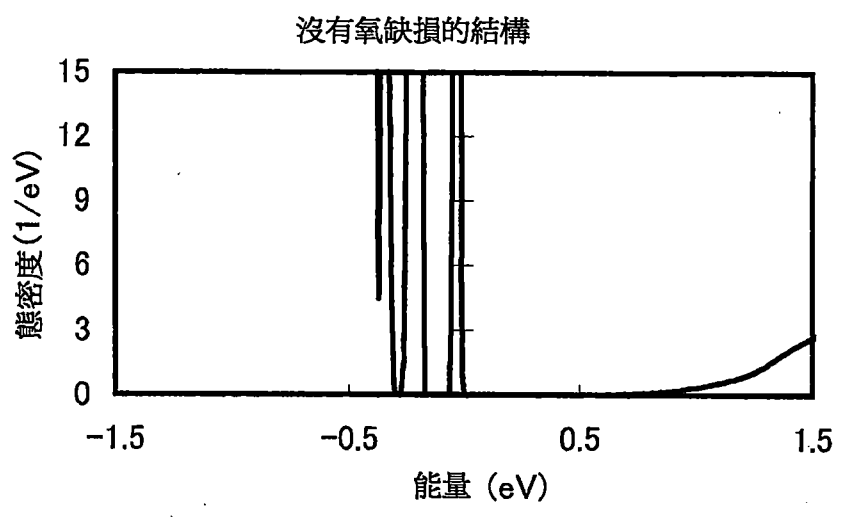


圖 13B

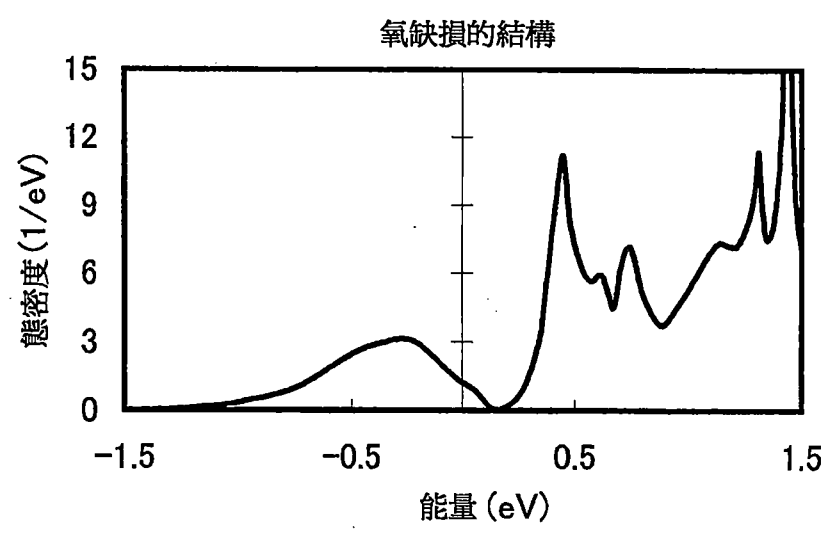


圖 14A

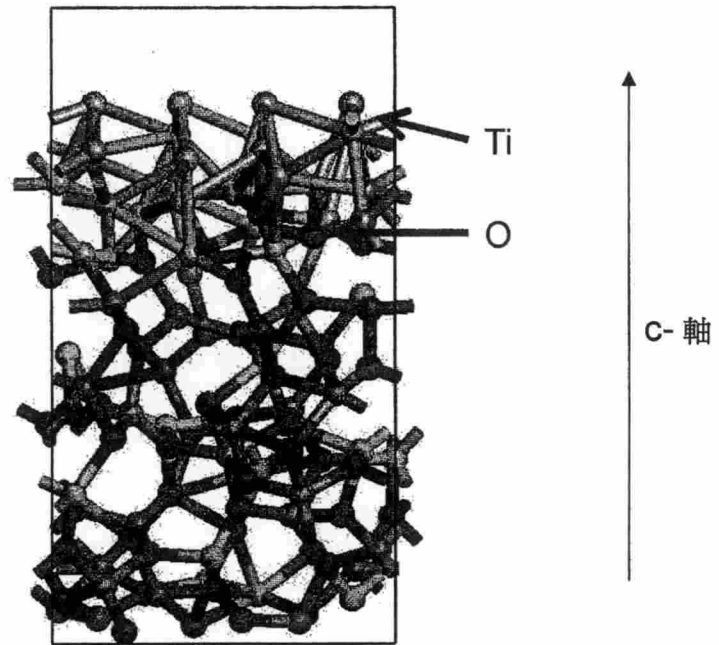


圖 14B

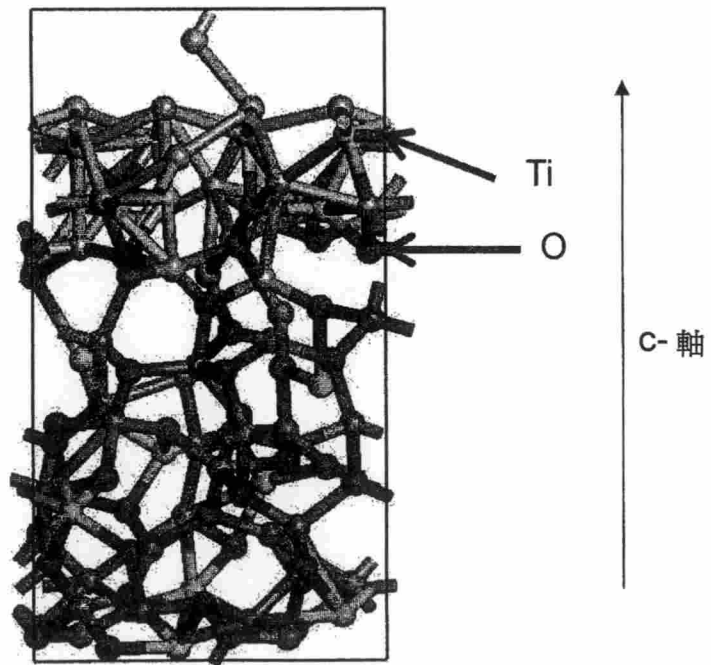


圖 15

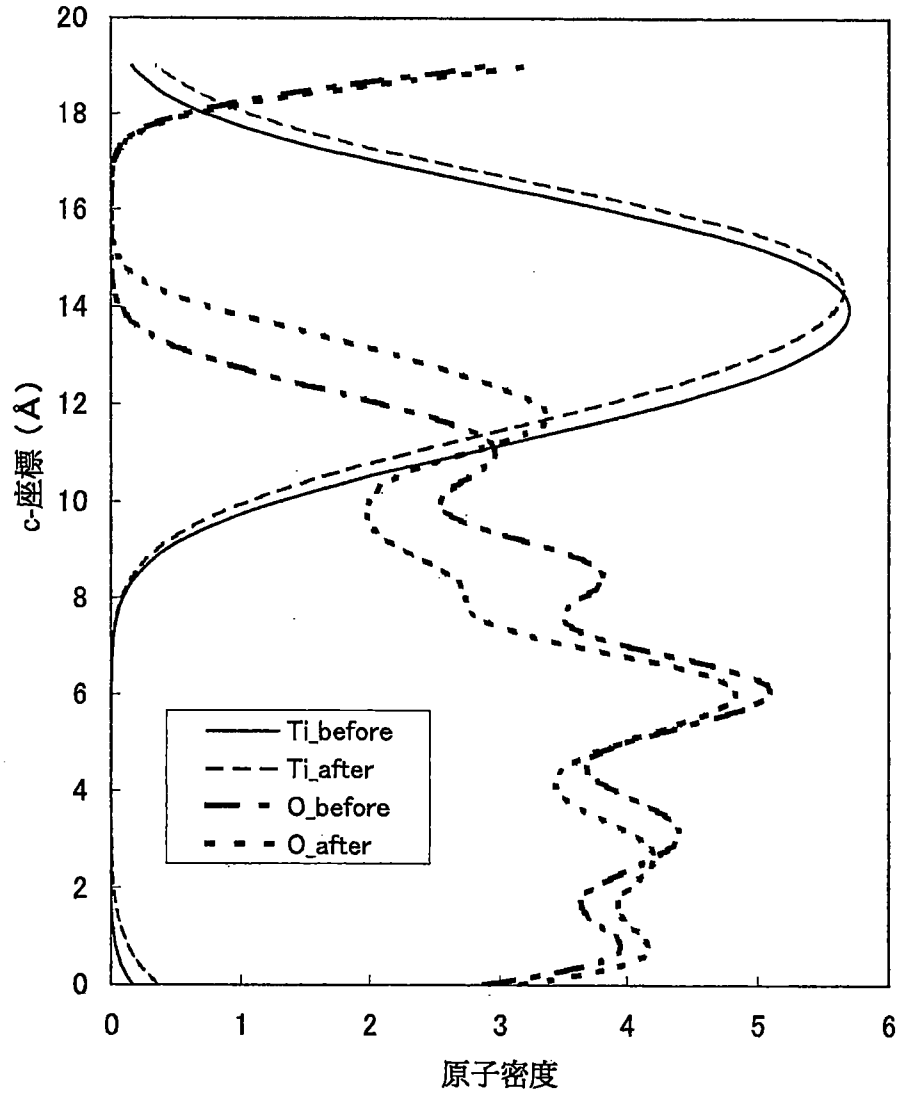


圖 16A

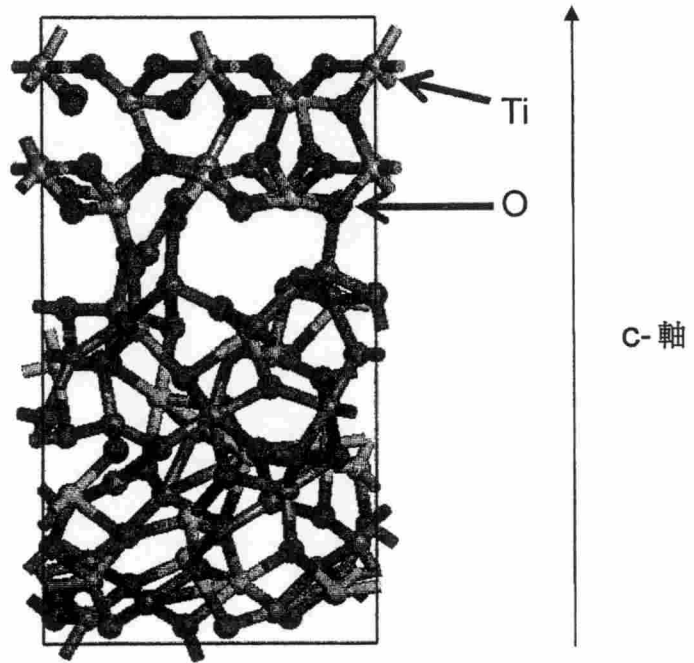


圖 16B

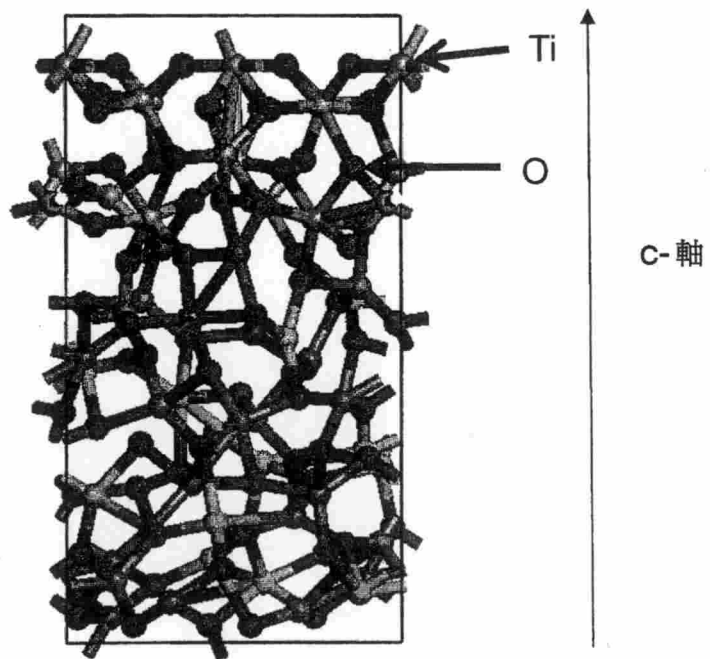


圖 17

