



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년02월20일
(11) 등록번호 10-2501876
(24) 등록일자 2023년02월16일

(51) 국제특허분류(Int. Cl.)
H01L 33/20 (2010.01) H01L 27/15 (2006.01)
H01L 33/00 (2023.01) H01L 33/36 (2010.01)
(52) CPC특허분류
H01L 33/20 (2013.01)
H01L 27/156 (2013.01)
(21) 출원번호 10-2017-0171253
(22) 출원일자 2017년12월13일
심사청구일자 2020년12월07일
(65) 공개번호 10-2019-0070588
(43) 공개일자 2019년06월21일
(56) 선행기술조사문헌
JP2000031540 A*
JP2011243730 A*
KR1020170104086 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이구화
경기도 파주시 월릉면 엘지로 245
(74) 대리인
특허법인(유한) 대아

전체 청구항 수 : 총 4 항

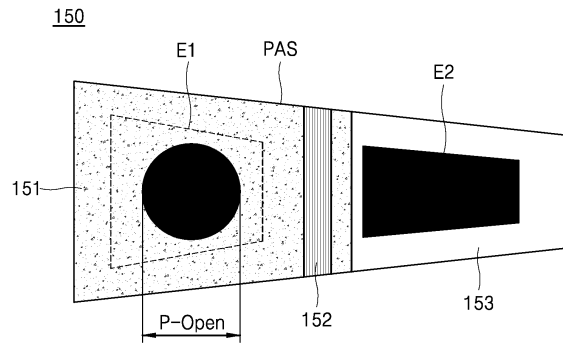
심사관 : 김동우

(54) 발명의 명칭 발광 소자 및 이를 이용한 표시 장치

(57) 요약

본 발명의 일 실시예에 따른 발광 효율이 증대된 발광 소자 및 이를 포함하는 표시 장치가 제공된다. n형 반도체 층과 p형 반도체층을 포함하는 발광소자는 n형 반도체층과 연결된 n형 전극 및 p형 반도체층과 연결된 p형 전극을 포함하고 평면상 p형 반도체층과 대응하는 면이 긴 사다리꼴 형태로 구성되어 발광 효율을 증대시킬 수 있다.

대표도 - 도4b



(52) CPC특허분류

H01L 33/0008 (2013.01)

H01L 33/36 (2013.01)

H01L 33/62 (2013.01)

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

유리 또는 플라스틱 재질로 이루어진 기판;

상기 기판 상에 배치되고 게이트전극, 소스/드레인 전극을 포함하는 박막트랜지스터;

상기 박막트랜지스터를 덮는 보호층;

상기 보호층 상에 배치된 접착부재;

상기 접착부재 상에 하부면이 접촉하는 n형 반도체층; 상기 n형 반도체층 상의 일부 영역에 위치하는 p형 반도체층; 상기 n형 반도체층 상에 위치하는 n형 전극; 상기 p형 반도체층 상에 위치하는 p형 전극; 및 상기 n형 반도체층 및 상기 p형 반도체층 사이에 위치하고, 상기 n형 전극과 인접하는 방향의 일 측면에 경사면을 가지는 활성층을 포함하는 발광소자;

상기 발광소자 하부에 중첩하여 배치된 반사층;

상기 기판상에 배치되고 상기 p형전극과 연결된 화소전극; 및

상기 기판상에 배치되고 상기 n형전극과 연결된 배선전극; 을 포함하고

상기 발광소자는 평면상 밑면이 사다리꼴 형태이고, 상기 p형 전극이 위치하는 일 측면의 길이가 상기 n형 전극이 있는 타 측면보다 긴 길이를 가지는 표시장치.

청구항 7

삭제

청구항 8

제 6항에 있어서,

상기 n형 전극 및 상기 p형 전극은 같은면에 있는 표시장치.

청구항 9

제 6항에 있어서,

상기 기관은 적어도 하나의 구동소자를 포함하고 상기 화소전극은 상기 구동소자와 연결된 표시장치.

청구항 10

제 6항에 있어서,

상기 발광소자는 이웃하는 발광소자의 상기 p형 전극 및 상기 n형 전극의 정렬방향이 서로다른 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 발광 소자 및 이를 이용한 표시 장치에 관한 것으로서, 보다 상세하게는 발광 소자와 배선전극간의 전기적 연결관계에 대하여 전극연결 효율 및 배선연결 안정성을 높이어 제품 신뢰성을 높일 수 있는 발광 소자 및 이를 이용한 표시 장치를 제공하는 것이다.

배경 기술

[0003] 표시 장치는 텔레비전 또는 모니터의 표시 장치 이외에도 노트북 컴퓨터, 태블릿 컴퓨터, 스마트 폰, 휴대용 표시 기기 및 휴대용 정보 기기 등의 표시 화면으로 널리 사용되고 있다.

[0004] 표시 장치는 반사형 표시 장치와 발광형 표시 장치로 구분될 수 있는데, 반사형 표시 장치는 자연광 또는 표시 장치의 외부 조명에서 나오는 빛이 표시 장치에 반사되어 정보를 표시하는 방식의 표시 장치이고 발광형 표시 장치는 발광 소자 또는 광원을 표시 장치에 내장하고, 내장된 발광 소자 또는 광원에서 발생하는 빛을 사용하여 정보를 표시하는 방식이다.

[0005] 내장된 발광 소자는 다양한 빛의 파장을 발광할 수 있는 발광 소자를 사용하기도 하고 백색 또는 블루의 빛을 발광 하는 발광 소자와 함께 발광 빛의 파장을 변화 시킬 수 있는 컬러필터를 사용하기도 한다.

[0006] 이와 같이, 표시 장치로서 이미지를 구현하기 위하여 복수의 발광 소자를 표시 장치의 기관상에 배치하되, 각각의 발광 소자를 개별적으로 발광하도록 컨트롤 하기 위해 구동 신호 또는 구동 전류를 공급하는 구동소자를 발광 소자와 함께 기관상에 배치하여, 기관상에 배치된 복수의 발광 소자를 표시 하고자 하는 정보의 배열대로 해석하여 기관상에 표시하도록 한다.

[0007] 다시 설명하자면, 이와 같은 표시 장치는 복수의 화소가 배치되고, 각각의 화소는 구동소자인 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor)를 이용하고, 박막 트랜지스터에 연결되어 구동 됨으로서 표시 장치는 각각의 화소의 동작에 의해 영상을 표시한다.

[0008] 박막 트랜지스터가 사용된 대표적인 표시 장치로서는 액정 표시 장치와 유기 발광 표시 장치가 있다. 그 중 액정 표시 장치는 자체 발광 방식이 아니기에 액정 표시 장치의 하부(후면)에 빛을 발광 하도록 배치된 백라이트 유닛(Backlight unit)이 필요하다. 이러한 부가적인 백라이트 유닛에 의해 액정 표시 장치는 두께가 증가하고, 플렉서블 하거나 원형과 같은 다양한 형태의 디자인으로 표시 장치를 구현하는데 제한이 있으며, 휘도 및 응답 속도가 저하될 수 있다.

[0009] 한편으로, 자체 발광 소자가 있는 표시 장치는 광원을 내장하는 표시 장치보다 얇게 구현될 수 있고, 플렉서블 하고 접을 수 있는 표시 장치를 구현할 수 있는 장점이 있다.

[0010] 이와 같은 자체 발광 소자가 있는 표시 장치는 발광층으로 유기물을 포함하는 유기 발광 표시 장치와 마이크로 엘이디 소자를 발광 소자로 사용하는 마이크로 엘이디 표시 장치등이 있을수 있는데, 유기 발광 표시 장치 또는 마이크로 엘이디 표시 장치와 같은 자체 표시 장치는 별도의 광원이 필요없기에 더욱 얇거나 다양한 형태의 표시 장치로 활용될 수 있다.

[0011] 그러나, 유기물을 사용하는 유기 발광 표시 장치는 별도의 광원이 필요하지 않은 반면에 수분과 산소에 의한 불량화소가 발생되기 쉬우므로 산소와 수분의 침투를 최소화 하기 위한 다양한 기술적 구상이 추가적으로 요구된다.

[0012] 상술한 문제에 대하여, 최근에는, 미세한 크기의 마이크로 엘이디 소자(Micro light emitting diode)를 발광 소자로 사용하는 표시장치에 대한 연구 및 개발이 진행되고 있으며, 이러한 발광 표시 장치는 고화질과 고신뢰성을 갖기 때문에 차세대 표시 장치로서 각광받고 있다.

- [0013] LED소자는 반도체에 전류를 흘려주면 빛을 내는 성질을 이용한 반도체 발광 소자로 조명, TV, 각종 표시장치 등에 널리 활용되고 있다. LED소자는 n형 반도체층과 p형 반도체층, 그리고 그 사이에 있는 활성층으로 구성된다. 전류를 흘려주면 n형 반도체층 부분에는 전자가, p형 반도체층 부분에는 정공이 있다가 활성층에서 결합해 빛을 낸다.
- [0014] LED 소자는 GaN과 같은 화합물 반도체로 구성되어 무기 재료 특성상 고 전류를 주입할 수 있어 고휘도를 구현할 수 있고, 열, 수분, 산소 등 환경 영향성이 낮아 고신뢰성을 갖는다.
- [0015] 또한, LED소자는 내부 양자 효율이 90% 수준으로 유기 발광 표시 장치 보다 높으므로 고휘도의 영상을 표시할 수 있으면서, 소모 전력이 낮은 표시 장치를 구현할 수 있는 장점이 있다.
- [0016] 또한, 유기 발광 표시 장치와는 달리 무기물을 사용하기에 산소와 수분의 영향이 미미한 수준으로 산소와 수분의 침투를 최소화 하기 위한 별도의 봉지막 또는 봉지기판이 필요가 없으므로, 봉지막또는 봉지기판을 배치함으로써 발생할 수 있는 마진영역인 표시 장치의 비표시 영역을 최소화 할 수 있는 장점이 있다.
- [0017] 그러나, LED소자와 같은 발광 소자는 별도의 반도체 기판을 사용하여 형성 한 뒤, 표시 장치에 이식해야 하는 절차등이 필요할 수 있으며 별도의 반도체 기판을 사용하여 발광소자를 형성하는 방법을 사용하여야 함에 따라, 제조비용이 상승하는 문제점이 있다.
- [0018] 그러나, 상술한 바와 같은 장점을 갖는 표시 장치를 제공하기 위하여서는 발광 소자를 표시 장치에 올바른 위치에 배치하는 기술과 배치하는 과정에서 발생 할 수 있는 오류를 최소화 하면서 제조비용을 최소화 할 수 있는 기술이 필요하다. 근래에는 이에 대한 많은 연구 활동들이 이루어 지고 있다.

발명의 내용

해결하려는 과제

- [0020] 상술한 바와 같이 단위 화소의 발광 소자로 LED소자가 사용된 발광 표시 장치를 구현하기 위해서는 몇가지 기술적인 요구사항이 있다. 우선, 사파이어(Sapphire) 또는 실리콘(Si)과 같은 반도체 웨이퍼(wafer) 기판 상에 LED 소자를 결정화 시키고, 결정화된 복수의 LED 칩을 구동소자가 있는 기판에 이동 시키되 각각의 화소에 대응하는 위치에 LED소자를 위치시키는 정교한 전사 공정이 요구된다.
- [0021] LED소자는 무기재료를 사용하여 형성할 수 있으나, 결정화 하여 형성할 필요가 있고, GaN과 같은 무기재료를 결정화 하려면, 결정화를 유도 할 수 있는 기판상에서 무기재료를 결정화 하여야 한다. 이와 같이 무기재료의 결정화를 효율적으로 유도 할 수 있는 기판은 반도체 기판이며, 상술한 바와 같이 반도체 기판상에서 무기재료를 결정화 시키어야 한다.
- [0022] LED소자를 결정화하는 공정은 에피택시(epitaxy), 에피택셜 성장(epitaxial groth) 또는 에피공정이라고도 지칭한다. 에피공정은 어떤 결정의 표면에서 특정한 방위 관계를 취해 성장하는 일을 의미하는데, LED소자의 소자구조를 형성하기 위해서는 기판위에 GaN계 화합물 반도체를 pn접합 다이오드 형태로 쌓아 올려야 하는데 이때 각각의 층은 밀의 층의 결정성을 이어받아 성장하게 된다.
- [0023] 이때, 결정 내부의 결합은 전자와 정공의 재합과정(Electron-hole recombination process)에서 비발광 센터(nonradiative center)로 작용하기 때문에 광자(photon)를 이용하는 LED소자에서는 각 층을 형성하는 결정들의 결정성이 소자효율에 결정적인 영향을 미치게 된다.
- [0024] 현재 주로 사용되는 기판으로는 상술한 사파이어(Sapphire)기판이 주로 사용되며, 근래에는 GaN를 베이스로하는 기판등에 대한 연구활동이 활발히 이루어 지고 있다.
- [0025] 이와 같이 LED발광 소자를 구성하는 GaN과 같은 무기재료를 반도체 기판상에 결정화 함에 있어 소요되는 반도체 기판의 높은 가격으로 인해 단순한 조명 또는 백라이트에 사용되는 광원으로서의 LED가 아닌 표시 장치의 발광 화소로서 다량의 LED를 사용하게 되는 경우 제조 비용이 높아지는 문제점이 있다.
- [0026] 또한, 상술한 바와 같이 반도체 기판상에 형성된 LED소자는 표시장치를 구성하는 기판으로 전사(Transfer)하는 단계가 필요하게 되는데, 이 과정에서 반도체 기판에 형성된 LED소자를 분리하는데에 어려움이 있고, 분리된 LED소자를 원하는 지점에 바르게 이식(transplant)할때에도 많은 어려움과 문제점이 있다.
- [0027] 반도체 기판상에 형성된 LED소자를 표시장치를 구현하는 기판으로 전사하는데 있어 PDMS와 같은 고분자물질을 사용한 전사용 기판을 사용하는 방법, 전자기나 정전기를 이용한 전사 방법 또는 물리적으로 한 개의 소자씩 집

어서 옮기는 방법 등 다양한 전사 방법이 사용될 수 있으며 다양한 전사 방법에 대한 연구활동이 이루어 지고 있다.

- [0028] 이와 같은, 전사공정은 표시장치를 구현하는 공정의 생산성과 연관이 있으며, 대량 생산을 위하여서는 LED소자를 한 개씩 옮기는 방법은 비 효율적이라 할 수 있겠다.
- [0029] 이에 고분자 물질을 사용한 전사용 기판을 사용하여 복수개의 LED소자를 반도체 기판에서 분리하여 표시장치를 구성하는 기판, 특히 박막트랜지스터에 배치된 구동소자 및 전원전극과 연결된 패드전극상에 올바르게 위치하는데 있어 정교한 전사 공정 또는 공법이 필요하게 되었다.
- [0030] 상술한 전사공정 중에 또는 전사공정 이후에 이어지는 후속 공정중에 LED소자는 진동 또는 열등의 조건에 따라 움직이거나 전사되는 과정에서 LED소자가 뒤집히어 전사되는등 불량 발생될 수 있으며, 이러한 불량을 발견하고 복구하는데 많은 어려움이 있었다.
- [0031] 일반적인 전사 공정을 예로들어 LED소자의 전사공정에 대하여 일 예를 들어 설명하자면, 다음과 같다. 반도체 기판상에 LED소자를 형성하고 반도체층에 전극을 형성하여 개별 LED소자로서 완성시킨다. 이후, 반도체 기판과 PDMS기판(이후에는 전사기판이라 한다)을 접촉시키어 전사기판으로 LED소자를 이동시킨다. 전사기판은 반도체 기판상에 형성된 LED소자를 화소의 픽셀 피치만큼의 거리를 고려하여 반도체 기판에서 LED소자를 전사기판으로 전사시키어야 하기에 전사기판상에는 표시장치의 픽셀피치를 고려한 LED소자를 받기위한 돌기형상등이 돌출되어 배치되게 된다.
- [0032] 반도체 기판의 배면을 통해 LED소자로 레이저를 조사하여 LED소자를 반도체 기판에서 떼어내게 되는데, 이때 레이저를 조사하는 과정에서 LED소자는 반도체 기판에서 분리될 때 반도체 기판의 GaN물질이 레이저의 높은 에너지에 의해 에너지의 집중으로 물리적으로 급격한 확장이 일어 날 수 있고, 이로 인해 충격이 발생 할 수 있다. (이를 1차 전사라 한다.)
- [0033] 이후, 전사기판에 전사된 LED소자를 표시장치를 구성하는 기판상에 전사하게 되는데, 박막트랜지스터가 있는 기판상에 상기 박막 트랜지스터를 절연/보호 하는 보호층을 배치한 뒤 보호층상에 접촉층을 배치한다.
- [0034] 전사기판과 표시장치의 기판을 접촉시키어 압력을 가하게 되면, 전사기판에 전사된 LED소자는 상술한 보호층상에 있는 접촉층에 의해 표시장치의 기판측으로 전사 된다.
- [0035] 이때, 전사기판과 LED소자의 접촉력을 표시장치를 구성하는 기판과 LED소자의 접촉력보다 작게되도록 하여 전사기판상의 LED소자가 표시장치의 기판으로 원활히 전사되도록 한다. (이를 2차 전사라 한다)
- [0036] 반도체 기판과 표시장치를 구성하는 기판은 기본적으로 그 크기가 상이하며 통상적으로 표시장치를 구성하는 기판이 크다. 이러한 면적, 크기의 차이로 인해 상술한 1차 및 2차 전사를 반복하여 표시장치의 기판의 구역별로 복수로 수행하면, 표시장치를 구성하는 각각의 화소에 대응하는 LED소자를 전사할 수 있게 된다.
- [0037] 1차 전사 및 2차 전사가 반복되는 과정에서 LED소자는 의도하지 않은 위치에 전사될 수 있으며 전사 횟수 또는 전사공정의 공정 편차에 따라 다양한 오차가 발생 될 수 있다.
- [0038] 반도체 기판에 형성된 LED소자는 그 종류에 따라 레드, 블루 및 그린의 LED소자일 수 있으며, 또는 백색 LED소자일 수 있다. 서로 다른 파장의 빛을 발광하는 LED소자를 사용하여 표시장치의 화소를 구현하는 방식에서 상술한 1차 및 2차 전사의 횟수는 더욱 증가할 수 있다.
- [0039] 증가된 1차 및 2차 전사횟수로 인하여 정밀한 전사 공정을 통하여 발광 소자를 기판으로 전사한다고 하여도, 불량이 발생하는 경우 불량으로 인한 전체 1차 및 2차 전사된 모든 발광 소자를 폐기하거나, 오류가 발생한 소자를 찾아내어 수정하는 과정에서 비용이 발생하게 된다.
- [0040] 본 발명의 일 실시예에 따른 해결 과제는 발광 소자를 반도체 기판상에서 형성함에 있어 광효율이 더욱 증대된 발광 소자 및 이를 이용한 표시 장치를 제공하는 것이다.
- [0041] 본 발명의 또다른 실시예에 따른 해결 과제는 발광 소자를 반도체 기판상에서 형성함에 있어 동일 면적의 반도체 기판상에서 더욱 많은 개수의 발광 소자를 형성할 수 있는 발광소자를 이용함으로써 제조비용이 절감된 발광 소자 및 이를 이용한 표시 장치를 제공하는 것이다.
- [0042] 본 발명의 일 실시예에 따른 해결 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0044] 본 발명의 일 실시예에 따른 발광 효율이 증대된 발광 소자 및 이를 이용한 표시 장치가 제공된다. 발광 소자는 n형 반도체와 p형 반도체를 포함하고, n형 반도체상에 n형 전극이 배치되고, p형 반도체상에 있는 p형 전극이 배치된다. 평면상 발광 소자는 p형 전극이 있는 p형 반도체층의 발광 면적이 증가 하도록 사다리꼴 형태를 갖음으로 발광 효율이 증대된 발광 소자 및 이를 이용한 표시 장치를 제공할 수 있다.

발명의 효과

[0046] 본 발명의 실시예에 따라 발광 소자의 발광 효율을 증가 시킬 수 있는 구조의 발광 소자를 이용함으로써 표시 장치의 발광 효율을 향상 시킬 수 있는 효과가 있다. 또한, 상기 발광 소자를 이용함으로써 표시 장치의 소모 전력을 최소화 할 수 있는 효과가 있다. 한편, 반도체 소자에서 취할 수 있는 발광 소자의 개수를 증가 시킴으로 제조 비용을 최소화 할 수 있는 효과가 있다.

[0047] 본 발명의 효과는 이상에서 언급한 효과에 제한되지 않으며, 언급되지 않은 또 다른 효과는 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

[0048] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 발명의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 발명의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

- [0050] 도 1은 본 발명의 일 실시예에 따른 발광 표시장치의 개략적인 평면도이다.
- 도 2는 도 1에 도시된 일 실시예에 따른 단위 화소의 구성을 설명하기 위한 개략적인 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 발광 소자의 배치를 설명하기 위한 개략적인 단면도이다.
- 도 4a 및 도 4b는 본 발명의 일 실시예에 따른 발광 소자를 설명하기 위한 개략적인 평면도이다.
- 도 5는 본 발명의 일 실시예에 따른 발광 소자를 형성하기 위해 사용되는 반도체 기판에 대한 개략적인 도면이다.
- 도 6은 도 5에 따른 영역 A의 부분확대도이다.
- 도 7a 내지 도 7c는 종래 발광 소자 대비 발광 효율이 증가된 발광소자를 설명하기 위한 개략적인 평면도이다.
- 도 8a 및 도 8b는 유사한 발광 효율을 갖는 발광 소자의 면취수가 증가된 발광소자를 설명하기 위한 개략적인 평면도이다.
- 도 9a 및 도 9b는 발광 소자를 전사하는 과정을 설명하기 위한 개략적인 도면이다.

발명을 실시하기 위한 구체적인 내용

[0051] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0052] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0053] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0054] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치

할 수도 있다.

- [0055] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0056] 신호의 흐름 관계에 대한 설명일 경우, 예를 들어, 'A 노드에서 B 노드로 신호가 전달된다'는 경우에도 '바로' 또는 '직접'이 사용되지 않는 이상, A 노드에서 다른 노드를 경유하여 B 노드로 신호가 전달되는 경우를 포함할 수 있다.
- [0057] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0058] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0059] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0060] 도 1은 본 발명의 일 실시예에 따른 발광 표시장치의 개략적인 평면도이며 도 2는 도 1에 도시된 일 실시예에 따른 단위 화소의 구성을 설명하기 위한 개략적인 회로도이다. 도 1 및 도 2를 참조하여 설명하면, 본 발명의 일 실시예에 따른 발광 표시장치(100)는 복수의 단위픽셀(UP)이 있는 표시영역(AA)과 비표시영역(IA)이 정의된 기관(110)을 포함한다.
- [0061] 단위픽셀(UP)은 기관(110)의 전면(110a)에 있는 복수의 서브픽셀(SP1, SP2, SP3)로 구성될 수 있으며 통상적으로 레드(Red), 블루(Blue) 및 그린(Green)의 빛을 발광하는 서브픽셀(SP1, SP2, SP3)을 포함할 수 있으나 이에 한정되지 않고, 화이트(White)등의 빛을 발하는 서브픽셀을 포함할 수 있다.
- [0062] 상기 기관(110)은 박막 트랜지스터 어레이 기관으로서, 유리 또는 플라스틱 재질로 이루어 질 수 있으며, 두장 이상의 기관의 합착 또는 두층이상의 층으로 구분되는 기관일 수 있다. 비표시영역(IA)은 표시영역(AA)을 제외한 기관(110)상의 영역으로 정의될 수 있는데, 상대적으로 매우 좁은 폭을 갖을 수 있으며, 베젤(Bezel)영역으로 정의될 수 있다.
- [0063] 복수의 단위픽셀(UP) 각각은 표시영역(AA)에 배치된다. 이때, 복수의 단위픽셀(UP) 각각은 X축 방향을 따라 미리 설정된 제1 기준 픽셀 피치를 가지게 되고 Y축 방향을 따라 미리 설정된 제2 기준 픽셀 피치를 가지도록 표시영역(AA)에 배치된다. 제1 기준 픽셀 피치는 인접한 단위픽셀(UP) 각각의 정 중앙부간의 거리로 정의될 수 있으며, 제2 기준 픽셀 피치는 제1 기준 픽셀 피치와 유사하게 기준 방향으로 인접한 단위픽셀(UP) 각각의 정 중앙부간의 거리로 정의될 수 있다.
- [0064] 한편, 단위픽셀(UP)를 이루는 서브픽셀(SP1, SP2, SP3)간의 거리 또한 제1 기준 픽셀 피치 및 제2 기준 픽셀 피치와 유사하게 제1 기준 서브픽셀 피치 및 제2 기준 서브픽셀 피치로 정의될 수 있다.
- [0065] LED소자인 LED소자(150)를 포함하는 발광 표시장치(100)는 비표시영역(IA)의 폭이 상술한 픽셀 피치 혹은 서브픽셀 피치보다 작을 수 있으며, 픽셀 피치 혹은 서브픽셀 피치 보다 같거나 작은 길이의 비표시영역(IA)을 갖는 발광 표시장치(100)로 멀티 스크린 표시장치를 구성하는 경우, 비표시영역(IA)이 픽셀 피치 또는 서브 픽셀 피치보다 작으므로 베젤영역이 실질적으로 없는 멀티 스크린 표시장치를 구현할 수 있게 된다.
- [0066] 상술한 바와 같은, 베젤영역이 실질적으로 없거나 최소화 된, 멀티 스크린 방식의 표시장치를 구현하기 위해 발광 표시장치(100)는 표시영역(AA)내에서 제1 기준 픽셀 피치, 제2 기준 픽셀 피치, 제1 기준 서브픽셀 피치 및 제2 기준 서브픽셀 피치를 일정하게 유지할 수도 있으나, 표시영역(AA)을 복수의 구역으로 정의하고 각각의 구역내에서 상술한 피치 길이를 서로 다르게 하되, 비표시영역(IA)과 인접한 구역의 픽셀 피치를 다른 구역보다 넓게 함으로서 더욱 베젤영역의 크기를 상대적으로 픽셀 피치보다 작도록 할수 있다.
- [0067] 이와같이, 서로다른 픽셀 피치를 갖는 발광 표시장치(100)는 화상에 대한 왜곡 현상이 발생 할 수 있으므로 설정된 픽셀 피치를 고려하여 인접한 구역과 비교하여 이미지 데이터를 샘플링하는 방식으로 이미지 프로세싱을 하여 화상에 대한 왜곡 현상을 최소화 하면서 베젤영역을 최소화 할 수 있다.
- [0068] 그러나, 비표시영역(IA)를 최소화 하는데에 LED소자(150)가 있는 단위 화소(UP)에 전원 공급과 데이터 신호를 주고 받을수 있는 회로부와의 연결을 위한 패드영역과 구동을 위한 드라이브 IC등을 위한 최소한의 영역이 필요

하다.

- [0069] 도 2를 참조하여, 발광 표시장치(100)의 단위픽셀(UP)을 구성하는 서브픽셀(SP1, SP2, SP3)의 구성 및 회로구조에 대하여 설명하도록 한다. 픽셀 구동 라인들은 기관(110)의 전면(前面)(110a) 상에 마련되어 복수의 서브 픽셀(SP1, SP2, SP3) 각각에 필요한 신호를 공급한다. 본 발명의 일 실시예에 따른 픽셀 구동 라인들은 복수의 게이트 라인(GL), 복수의 데이터 라인(DL), 복수의 구동 전원 라인(DPL), 및 복수의 공통 전원 라인(CPL)을 포함한다.
- [0070] 복수의 게이트 라인(GL) 각각은 기관(110)의 전면(前面)(110a) 상에 마련되는 것으로, 기관(110)의 제 1 수평 축 방향(X)을 따라 길게 연장되면서 제 2 수평 축 방향(Y)을 따라 일정한 간격으로 이격된다.
- [0071] 복수의 데이터 라인(DL)은 복수의 게이트 라인(GL)과 교차하도록 기관(110)의 전면(前面)(110a) 상에 마련되는 것으로, 기관(110)의 제 2 수평 축 방향(Y)을 따라 길게 연장되면서 제 1 수평 축 방향(X)을 따라 일정한 간격으로 이격된다.
- [0072] 복수의 구동 전원 라인(DPL)은 복수의 데이터 라인(DL) 각각과 나란하도록 기관(110) 상에 마련되는 것으로, 복수의 데이터 라인(DL) 각각과 함께 형성될 수 있다. 이러한 복수의 구동 전원 라인(DPL) 각각은 외부로부터 제공되는 픽셀 구동 전원을 인접한 서브 픽셀(SP)에 공급한다.
- [0073] 복수의 공통 전원 라인(CPL)은 복수의 게이트 라인(GL) 각각과 나란하도록 기관(110) 상에 마련되는 것으로, 복수의 게이트 라인(GL) 각각과 함께 형성될 수 있다. 이러한 복수의 공통 전원 라인(CPL) 각각은 외부로부터 제공되는 공통 전원을 인접한 서브 픽셀(SP1, SP2, SP3)에 공급한다.
- [0074] 복수의 서브 픽셀(SP1, SP2, SP3) 각각은 게이트 라인(GL)과 데이터 라인(DL)에 의해 정의되는 서브 픽셀 영역에 마련된다. 복수의 서브 픽셀(SP1, SP2, SP3) 각각은 실제 빛이 발광되는 최소 단위의 영역으로 정의될 수 있다.
- [0075] 서로 인접한 적어도 3개의 서브 픽셀(SP1, SP2, SP3)은 컬러 표시를 위한 하나의 단위 픽셀(UP)을 구성할 수 있다. 예를 들어, 하나의 단위 픽셀(UP)은 제 1 수평 축 방향(X)을 따라 서로 인접한 적색 서브 픽셀(SP1), 녹색 서브 픽셀(SP2) 및 청색 서브 픽셀(SP3)를 포함하며, 휘도 향상을 위해 백색 서브 픽셀을 더 포함할 수도 있다.
- [0076] 선택적으로, 복수의 구동 전원 라인(DPL) 각각은 복수의 단위 픽셀(UP) 각각마다 하나씩 마련될 수 있다. 이 경우, 각 단위 픽셀(UP)을 구성하는 적어도 3개의 서브 픽셀(SP1, SP2, SP3)은 하나의 구동 전원 라인(DPL)을 공유한다. 이에 따라, 각 서브 픽셀(SP1, SP2, SP3)의 구동을 위한 구동 전원 라인의 개수를 감소시킬 수 있고, 감소하는 구동 전원 라인의 개수만큼 각 단위 픽셀(UP)의 개구율을 증가시키거나 각 단위 픽셀(UP)의 크기를 감소시킬 수 있다.
- [0077] 본 발명의 일 실시예에 따른 복수의 서브 픽셀(SP1, SP2, SP3) 각각은 픽셀 회로(PC) 및 LED소자(150)를 포함한다.
- [0078] 픽셀 회로(PC)는 각 서브 픽셀(SP)에 정의된 회로 영역에 마련되어 인접한 게이트 라인(GL)과 데이터 라인(DL) 및 구동 전원 라인(DPL)에 연결된다. 이러한 픽셀 회로(PC)는 구동 전원 라인(DPL)으로부터 공급되는 픽셀 구동 전원을 기반으로, 게이트 라인(GL)으로부터의 스캔 펄스에 응답하여 데이터 라인(DL)으로부터의 데이터 신호에 따라 LED소자(150)에 흐르는 전류를 제어한다. 본 발명의 일 실시예에 따른 픽셀 회로(PC)는 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 및 커패시터(Cst)를 포함한다.
- [0079] 스위칭 박막 트랜지스터(T1)는 게이트 라인(GL)에 연결된 게이트 전극, 데이터 라인(DL)에 연결된 제 1 전극, 및 구동 박막 트랜지스터(T2)의 게이트 전극(N1)에 연결된 제 2 전극을 포함한다. 여기서, 상기 스위칭 박막 트랜지스터(T1)의 제 1 및 제 2 전극은 전류의 방향에 따라 소스 전극 또는 드레인 전극이 될 수 있다. 이러한 상기 스위칭 박막 트랜지스터(T1)는 게이트 라인(GL)에 공급되는 스캔 펄스에 따라 스위칭되어 데이터 라인(DL)에 공급되는 데이터 신호를 구동 박막 트랜지스터(T2)에 공급한다.
- [0080] 구동 박막 트랜지스터(T2)는 스위칭 박막 트랜지스터(T1)로부터 공급되는 전압 및/또는 커패시터(Cst)의 전압에 의해 턴-온됨으로써 구동 전원 라인(DPL)으로부터 LED소자(150)로 흐르는 전류량을 제어한다. 이를 위해, 본 발명의 일 실시예에 따른 구동 박막 트랜지스터(T2)는 상기 스위칭 박막 트랜지스터(T1)의 제 2 전극(N1)에 연결된 게이트 전극, 구동 전원 라인(DPL)에 연결된 드레인 전극, 및 LED소자(150)에 연결되는 소스 전극을 포함한다. 이러한 구동 박막 트랜지스터(T2)는 스위칭 박막 트랜지스터(T1)로부터 공급되는 데이터 신호를 기반으로 구동 전원 라인(DPL)으로부터 LED소자(150)로 흐르는 데이터 전류를 제어함으로써 LED소자(150)의 발광을 제

어한다.

- [0081] 커패시터(Cst)는 구동 박막 트랜지스터(T2)의 게이트 전극(N1)과 소스 전극 사이의 중첩 영역에 마련되어 구동 박막 트랜지스터(T2)의 게이트 전극에 공급되는 데이터 신호에 대응되는 전압을 저장하고, 저장된 전압으로 구동 박막 트랜지스터(T2)를 턴-온시킨다.
- [0082] 선택적으로, 픽셀 회로(PC)는 구동 박막 트랜지스터(T2)의 문턱 전압 변화를 보상하기 위한 적어도 하나의 보상 박막 트랜지스터를 더 포함할 수 있으며, 나아가 적어도 하나의 보조 커패시터를 더 포함할 수 있다. 이러한 픽셀 회로(PC)는 박막 트랜지스터와 보조 커패시터의 개수에 따라 초기화 전압 등의 보상 전원을 추가로 공급받을 수도 있다. 따라서, 본 발명의 일 실시예에 따른 픽셀 회로(PC)는 유기 발광 표시 장치의 각 서브 픽셀과 동일하게 전류 구동 방식을 통해 LED소자(150)를 구동하기 때문에 공지된 유기 발광 표시 장치의 화소픽셀 회로로 변경 가능하다.
- [0083] LED소자(150)는 복수의 서브 픽셀(SP1, SP2, SP3) 각각에 실장된다. 이러한 LED소자(150)는 해당 서브 픽셀(SP)의 화소픽셀 회로(PC)와 공통 전원 라인(CPL)에 전기적으로 연결됨으로써 화소픽셀 회로(PC), 즉 구동 박막 트랜지스터(T2)로부터 공통 전원 라인(CPL)으로 흐르는 전류에 의해 발광한다. 본 발명의 일 실시예에 따른 LED소자(150)는 적색 광, 녹색 광, 청색 광, 및 백색 광 중 어느 하나의 광을 방출하는 광 소자 또는 발광 다이오드 칩일 수 있다. 여기서, 발광 다이오드 칩은 1 내지 100 마이크로 미터의 스케일을 가질 수 있으나, 이에 한정되지 않는 서브 픽셀 영역 중 화소픽셀 회로(PC)가 차지하는 회로 영역을 제외한 나머지 발광 영역의 크기보다 작은 크기를 가질 수 있다.
- [0084] 도 3은 본 발명의 일 실시예에 따른 발광 소자의 배치를 설명하기 위한 개략적인 단면도이다. 이하에서는 도 3을 참조하여 설명하되 이전 도면들과 결부하여 설명하도록 한다.
- [0085] 본 발명의 일 실시예에 따른 표시 장치의 각 서브 픽셀(SP1, SP2, SP3)은 보호층(113), LED소자(150), 평탄화층(115-1, 115-2), 픽셀 전극(PE), 및 공통 전극(CE)을 포함한다.
- [0086] 먼저, 도 3에서는 기관(110)의 두께를 상대적으로 얇게 도시하였지만, 실질적으로 기관(110)의 두께는 기관(110) 상에 마련된 층 구조의 전체 두께보다 상대적으로 매우 두꺼운 두께를 갖을 수 있으며, 복수의 층으로 구성되거나 복수의 기관이 합착된 기관일 수 있다.
- [0087] 화소픽셀 회로(PC)는 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 및 커패시터(C)를 포함한다. 이러한 픽셀 회로(PC)는 전술한 바와 동일하므로, 이에 대한 구체적인 설명은 생략하기로 하고, 이하 구동 박막 트랜지스터(T2)의 구조를 예를 들어 설명하기로 한다.
- [0088] 구동 박막 트랜지스터(T2)는 게이트 전극(GE), 반도체층(SCL), 소스 전극(SE), 및 드레인 전극(DE)을 포함한다.
- [0089] 게이트 전극(GE)은 기관(110) 상에 게이트 라인(GL)과 함께 배치된다. 이러한 게이트 전극(GE)은 게이트 절연층(112)에 의해 덮인다. 상기 게이트 절연층(112)은 무기 물질로 이루어진 단일층 또는 복수의 층으로 구성될 수 있으며, 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 등으로 이루어질 수 있다.
- [0090] 반도체층(SCL)은 게이트 전극(GE)과 중첩(overlap)되도록 게이트 절연층(112) 상에 미리 설정된 패턴(또는 섬) 형태로 마련된다. 이러한 반도체층(SCL)은 비정질 실리콘(amorphous silicon), 다결정 실리콘(polycrystalline silicon), 산화물(oxide) 및 유기물(organic material) 중 어느 하나로 이루어진 반도체 물질로 구성될 수 있지만, 이에 제한되지 않는다.
- [0091] 소스 전극(SE)은 반도체층(SCL)의 일측과 중첩되도록 배치된다. 소스 전극(SE)은 데이터 라인(DL) 및 구동 전원 라인(DPL)과 함께 배치된다.
- [0092] 드레인 전극(DE)은 반도체층(SCL)의 타측과 중첩되면서 소스 전극(SE)과 이격되도록 배치된다. 상기 드레인 전극(DE)은 소스 전극(SE)과 함께 배치되는 것으로, 인접한 구동 전원 라인(DPL)으로부터 분기되거나 돌출된다.
- [0093] 부가적으로, 화소픽셀 회로(PC)를 구성하는 스위칭 박막 트랜지스터(T1)는 구동 박막 트랜지스터(T2)와 동일한 구조로 배치된다. 이때, 스위칭 박막 트랜지스터(T1)의 게이트 전극은 게이트 라인(GL)으로부터 분기되거나 돌출되고, 스위칭 박막 트랜지스터(T1)의 제 1 전극은 데이터 라인(DL)으로부터 분기되거나 돌출되며, 스위칭 박막 트랜지스터(T1)의 제 2 전극은 게이트 절연층(112)에 마련된 비아홀을 통해서 구동 박막 트랜지스터(T2)의 게이트 전극(GE)과 연결된다.
- [0094] 보호층(113)은 서브 픽셀(SP), 즉 픽셀 회로(PC)를 덮도록 기관(110)의 전면(全面) 전체에 마련된다. 이러한 보

호층(113)은 픽셀 회로(PC)를 보호하면서 평탄면을 제공한다. 본 발명의 일 실시예에 따른 보호층(113)은 벤조사이클로부텐(benzocyclobutene) 또는 포토 아크릴(photo acryl)과 같은 유기 물질로 이루어질 수 있으나, 공정 편의를 위해 포토 아크릴 물질로 이루어지는 것이 바람직하다.

- [0095] 본 발명의 일 실시예에 따른 LED소자(150)는 보호층(113)상에 접착부재(114)가 사용되어 배치될 수 있다. 또는, 보호층(113)상에 마련된 오목부에 배치될 수 있으며, 이러한 보호층(113)에 있는 오목부로 인한 경사면은 LED소자(150)로부터 방출되는 광을 특정 방향으로 진행시키어 발광 효율을 향상시키는 역할을 할 수 있다.
- [0096] LED소자(150)는 화소픽셀 회로(PC)와 공통 전원 라인(CPL)에 전기적으로 연결됨으로써 화소픽셀 회로(PC), 즉 구동 박막 트랜지스터(T2)로부터 공통 전원 라인(CPL)으로 흐르는 전류에 의해 발광한다. 본 발명의 일 실시예에 따른 LED소자(150)는 발광층(EL), 제 1 전극(또는 애노드 단자)(E1), 및 제 2 전극(또는 캐소드 단자)(E2)을 포함한다.
- [0097] LED소자(150)는 제 1 전극(E1)과 제 2 전극(E2) 사이에 흐르는 전류에 따른 전자와 정공의 재결합에 따라 발광한다.
- [0098] 평탄화층(115-1, 115-2)은 LED소자(150)를 덮도록 보호층(113) 상에 배치된다. 즉, 평탄화층(115-1, 115-2)은 보호층(113)의 전면, LED소자(150)가 배치된 곳과 나머지 전면(前面)을 모두 덮을 수 있을 정도의 두께를 가지도록 보호층(113) 상에 배치된다.
- [0099] 평탄화층(115-1, 115-2)은 하나의 층으로 이루어 질 수 있으며 도시한 바와 같이 제1 평탄화층(115-1) 및 제2 평탄화층(115-2)으로 구성되는 다층구조의 평탄화층(115-1, 115-2)일 수 있다.
- [0100] 이와 같은, 평탄화층(115-1, 115-2)은 보호층(113) 상에 평탄면을 제공한다. 또한, 평탄화층(115-1, 115-2)은 LED소자(150)의 위치를 고정하는 역할을 한다.
- [0101] 픽셀 전극(PE)은 LED소자(150)의 제 1 전극(E1)을 구동 박막 트랜지스터(T2)의 드레인 전극(DE)에 연결하는 것으로 박막 트랜지스터(T2)의 구성에 따라 소스 전극(SE)에 연결하는 구성도 가능하다. 이와 같은 픽셀 전극(PE)은 애노드 전극으로 정의될 수 있다. 본 발명의 일 실시예에 따른 픽셀 전극(PE)은 LED소자(150)의 제 1 전극(E1)과 구동 박막 트랜지스터(T2)에 중첩되는 평탄화층(115-1, 115-2)의 전면에 마련된다. 픽셀 전극(PE)은 보호층(113) 및 평탄화층(115-1, 115-2)을 관통하여 마련된 제 1 회로 콘택홀(CCH1)을 통해서 구동 박막 트랜지스터(T2)의 드레인 전극(DE) 또는 소스 전극(SE)에 전기적으로 연결되고, 평탄화층(115-1, 115-2)에 마련된 전극 콘택홀(ECH)을 통해서 LED소자(150)의 제 1 전극(E1)에 전기적으로 연결된다. 이에 따라, LED소자(150)의 제 1 전극(E1)은 픽셀 전극(PE)을 통해서 구동 박막 트랜지스터(T2)의 드레인 전극(DE) 또는 소스 전극(SE)과 전기적으로 연결된다.
- [0102] 소스 전극(SE) 및 드레인 전극(DE)의 연결관계에서, 드레인 전극(DE)이 픽셀 전극(PE)과 연결되는 것으로 도시하였으나 픽셀 전극(PE)과 소스 전극(SE)이 연결되는 구성도 가능하며 이는 당업자의 선택사항이라 할 수 있겠다.
- [0103] 이러한 픽셀 전극(PE)은 표시 장치가 전면 발광(top emission) 방식일 경우, 투명 도전 물질로 이루어지고, 표시 장치가 후면 발광(bottom emission) 방식일 경우, 광 반사 도전 물질로 이루어질 수 있다. 여기서, 투명 도전 물질은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등이 될 수 있지만, 이에 한정되지 않는다. 광 반사 도전 물질은 Al, Ag, Au, Pt, 또는 Cu 등이 될 수 있지만, 이에 한정되지 않는다. 광 반사 도전 물질로 이루어진 픽셀 전극(PE)은 광 반사 도전 물질을 포함하는 단일층 또는 상기 단일층이 적층된 다중층으로 이루어질 수 있다.
- [0104] 공통 전극(CE)은 LED소자(150)의 제 2 전극(E2)과 공통 전원 라인(CPL)을 전기적으로 연결하는 것으로, 캐소드 전극으로 정의될 수 있다. 공통 전극(CE)은 LED소자(150)의 제 2 전극(E2)과 중첩되면서 공통 전원 라인(CPL)과 중첩되는 평탄화층(115-1, 115-2)의 전면에 마련된다. 여기서, 공통 전극(CE)은 픽셀 전극(PE)과 동일한 물질로 이루어질 수 있다.
- [0105] 본 발명의 일 실시예에 따른 공통 전극(CE)의 일측은 공통 전원 라인(CPL)과 중첩되는 게이트 절연층(112)과 보호층(113) 및 평탄화층(115-1, 115-2)을 관통하여 마련된 제 2 회로 콘택홀(CCH2)을 통해서 공통 전원 라인(CPL)에 전기적으로 연결된다. 본 발명의 일 실시예에 따른 공통 전극(CE)의 타측은 LED소자(150)의 제 2 전극(E2)과 중첩되도록 평탄화층(115-1, 115-2)에 마련된 전극 콘택홀(ECH)을 통해서 LED소자(150)의 제 2 전극(E2)에 전기적으로 연결된다. 이에 따라, LED소자(150)의 제 2 전극(E2)은 공통 전극(CE)을 통해서 공통 전원 라

인(CPL)과 전기적으로 연결된다.

- [0106] 본 발명의 일 실시예에 따른 픽셀 전극(PE)과 공통 전극(CE)은 제 1 및 제 2 회로 컨택홀(CCH1, CCH2), 및 전극 컨택홀(ECH)을 포함하는 평탄화층(115-1, 115-2) 상에 전극 물질을 증착하는 증착 공정과 포토리소그라피 공정 및 식각 공정을 이용한 전극 패터닝 공정에 의해 동시에 마련될 수 있다. 이에 따라, 본 발명의 일 실시예는 LED소자(150)를 픽셀 회로(PC)에 연결하는 픽셀 전극(PE)과 공통 전극(CE)을 동시에 배치할 수 있으므로, 전극 연결 공정을 단순화할 수 있으며, LED소자(150)와 픽셀 회로(PC)를 연결하는 공정 시간을 크게 단축시키고, 이를 통해서 표시 장치의 생산성을 향상시킬 수 있다.
- [0107] 본 발명의 일 실시예에 따르면, 표시 장치는 투명 버퍼층(116)을 더 포함한다.
- [0108] 투명 버퍼층(116)은 픽셀 전극(PE)과 공통 전극(CE)이 마련된 평탄화층(115-1, 115-2)의 전체를 모두 덮도록 기판(110) 상에 마련됨으로써 평탄화층(115-1, 115-2) 상에 평탄면을 제공하면서 외부 충격으로부터 LED소자(150) 및 화소픽셀 회로(PC)를 보호한다. 이에 따라, 픽셀 전극(PE)과 공통 전극(CE) 각각은 평탄화층(115-1, 115-2)과 투명 버퍼층(116) 사이에 마련된다. 본 발명의 일 실시예에 따른 투명 버퍼층(116)은 OCA(optical clear adhesive) 또는 OCR(optical clear resin) 등이 될 수 있지만, 이에 한정되지 않는다.
- [0109] 본 발명의 일 실시예에 따른 표시 장치는 각 서브 픽셀(SP)의 발광 영역 아래에 마련된 반사층(111)을 더 포함한다.
- [0110] 반사층(111)은 LED소자(150)를 포함하는 발광 영역과 중첩되도록 기판(110) 상에 마련된다. 본 발명의 일 실시예에 따른 반사층(111)은 구동 박막 트랜지스터(T2)의 게이트 전극(GE)과 동일한 물질로 이루어져 게이트 전극(GE)과 동일한 층에 마련될 수 있으나 이에 한정되지 않는다. 반사층(111)은 구동 박막 트랜지스터(T2)를 구성하는 전극들중 어느하나의 전극과 동일한 물질로 이루어질 수 있다.
- [0111] 이러한 반사층(111)은 LED소자(150)로부터 입사되는 광을 LED소자(150)의 상부로 반사시킨다. 이에 따라, 본 발명의 일 실시예에 따른 표시 장치는 반사층(111)을 포함함에 따라 전면 발광(top emission) 구조를 갖는다. 다만, 본 발명의 일 실시예에 따른 표시 장치가 후면 발광(bottom emission) 구조를 가질 경우, 상기 반사층(111)은 생략되거나, LED소자(150)의 상부에 배치될 수 있다.
- [0112] 선택적으로, 상기 반사층(111)은 구동 박막 트랜지스터(T2)의 소스/드레인 전극(SE/DE)과 동일한 물질로 이루어져 소스/드레인 전극(SE/DE)과 동일한 층에 마련될 수도 있다.
- [0113] 본 발명의 일 실시예에 따른 표시 장치는 각 서브 픽셀(SP)에 실장되는 LED소자(150)가 접착 부재(114)에 의해 해당하는 반사층(111)의 상부와 대응하는 곳에 배치될 수 있다.
- [0114] 접착 부재(114)는 각 서브 픽셀(SP)의 LED소자(150)를 1차적으로 고정한다. 본 발명의 일 실시예에 따른 접착 부재(114)는 LED소자(150)의 하부와 접촉되며 LED소자(150)의 실장 공정 시 배치되는 위치가 틀어지는 것을 최소화함과 동시에 이식하기 위해 사용되는 중간 기판으로부터 LED소자(150)가 원활이 떨어지도록 하여 LED소자(150)의 이식 공정불량을 최소화 할 수 있다.
- [0115] 본 발명의 일 실시예에 따른 접착 부재(114)는 각 서브 픽셀(SP)에 도팅(dotting)되어 발광 소자의 실장 공정 시 가해지는 가압력에 의해 퍼짐으로써 LED소자(150)의 하부에 접착될 수 있다. 이에 따라, LED소자(150)는 접착 부재(114)에 의해 1차적으로 위치가 고정될 수 있다. 따라서, 본 실시예에 따르면, 발광 소자의 실장 공정은 LED소자(150)를 면에 단순 접착하는 방식으로 수행됨으로써 발광 소자의 실장 공정 시간이 크게 단축될 수 있다.
- [0116] 또한 접착 부재(114)는 보호층(113)과 평탄화층(115-1, 115-2) 사이에 개재되고, LED소자(150)와 보호층(113) 사이에 개재된다. 이러한 다른 예에 따른 접착 부재(114)는 보호층(113)의 전면 전체에 일정한 두께로 코팅되되, 컨택홀들이 마련될 보호층(113)의 전면에서 코팅된 접착 부재(114)의 일부는 컨택홀들의 배치시 제거된다. 이에 따라, 본 발명의 일 실시예는 발광 소자의 실장 공정 직전에, 접착 부재(114)를 보호층(113)의 전면 전체에 일정한 두께로 코팅함으로써 접착 부재(114)를 배치하는 공정 시간을 단축시킬 수 있다.
- [0117] 본 발명의 일 실시예에서, 접착 부재(114)가 보호층(113)의 전면 전체에 마련되기 때문에 본 예의 평탄화층(115-1, 115-2)은 접착 부재(114)를 덮도록 마련된다.
- [0118] 본 발명의 또다른 일 실시예에서, LED소자(150)를 별도로 수용하기 위한 오목부가 존재하며, 오목부의 내측에 접착부재(114)를 통해 위치할 수 있다. 그러나, 상술한 LED소자(150)를 수용하기 위한 오목부는 표시장치를 구

현하기 위한 다양한 공정의 조건에 따라 삭제될 수도 있다.

- [0119] 본 발명의 일 실시예에 따른 발광 소자의 실장 공정은 적색 서브 픽셀들(SP1) 각각에 적색의 발광 소자를 실장하는 공정, 녹색 서브 픽셀들(SP2) 각각에 녹색의 발광 소자를 실장하는 공정, 및 청색 서브 픽셀들(SP3) 각각에 청색의 발광 소자를 실장하는 공정을 포함할 수 있으며, 백색 서브 픽셀들 각각에 백색의 발광 소자를 실장하는 공정을 더 포함할 수 있다.
- [0120] 본 발명의 일 실시예에 따른 발광 소자의 실장 공정은 서브 픽셀들 각각에 백색의 발광 소자를 실장하는 공정만을 포함할 수 있다. 이 경우, 기관(110)은 각 서브 픽셀과 중첩되는 컬러필터층을 포함한다. 컬러필터층은 백색 광 중에서 해당 서브 픽셀과 대응되는 색상의 파장을 갖는 광만을 투과시킨다.
- [0121] 본 발명의 일 실시예에 따른 발광 소자의 실장 공정은 서브 픽셀들 각각에 제 1 색상의 발광 소자를 실장하는 공정만을 포함할 수 있다. 이 경우, 기관(110)은 파장 변환층, 및 각 서브 픽셀과 중첩되는 컬러필터층을 포함한다. 파장 변환층은 발광 소자로부터 입사되는 제 1 색상의 광 중 일부를 기반으로 제 2 색상의 광을 방출한다. 컬러필터층은 제 1 색상의 광과 제 2 색상의 광의 혼합에 따른 백색 광 중에서 해당 서브 픽셀과 대응되는 색상의 파장을 갖는 광만을 투과시킨다. 여기서, 제 1 색상은 청색이 될 수 있고, 제 2 색상은 황색이 될 수 있다. 그리고, 파장 변환층은 제 1 색상의 광 중 일부를 기반으로 제 2 색상의 광을 방출하는 형광체 또는 양자점 입자를 포함할 수 있다.
- [0122] 도 4a 및 도 4b는 본 발명의 일 실시예에 따른 발광 소자를 설명하기 위한 개략적인 평면도이다. 도 4a 및 도 4b를 참조하여 설명하되 이전 도면을 참조하여 설명하도록 한다.
- [0123] 본 발명의 일 실시예에 따른 LED소자(150)는 발광층(EL)과 제1 전극(E1), 제2 전극(E2) 및 절연막(PAS)를 포함하고, 발광층(EL)은 제 1 반도체층(151), 활성층(152), 및 제 2 반도체층(153)을 포함한다. LED소자(150)는 제 1 전극(E1)과 제 2 전극(E2) 사이에 흐르는 전류에 따른 전자와 정공의 재결합에 따라 발광한다.
- [0124] 제1 반도체층(151)은 p형 반도체층이고 제2 반도체층(153)은 n형 반도체층 일 수 있으나 편의상 제1 반도체층(151) 및 제2 반도체층(153)으로 설명하도록 한다. 또한 제1 전극(E1) 및 제2 전극(E2) 또는 전기적인 연결 관계에 따라, 즉 전기적인 연결을 이루는 반도체 층에 따라 p형 전극 또는 n형 전극으로 호칭 될 수 있으나 마찬가지로 편의상 제1 또는 제2 전극으로 설명하도록 하겠다. 또한, 본 명세서에서는 제1 반도체층(151) 및 제2 반도체층(153)을 각각 p형 반도체층 및 n형 반도체층으로 설명하겠으나 제1 반도체층(151) 및 제2 반도체층(153)은 각각 반대인 n형 반도체층 및 p형 반도체층 일 수 있다.
- [0125] 제 1 반도체층(151)은 활성층(152) 상에 마련되어, 활성층(152)에 정공을 제공한다. 본 발명의 일 실시예에 따른 제 1 반도체층(153)은 p-GaN계 반도체 물질로 이루어질 수 있으며, p-GaN계 반도체 물질로는 GaN, AlGaN, InGaN, 또는 AlInGaN 등이 될 수 있다. 여기서, 제 2 반도체층(153)의 도핑에 사용되는 불순물로는 Mg, Zn, 또는 Be 등이 이용될 수 있다.
- [0126] 제 2 반도체층(153)은 활성층(152)에 전자를 제공한다. 본 발명의 일 실시예에 따른 제 2 반도체층(153)은 n-GaN계 반도체 물질로 이루어질 수 있으며, n-GaN계 반도체 물질로는 GaN, AlGaN, InGaN, 또는 AlInGaN 등이 될 수 있다. 여기서, 제 2 반도체층(153)의 도핑에 사용되는 불순물로는 Si, Ge, Se, Te, 또는 C 등이 사용될 수 있다.
- [0127] 활성층(152)은 제 2 반도체층(153) 상에 마련된다. 이러한 활성층(152)은 우물층과 우물층보다 밴드 갭이 높은 장벽층을 갖는 다중 양자 우물(MQW; Multi Quantum Well) 구조를 갖는다. 본 발명의 일 실시예에 따른 활성층(152)은 InGaN/GaN 등의 다중 양자 우물 구조를 가질 수 있다.
- [0128] 제 1 전극(E1)은 제1 반도체층(151)과 전기적으로 연결되며 구동 박막화소인 구동 트랜지스터(T2)의 드레인 전극(DE)과 또는 소스 전극(SE)과 연결되고, 제 2 전극(E2)은 공통 전원 라인(CPL)과 연결된다.
- [0129] 상술한 제 1 전극(E1)은 p형 전극일 수 있으며 제 2 전극(E2)은 n형 전극일 수 있다. 이는 전자를 공급하는지 또는 정공을 공급하는지에 따라, 즉 p형 반도체층과 전기적으로 연결되는지 또는 n형 반도체층과 연결되는지에 따라 구분할 수 있으나 본 명세서에서는 제 1 전극(E1)과 제 2 전극(E2)으로 설명하기로 한다.
- [0130] 본 발명의 일 실시예에 따른 제 1 및 제 2 전극(E1, E2) 각각은 Au, W, Pt, Si, Ir, Ag, Cu, Ni, Ti, 또는 Cr 등의 금속 물질 및 그 합금 중 하나 이상을 포함한 물질로 이루어질 수 있다. 다른 실시예에 따른 제 1 및 제 2 전극(E1, E2) 각각은 투명 도전성 재질로 이루어질 수 있으며, 상기 투명 도전성 재질은 ITO(Indium Tin

Oxide) 또는 IZO(Indium Zinc Oxide) 등이 될 수 있지만, 이에 한정되지 않는다.

- [0131] 절연막(PAS)는 LED소자(150)의 외부를 커버하도록 배치되며 제2 전극(E2)의 적어도 일부를 오픈하도록 배치되며, 활성층(152)을 커버하도록 배치하고, 제1 전극(E1)과 대응하는 절연막 오픈영역(P-Open)을 갖는다.
- [0132] 절연막(PAS)은 SiNx 또는 SiOx와 같은 물질로 배치될 수 있으며 활성층(152)을 커버하도록 배치된다. 절연막(PAS)은 LED소자(150)에 있는 제1 전극(E1) 및 제2 전극(E2)과 화소전극(PE)또는 공통전극(CE)이 전기적으로 연결되도록 전극이 배치될 때 의도하지 않은 요소간의 전기적 연결이 발생되지 않도록 한다.
- [0133] LED소자(150)는 평면상 밑면이 사다리꼴 형태인 발광소자일 수 있는데, 제 1 반도체층(151)의 면적이 넓도록 제 1 전극(E1)이 있는 측의 일 면의 길이가 가장 긴 장변인 사다리꼴 형태일 수 있다.
- [0134] LED소자(150)에 포함되어 있는 n형 반도체층 보다 p형 반도체층의 넓이를 넓히면, 발광 효율이 증가할 수 있다. 다시 설명하자면, p형 반도체층과 대응하는 활성층(152)의 면적을 넓히면 광효율을 증가시킬 수 있으므로 LED소자(150)의 p형 반도체층과 대응하는 일면이 장축이 되는 사다리꼴 형태로 LED소자(150)를 구성하면, 발광 효율이 증대된 LED소자(150)를 제공 할 수 있다.
- [0135] 부가적으로, 제 2 반도체층(153)과 활성층(152) 및 제 1 반도체층(151) 각각은 반도체 기판 상에 순차적으로 적층되어 형성된 LED소자(150)일 수 있다. 여기서, 반도체 기판은 사파이어 기판(sapphire substrate) 또는 실리콘 기판 등의 반도체 물질을 포함한다. 이러한 반도체 기판은 제 2 반도체층(153)과 활성층(152) 및 제 1 반도체층(151) 각각을 성장시키기 위한 성장용 기판으로 사용된 후, 기판 분리 공정에 의해 제 2 반도체층(153)으로부터 분리될 수 있다. 여기서, 기판 분리 공정은 레이저 리프트 오프(Laser Lift Off) 또는 케미컬 리프트 오프(Chemical Lift Off) 등이 될 수 있다. 이에 따라, LED소자(150)에서 성장용 반도체 기판이 제거됨에 따라 LED소자(150)는 상대적으로 얇은 두께를 가질 수 있으며, 이로 인하여 각 서브 픽셀(SP)에 수납될 수 있다.
- [0136] 도 5 는 본 발명의 일 실시예에 따른 발광 소자를 형성하기 위해 사용되는 반도체 기판에 대한 개략적인 도면이고, 도 6은 도 5에 따른 영역 A의 부분확대도이다.
- [0137] 상술한 바와 같이 LED소자(150)는 반도체 기판(Wafer)상에서 형성되어 표시 장치로 전사되어 발광 소자로서 구동하게 된다. 반도체 기판(Wafer)상에서 LED소자(150)를 형성함에 있어 전사하고자 하는 표시 장치의 픽셀배치에 따라 LED소자(150)은 일직선으로 정렬된 방향으로 형성하는 것이 유리하다.
- [0138] 발광효율이 증가된 LED소자(150)를 동일한 반도체 기판(Wafer)상에서 동일한 개수를 얻기 위하여 LED소자(150)의 발광효율과 관련된 제1 전극(E1)이 있는 측면의 넓이가 확대된 형태로 반도체 기판(Wafer)상에서 LED소자(150)를 형성하여 발광효율이 증가되되 직사각형의 LED소자(150)와 동일한 개수의 개선된 LED소자(150)을 얻을 수 있다. 이에 대한 자세한 설명은 이어지는 도면을 들어 설명 하도록 한다.
- [0139] 도 7a 내지 도 7c는 종래 발광 소자 대비 발광 효율이 증가된 발광소자를 설명하기 위한 개략적인 평면도이다.
- [0140] 도 7a를 참조하면 제1 가로길이(W1)와 제1 세로 길이(H1)로 정의되는 반도체 기판의 단위 면적 에서 종래소자(LED)는 총 4개를 얻을 수 있다고 했을 때, 도 7b를 참조하면, LED소자(150)는 한번의 길이가 증가된 사다리꼴 형태의 LED소자(150)로써 제2 가로길이(W2)와 제2 세로 길이(H2)로 정의되는 반도체 기판의 단위면적에서 LED소자(150)는 총 4개를 얻을 수 있게 된다.
- [0141] 이때, 제1 가로길이(W1)와 제2 가로길이(W2)가 실질적으로 동일하고, 제1 세로길이(H1)과 제2 세로길이(H2)가 실질적으로 동일하다고 하였을 때, LED소자(150)는 제1 전극(E1)측의 넓이가 증대된 발광소자로서, 종래소자(LED)보다 발광효율이 더 높은 LED소자(150)일 수 있다.
- [0142] 도 7c를 참조하면, 반도체 기판상에서 형성된 LED소자(150)는 전사 공정을 거쳐 표시장치의 기판으로 이식되게 되는데, 이러한 전사공정은 전사를 위한 전사기판을 사용하여 1차 전사공정 및 2차 전사 공정으로 나누어 수행될 수 있다.
- [0143] 하나의 반도체 기판에 있는 복수의 LED소자(150)에 대해, 일괄 전사하지 않고 화소의 간격을 고려하여 나누어 전사하게 되어 동일한 전사공정이 반복되어 수행된다. 반복되는 전사공정에 있어서, LED소자(150)가 반도체 기판에 배치된 위치에 따라 전사 공정의 공정 안정성은 영향을 받을 수 있다.
- [0144] 본 발명의 일 실시예에서, 도시한 바와 같이 이웃하는 LED소자(150)의 제1전극(E1)을 이웃하는 LED소자(150)의 제1전극(E1)과 마주보도록, 제2 전극(E2)을 이웃하는 LED소자(150)의 제2 전극(E2)과 마주보도록 배치하면 LED소자(150)를 전사하는 전사 공정의 공정 안정성을 향상 시킬 수 있다.

- [0145] 도 8a 및 도 8b는 유사한 발광 효율을 갖는 발광 소자의 면취수가 증가된 발광소자를 설명하기 위한 개략적인 평면도이다.
- [0146] 도 8a 및 도 8b를 참조하면 제1 가로길이(W1)와 제1 세로 길이(H1)로 정의되는 반도체 기판의 단위 면적 에서 종래소자(LED)는 총 4개를 얻을 수 있다고 했을 때, 종래소자(LED)의 세로길이(h1)과 실질적으로 동일한 세로길이(h2)를 갖는 LED소자(150)를 4개 얻을 수 있는 반도체 기판의 면적은 제2 가로길이(W2)와 제2 세로 길이(H2)로 정의될 수 있는데, 한 변의 길이가 증대된 LED소자(150)의 경우 제2 세로길이(H2)는 제1 세로길이(H1)보다 작게 된다. 즉, 실질적으로 동일한 발광 휘도를 갖는 LED소자(150)를 종래소자(LED)보다 작은 면적의 반도체 기판상에서 형성 가능하며, 이와 같이 동일한 면적의 반도체 기판에서 얻을 수 있는 LED소자(150)의 개수가 증가한다.
- [0147] 상술한 바와 같이, 동일한 면적의 반도체기판 상에서 얻을 수 있는 LED소자(150)의 개수를 증가시킴으로써 LED 소자(150)가 있는 표시 장치를 제조하는 비용을 감소 시킬 수 있다.
- [0148] 도 9a 및 도 9b는 발광 소자를 전사하는 과정을 설명하기 위한 개략적인 도면이다.
- [0149] LED소자(250)는 반도체 기판(wafer)상에서 성장되고, 패터닝되어 개별 LED소자(250)로 완성된다. 반도체 기판(wafer)상에 있는 LED소자(250)는 이송기판(Donor)에 일차적으로 전사되는데, 반도체 기판(wafer)과 이송기판(Donor)을 접촉시키고, 접촉된 상태에서 레이저를 반도체 기판(Wafer)의 후면에 조사하여 반도체 기판(wafer)에서 LED소자(250)를 분리 시키고 이송기판(Donor)에 접촉시키는 방식으로 LED소자(250)를 이송기판(Donor)에 이식할 수 있다.
- [0150] 이송기판(250)은 고분자 물질로 PDMS(Polydimethylsiloxane)와 같은 점착성이 높은 물질로 구성된 기판일 수 있으며, 표시장치의 화소간의 거리(픽셀 피치)와 대응하는 거리로 돌기(protusion)가 배치될 수 있다. 돌기(protusion)는 LED소자(250)가 이송기판(Donor)에 안정적으로 이식되도록 하는데, 이송기판(Donor)의 재질 또는 공정조건에 따라 삭제 가능하다.
- [0151] 이와 같이 LED소자(250)가 이송기판(250)에 이식될 때 이송기판(Donor)과 반도체기판(wafer)간의 정렬하는 단계가 필요한데, 상술 한 구성에서 LED소자(150)은 이웃하는 LED소자(150)과 제1 전극(E1)과 제2 전극(E2)의 방향이 상이할 수 있으므로, 이를 일치하기 위해 반도체 기판(Wafer)와 이송기판(Donor)를 180도 회전시키는 방법을 사용할 수 있다.
- [0152] 또는, 표시장치에서 서로 다른 방향의 전극의 LED소자(150)이 배치되어도 전극 연결에 문제가 없도록 전극 연결 방식을 변경하여 표시장치를 구성할 수도있다.
- [0153] 이후, 이송기판(Donor)에 전사된 LED소자(250)를 실제 표시장치의 발광 소자로 전사하는 단계를 거치게 된다.
- [0154] 먼저, 이송기판(Donor)과 기판(210)을 정렬하는 단계를 수행하고 LED소자(250)를 기판(210)으로 이식하는 단계를 수행한다. 기판(210)과 이송기판(Donor)를 접촉시키면, 도 3에 도시된 구성에 대하여 설명한 바와 같이, 기판(210)상에 있는 접착부재(114)는 LED소자(250)의 밑면과 접촉된다. 접착부재(114)에 의해 기판(210)과 LED소자(250)는 이송기판(Donor)보다 큰 점착력을 갖게 되어 기판(210)으로 LED소자(250)가 전사되게 된다.
- [0155] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

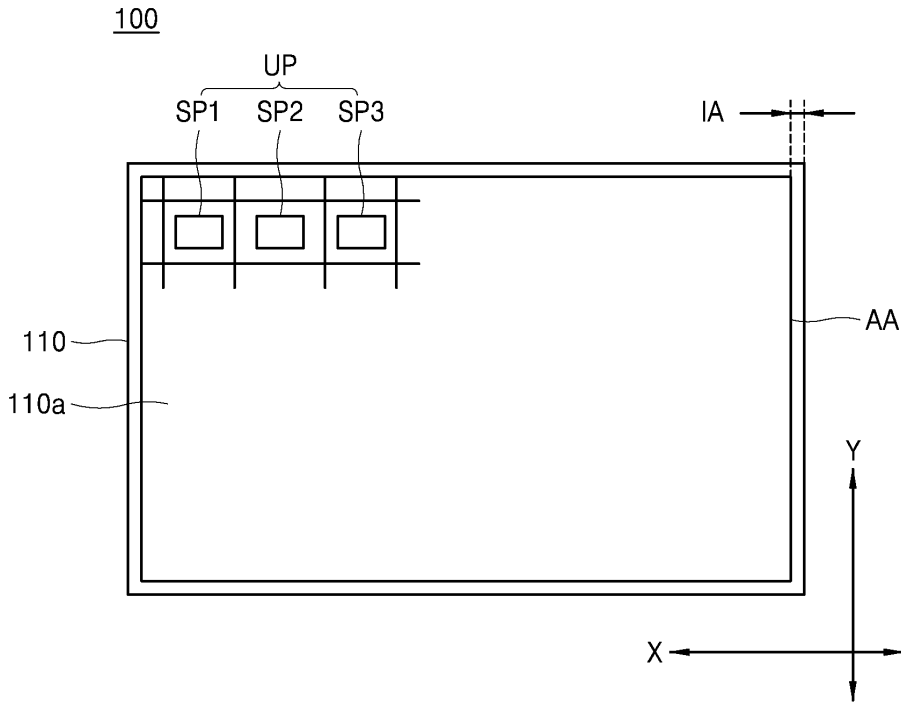
부호의 설명

- [0157] 100: 발광 표시장치
- 110: 기판
- 150: LED소자
- 151: 제1 반도체층

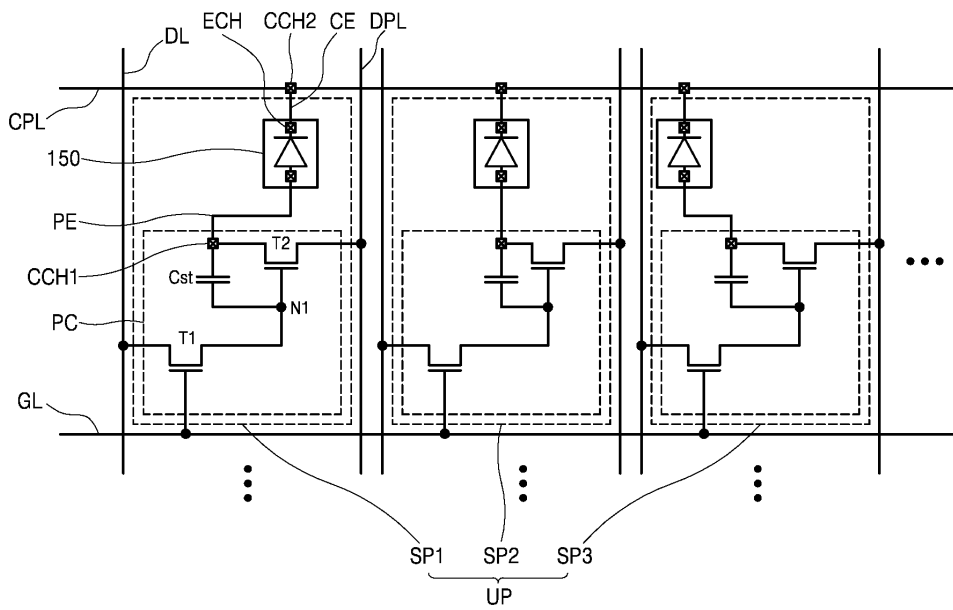
- 152: 활성층
- 153: 제2 반도체층
- 154, 160: 구조물
- E1: 제 1 전극
- E2: 제 2 전극

도면

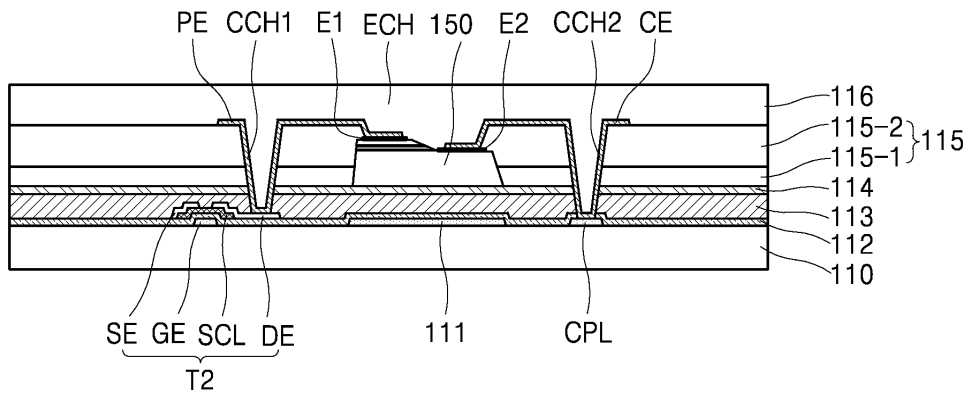
도면1



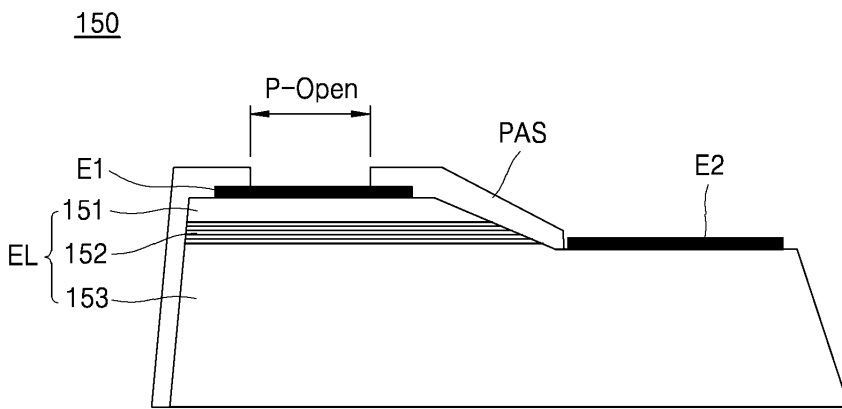
도면2



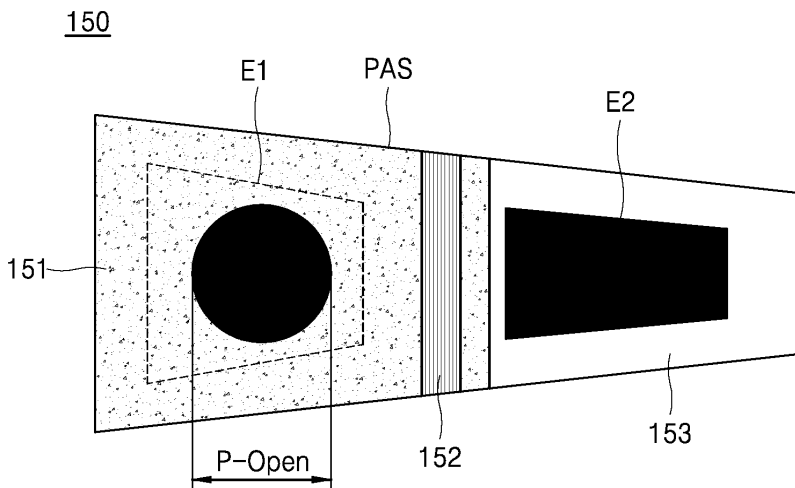
도면3



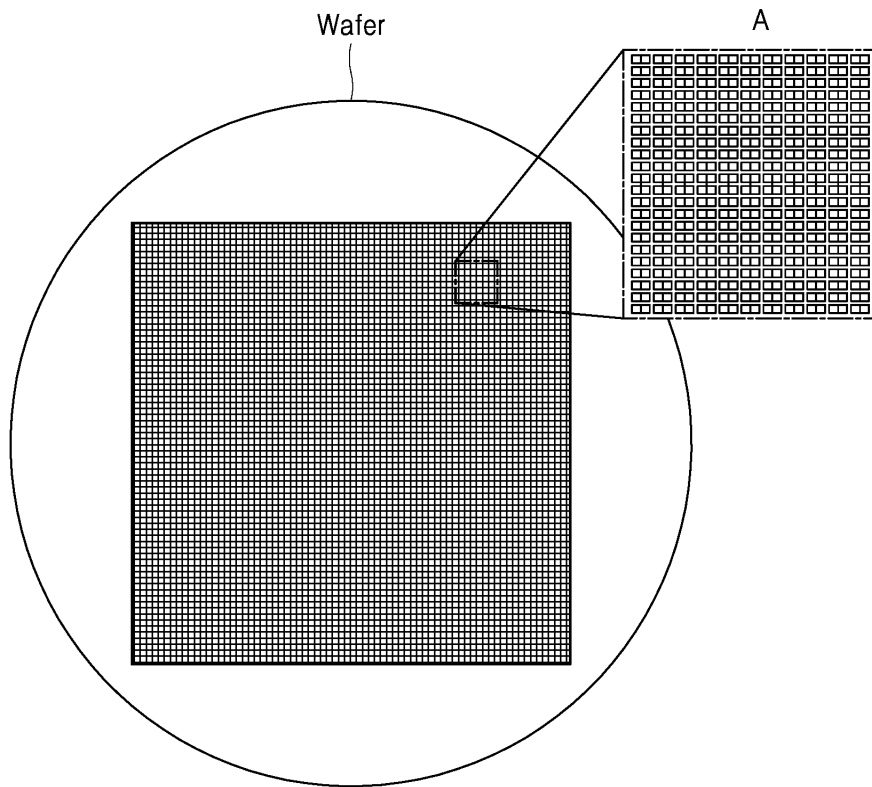
도면4a



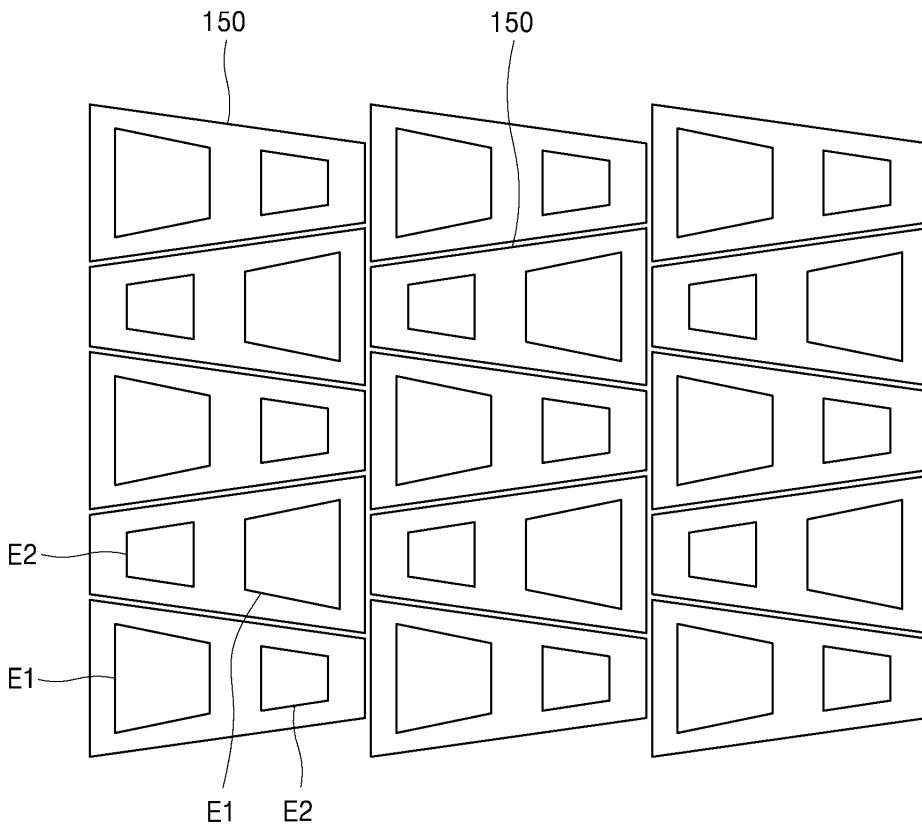
도면4b



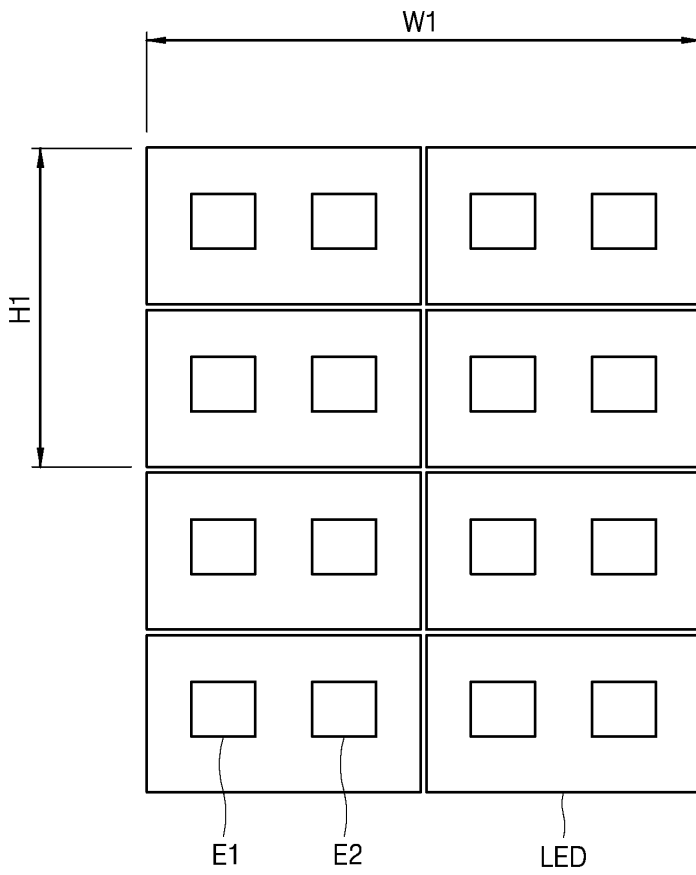
도면5



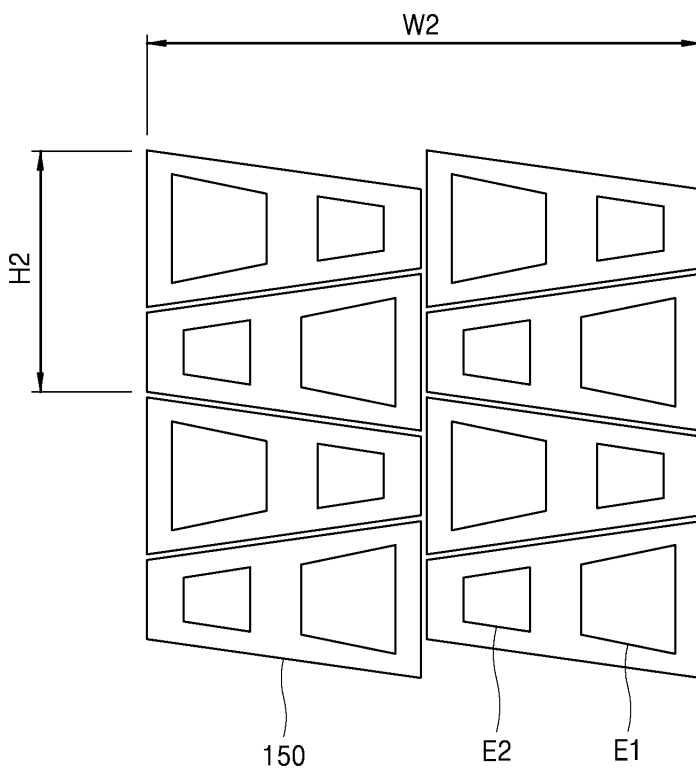
도면6



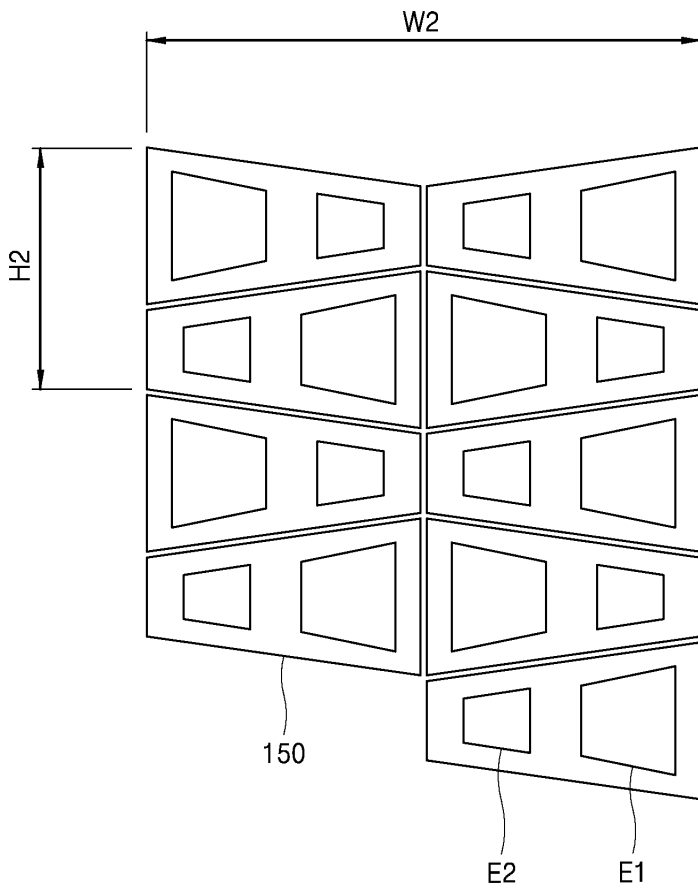
도면7a



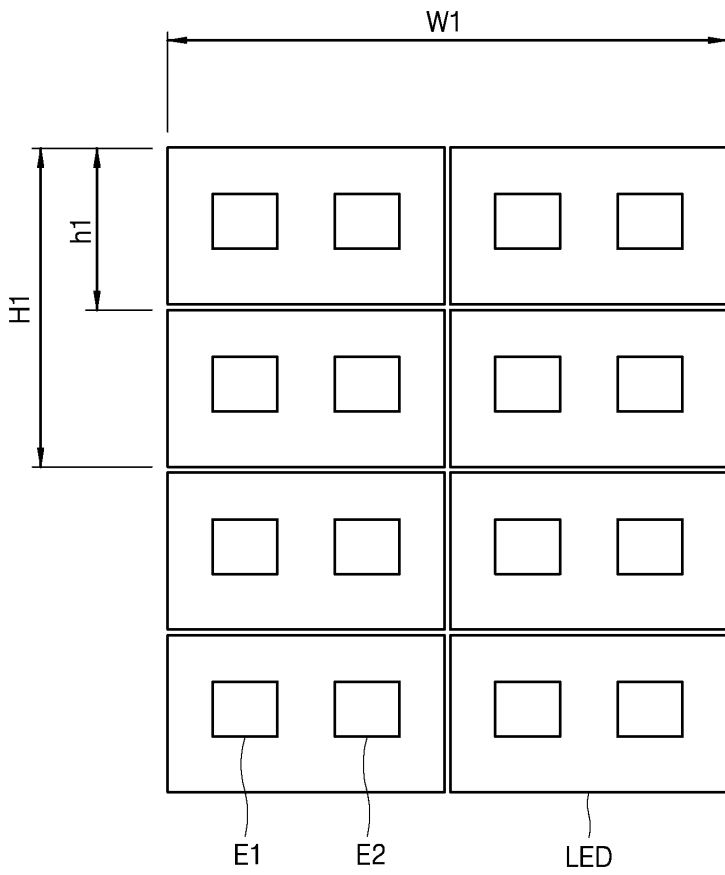
도면7b



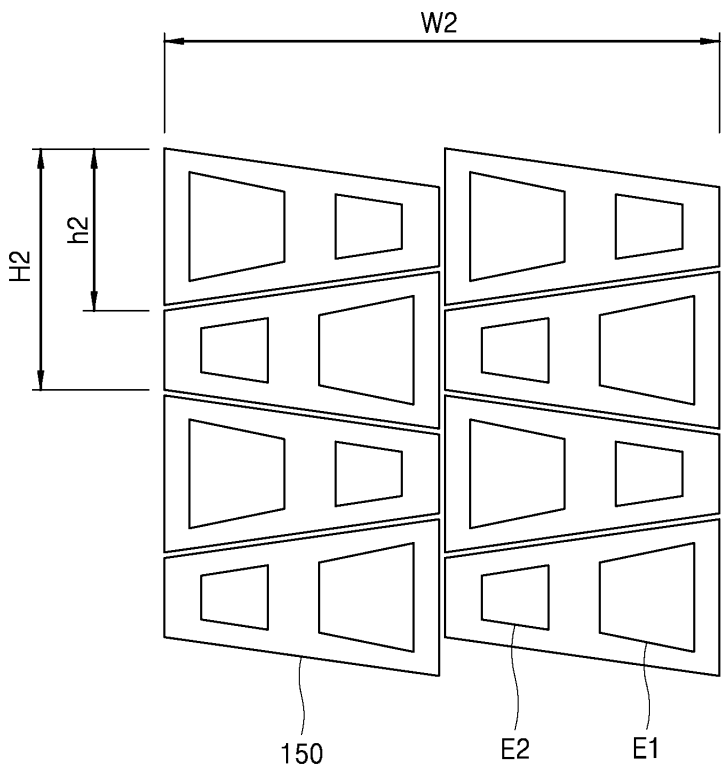
도면7c



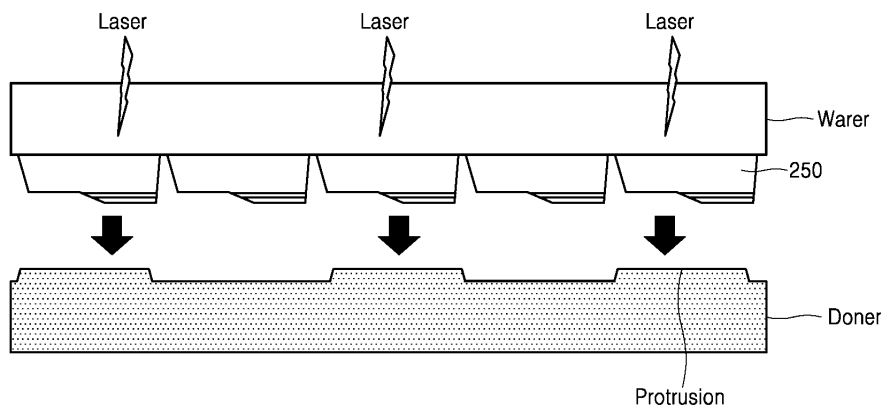
도면8a



도면8b



도면9a



도면9b

