



(12)发明专利申请

(10)申请公布号 CN 109272956 A

(43)申请公布日 2019.01.25

(21)申请号 201811316062.8

(22)申请日 2018.11.06

(71)申请人 惠科股份有限公司

地址 518000 广东省深圳市宝安区石岩街
道水田村民营工业园惠科工业园厂房
1、2、3栋,九州阳光1号厂房5、7楼

(72)发明人 何怀亮

(74)专利代理机构 深圳市世纪恒程知识产权代
理事务所 44287

代理人 胡海国

(51)Int.Cl.

G09G 3/36(2006.01)

G09G 3/3208(2016.01)

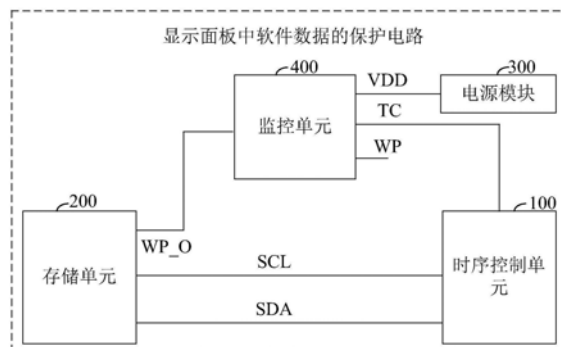
权利要求书2页 说明书9页 附图2页

(54)发明名称

显示面板中存储单元的保护电路及显示装
置

(57)摘要

本申请公开一种显示面板中存储单元的保护电路及显示装置,该电路包括:时序控制单元,具有信号传输端和控制信号输出端,并输出第一控制信号;存储单元,具有信号传输端和写保护控制端,存储单元的信号传输端与时序控制单元的信号传输端连接;存储单元,存储时序控制单元的软件数据;电源模块,输出电源信号;监控单元,具有三个输入端和与写保护控制端连接的信号输出端,两个与电源模块和控制信号输出端一一对连接,一个供写控制信号输入;监控单元,在常态下控制存储单元为写保护状态;在电源信号、第一控制信号和写控制信号的电平状态集合满足预设的电平状态集合时控制存储单元为写入状态。本申请能够降低存储单元中软件数据被改写的几率。



1. 一种显示面板中存储单元的保护电路,其特征在于,所述显示面板中存储单元的保护电路包括:

时序控制单元,具有信号传输端和控制信号输出端,所述时序控制单元用于输出高电平/低电平的第一控制信号;

存储单元,具有信号传输端和写保护控制端,所述存储单元的信号传输端与所述时序控制单元的信号传输端连接;所述存储单元,用于存储所述时序控制单元的软件数据;

电源模块,用于输出电源信号;

监控单元,所述监控单元具有第一输入端、第二输入端、第三输入端及信号输出端,所述第一输入端与所述电源模块连接,所述第二输入端与所述控制信号输出端连接,所述第三输入端供写控制信号输入,所述信号输出端与所述写保护控制端连接;

所述监控单元,用于在常态下输出写保护信号,控制所述存储单元为写保护状态;仅在所述电源信号、所述第一控制信号和所述写控制信号的电平状态集合满足预设的电平状态集合时输出写释放信号至所述存储单元,控制所述存储单元为写入状态。

2. 如权利要求1所述的显示面板中存储单元的保护电路,其特征在于,所述时序控制单元用于在常态下输出高电平的第一控制信号,在接收到对存储单元的数据写入指令时,输出低电平的第一控制信号;

所述写控制信号为高电平时,对应所述存储单元为写保护状态,所述写控制信号为低电平时,对应所述存储单元为写释放状态;

所述监控单元,用于根据所述电源信号、所述第一控制信号、所述写控制信号的电平进行逻辑运算处理,在所述电源信号不变,所述第一控制信号和所述写控制信号中任意一个为高电平时,输出所述写保护信号;在所述电源信号不变,所述第一控制信号和所述写控制信号均为低电平时,输出所述写释放信号。

3. 如权利要求1或2所述的显示面板中存储单元的保护电路,其特征在于,所述监控单元包括第一与逻辑电路、第二与逻辑电路、反向电路及或逻辑电路,

所述第一与逻辑电路的第一输入端与所述电源模块连接,所述第一与逻辑电路的第二输入端与所述时序控制单元的控制信号输出端连接;

所述第二与逻辑电路的第一输入端经所述反向电路与所述时序控制单元的控制信号输出端连接,所述第二与逻辑电路的第二输入端供写控制信号输入;

所述或逻辑电路的第一输入端与所述第一与逻辑电路的输出端连接,所述或逻辑电路的第二输入端与所述第二与逻辑电路的输出端连接,所述或逻辑电路的输出端与所述写保护控制端连接。

4. 如权利要求3所述的显示面板中存储单元的保护电路,其特征在于,所述第一与逻辑电路包括第一与门,所述第一与门的两个输入端为所述第一与逻辑电路的第一输入端和第二输入端,所述第一与门的输出端为所述第一与逻辑电路的输出端。

5. 如权利要求3所述的显示面板中存储单元的保护电路,其特征在于,所述第二与逻辑电路包括第二与门,所述第二与门的两个输入端为所述第二与逻辑电路的第一输入端和第二输入端,所述第二与门的输出端为所述第二与逻辑电路的输出端。

6. 如权利要求3所述的显示面板中存储单元的保护电路,其特征在于,所述或逻辑电路包括或门,所述或门的两个输入端为所述或逻辑电路的第一输入端和第二输入端,所述或

门的输出端为所述或逻辑电路的输出端。

7.如权利要求3所述的显示面板中存储单元的保护电路,其特征在于,所述反向电路包括反相器,所述反相器的输入端为所述反向电路的输入端,所述反相器的输出端为所述反向电路的输出端。

8.如权利要求1所述的显示面板中存储单元的保护电路,其特征在于,所述电源模块输出的电源电压为3.3伏。

9.一种显示面板中存储单元的保护电路,其特征在于,所述显示面板中存储单元的保护电路包括:

时序控制单元,具有信号传输端和控制信号输出端,所述时序控制单元用于输出高电平/低电平的第一控制信号;

存储单元,具有电源端、信号传输端和写保护控制端,所述存储单元的信号传输端与所述时序控制单元的信号传输端连接;所述存储单元,用于存储所述时序控制单元的软件数据;

电源模块,所述电源模块的输出端与所述写保护控制端和所述存储单元的电源端分别连接;所述电源模块,用于输出电源信号;

监控单元,所述监控单元具有第一输入端、第二输入端、第三输入端及信号输出端,所述第一输入端与述电源模块连接,所述第二输入端与所述控制信号输出端连接,所述第三输入端供写控制信号输入,所述信号输出端与所述写保护控制端连接;

所述监控单元,用于在常态下输出写保护信号,控制所述存储单元为写保护状态;仅在所述电源信号、所述第一控制信号和所述写控制信号的电平状态集合满足预设的电平状态集合时输出写释放信号至所述存储单元,控制所述存储单元为写入状态。

10.一种显示装置,其特征在于,所述显示装置包括如权利要求1-9中任一项所述的显示面板中存储单元的保护电路。

显示面板中存储单元的保护电路及显示装置

技术领域

[0001] 本申请涉及显示装置技术领域,特别涉及一种显示面板中存储单元的保护电路及显示装置。

背景技术

[0002] 在显示面板中,时序控制单元与存储单元通过串行通信总线,例如I2C总线相互连接,以进行数据传输。在刚上电时,时序控制单元内部会通过串行通信总线去读取存储单元里面存储的时序控制单元的软件数据(如输出使能信号OE、锁存信号TP、帧起始信号STV、极性反转信号POL),完成时序控制单元的初始化设定,进而控制显示面板驱动电路驱动显示面板工作。其中,时序控制单元的读写由计算机提供的信号WP进行控制,WP是存储单元的写控制信号,WP为高时进行读操作,WP为低时进行读写操作,存储单元正常状态下都要处于写保护状态,即正常状态下WP一直要为高电平H。

[0003] 可是现在比较容易出现的问题是,软件数据写入存储单元中一般是在电路板PCBA打件完成之后在打件厂内就已经完成。然后在面板厂内,在绑点完成之后,才进行上电测试,此时因为WP为高,进行的是读操作,但是一旦WP受到干扰而被拉低,就将进行读写操作,此时如果又遇到I2C总线的数据线SDA上的读写位由于线长和高频率等原因在存储单元识别的时候为写,就会导致存储单元中的软件数据被改写。当时序控制单元读取被改写后的软件数据时,就可能会造成读取错误,不能完成时序控制单元的初始化设定,甚至造成驱动显示面板时显示异常。

发明内容

[0004] 本申请的主要目的是提供一种显示面板中存储单元的保护电路,旨在降低显示面板中软件数据被改写的几率。

[0005] 为实现上述目的,本申请提出一种显示面板中存储单元的保护电路,该显示面板中存储单元的保护电路包括:

[0006] 时序控制单元,具有信号传输端和控制信号输出端,所述时序控制单元用于输出高电平/低电平的第一控制信号;

[0007] 存储单元,具有信号传输端和写保护控制端,所述存储单元的信号传输端与所述时序控制单元的信号传输端连接;所述存储单元,用于存储所述时序控制单元的软件数据;

[0008] 电源模块,用于输出电源信号;

[0009] 监控单元,所述监控单元具有第一输入端、第二输入端、第三输入端及信号输出端,所述第一输入端与所述电源模块连接,所述第二输入端与所述控制信号输出端连接,所述第三输入端供写控制信号输入,所述信号输出端与所述写保护控制端连接;

[0010] 所述监控单元,用于在常态下输出写保护信号,控制所述存储单元为写保护状态;仅在所述电源信号、所述第一控制信号和所述写控制信号的电平状态集合满足预设的电平状态集合时输出写释放信号至所述存储单元,控制所述存储单元为写入状态。

[0011] 在一实施例中,所述时序控制单元用于在常态下输出高电平的第一控制信号,在接收到对存储单元的数据写入指令时,输出低电平的第一控制信号;

[0012] 所述写控制信号为高电平时,对应所述存储单元为写保护状态,所述写控制信号为低电平时,对应所述存储单元为写释放状态;

[0013] 所述监控单元,用于根据所述电源信号、所述第一控制信号、所述写控制信号的电平进行逻辑运算处理,在所述电源信号不变,所述第一控制信号和所述写控制信号中任意一个为高电平时,输出所述写保护信号;在所述电源信号不变,所述第一控制信号和所述写控制信号均为低电平时,输出所述写释放信号。

[0014] 在一实施例中,所述监控单元包括第一与逻辑电路、第二与逻辑电路、反向电路及或逻辑电路,

[0015] 所述第一与逻辑电路的第一输入端与所述电源模块连接,所述第一与逻辑电路的第二输入端与所述时序控制单元的控制信号输出端连接;

[0016] 所述第二与逻辑电路的第一输入端经所述反向电路与所述时序控制单元的控制信号输出端连接,所述第二与逻辑电路的第二输入端供写控制信号输入;

[0017] 所述或逻辑电路的第一输入端与所述第一与逻辑电路的输出端连接,所述或逻辑电路的第二输入端与所述第二与逻辑电路的输出端连接,所述或逻辑电路的输出端与所述写保护控制端连接。

[0018] 在一实施例中,所述第一与逻辑电路包括第一与门,所述第一与门的两个输入端为所述第一与逻辑电路的第一输入端和第二输入端,所述第一与门的输出端为所述第一与逻辑电路的输出端。

[0019] 在一实施例中,所述第二与逻辑电路包括第二与门,所述第二与门的两个输入端为所述第二与逻辑电路的第一输入端和第二输入端,所述第二与门的输出端为所述第二与逻辑电路的输出端。

[0020] 在一实施例中,所述或逻辑电路包括或门,所述或门的两个输入端为所述或逻辑电路的第一输入端和第二输入端,所述或门的输出端为所述或逻辑电路的输出端。

[0021] 在一实施例中,所述反向电路包括反相器,所述反相器的输入端为所述反向电路的输入端,所述反相器的输出端为所述反向电路的输出端。

[0022] 在一实施例中,所述电源模块输出的电源电压为3.3伏。

[0023] 为实现上述目的,本申请还提出一种显示面板中存储单元的保护电路,该显示面板中存储单元的保护电路包括:

[0024] 时序控制单元,具有信号传输端和控制信号输出端,所述时序控制单元用于输出高电平/低电平的第一控制信号;

[0025] 存储单元,具有电源端、信号传输端和写保护控制端,所述存储单元的信号传输端与所述时序控制单元的信号传输端连接;所述存储单元,用于存储所述时序控制单元的软件数据;

[0026] 电源模块,所述电源模块的输出端与所述写保护控制端和所述存储单元的电源端分别连接;所述电源模块,用于输出电源信号;

[0027] 监控单元,所述监控单元具有第一输入端、第二输入端、第三输入端及信号输出端,所述第一输入端与所述电源模块连接,所述第二输入端与所述控制信号输出端连接,所述

第三输入端供写控制信号输入,所述信号输出端与所述写保护控制端连接;

[0028] 所述监控单元,用于在常态下输出写保护信号,控制所述存储单元为写保护状态;仅在所述电源信号、所述第一控制信号和所述写控制信号的电平状态集合满足预设的电平状态集合时输出写释放信号至所述存储单元,控制所述存储单元为写入状态。

[0029] 为实现上述目的,本申请还提出一种显示装置,所述显示装置包括上述显示面板中存储单元的保护电路,所述显示装置包括上述显示面板中存储单元的保护电路,具体参照上述,此处不再赘述。

[0030] 本申请技术方案,通过设置时序控制单元、存储单元、电源模块及监控单元等组成了显示面板中存储单元的保护电路,该电路中,通过监控电源模块的电源信号、时序控制器根据存储单元的读写指令输出的第一控制信号和由计算机提供的写控制信号三个信号去控制存储单元是否写入数据,这样,在任何一路信号的电平不能满足存储单元的数据写入条件时,均不能对存储单元写入数据,因此,可靠性提高,即使SDA数据线上的读写位因为线长和高频率等原因在存储单元识别的时候为写,但是由于写保护信号的保护,也不会使得存储单元中的软件数据被改写,即实现了降低存储单元中软件数据被改写的几率的目的。

附图说明

[0031] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图示出的结构获得其他的附图。

[0032] 图1为本申请显示面板中存储单元的保护电路一实施例的电路功能框图;

[0033] 图2为本申请显示面板中存储单元的保护电路一实施例的电路结构示意图;

[0034] 图3为本申请显示装置一实施例的结构示意图。

[0035] 本申请目的的实现、功能特点及优点将结合实施例,参照附图做进一步说明。

具体实施方式

[0036] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本申请的一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0037] 需要说明,本申请实施例中所有方向性指示(诸如上、下、左、右、前、后……)仅用于解释在某一特定姿态(如附图所示)下各部件之间的相对位置关系、运动情况等,如果该特定姿态发生改变时,则该方向性指示也相应地随之改变。

[0038] 另外,在本申请中涉及“第一”、“第二”等的描述仅用于描述目的,而不能理解为指示或暗示其相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。另外,各个实施例之间的技术方案可以相互结合,但是必须是以本领域普通技术人员能够实现为基础,当技术方案的结合出现相互矛盾或无法实现时应当认为这种技术方案的结合不存在,也不在本申请要求的保护范围之内。

[0039] 在显示面板中,时序控制单元与存储单元通过串行通信总线,例如I2C总线(包括数据线SDA和时钟线SCL)相互连接,以进行数据传输。在刚上电时,时序控制单元内部会通过串行通信总线去读取存储单元里面存储的时序控制单元的软件数据(如输出使能信号OE、锁存信号TP、帧起始信号STV、极性反转信号POL),完成时序控制单元的初始化设定。其中,存储单元的读写由计算机(PC系统)提供的信号WP进行控制,WP是存储单元的写控制信号,WP为高时进行读操作,WP为低时进行读写操作,存储单元正常状态下都要处于写保护状态,即正常状态下WP为一直要为高电平H。可是现在比较容易出现的问题是,软件数据写入存储单元中一般是在电路板PCBA打件完成之后在打件厂内就已经完成。然后在面板厂内,在绑点完成之后,才进行上电测试,此时因为WP为高,进行的是读操作,但是一旦WP受到干扰而被拉低,就将进行读写操作,此时如果又遇到数据线SDA上的读写位由于线长和高频率等原因在存储单元识别的时候为写,就会导致存储单元中的软件数据被改写。当时序控制单元读取被改写后的软件数据时,就可能会造成读取错误,不能完成时序控制单元的初始化设定。进而导致不能正确输出用于驱动所述显示面板的各种控制信号,造成显示画面异常,错误频出,而现今并没有纠错机制,那么就无法防范这种情况。

[0040] 针对上述问题,本申请提出一种显示面板中存储单元的保护电路,参照图1,在本申请一实施例中,显示面板中存储单元的保护电路包括存储单元100、时序控制单元200、电源模块300及监控单元400。

[0041] 时序控制单元200具有信号传输端和控制信号输出端,存储单元100具有信号传输端和写保护控制端;所述存储单元100的信号传输端与所述时序控制单元200的信号传输端连接;所述监控单元400具有第一输入端、第二输入端、第三输入端及信号输出端,所述第一输入端与所述电源模块300连接,所述第二输入端与所述控制信号输出端连接,所述第三输入端供写控制信号WP输入,所述信号输出端与所述写保护控制端连接。

[0042] 本实施例中,时序控制单元200的工作电压为3.3伏,时序控制单元200用于经其控制信号输出端输出高电平/低电平的第一控制信号TC。在常态下,也即未接收到对存储单元100的数据写入指令时,时序控制单元200输出的第一控制信号TC可以是高电平/低电平,在接收到对存储单元100的数据写入指令时,时序控制单元200输出输出的第一控制信号TC为对应低电平/高电平。

[0043] 本实施例中,存储单元100可以是电可擦可编程只读存储器EEPROM,能够在掉电后存储数据,防止数据遗失。所述存储单元100用于存储所述时序控制单元200的软件数据,在读状态下时,时序控制单元200可以读取存储单元100的软件数据,完成相应的初始化设定。时序控制单元200完成相应的初始化设定后就可以输出各种控制信号,驱动显示面板工作。其中,存储单元100具有写保护状态和写入状态,在时序控制单元200对存储单元100数据进行读取时,需要使存储单元100处于写保护状态,以防止被误写入数据,更改其内部设置。只有在对其写入数据时,才释放其保护状态,允许写入数据。

[0044] 本实施例中,电源模块300可以是直流电源或者是为接入交流电源经电源变换后得到的直流电源。电源模块300用于输出电源信号VDD。电源模块300输出的电源信号VDD为高电平,根据实际需求可以设置为3.3伏。

[0045] 本实施例中,监控单元400用于在常态下输出写保护信号,控制所述存储单元100为写保护状态;仅在所述电源信号VDD、所述第一控制信号TC和所述写控制信号WP的电平状

态集合满足预设的电平状态集合时输出写释放信号至所述存储单元100,控制所述存储单元100为写入状态。其中,监控单元400输出的信号为WP_0,监控单元400用于在常态下可以理解为,监控单元400在所述电源信号VDD、所述第一控制信号TC和所述写控制信号WP的电平状态不满足预设的电平状态集合时输出写保护信号至所述存储单元100,控制所述存储单元100为写保护状态。写保护信号和写释放信号可以对应为高低电平两种状态,即监控单元400具有高低电平两种输出状态,通常的,常态下也即读状态下,写控制信号WP一般配置高电平信号,这样就可以使得存储单元100的写保护控制端的输入信号一直为高,相当于WP一直为高,使得存储单元100一直处于写保护状态,而不被写入数据,这样就可避免造成存储单元100中的软件数据被改写。此处可相应设置监控单元400输出的高电平信号用于控制所述存储单元100为写保护状态,输出的低电平信号用于控制所述存储单元100为写入状态。即监控单元400可以是在读时输出高电平保护存储单元100,在写时输出低电平释放存储单元100保护状态。

[0046] 本实施例中,监控单元400可以采用各种逻辑电路进行电平逻辑判断或者采用开关电路进行电平监测实现,例如与逻辑电路、或逻辑电路、与非门电路,或者是至少两者的组合,也可以是多个三极管或者多个MOS管组成的开关电路,通过对多个电平信号进行监测,以实现在特定电平组合状态下才允许存储单元100写入数据。例如,在本实施例中,可以设置电源信号VDD、第一控制信号TC和写控制信号WP均为高电平时,可以对存储单元100写入数据。由于电源模块300非异常情况下都为高电平,也可以仅对第一控制信号TC和写控制信号WP的电平状态进行相应配置。

[0047] 为了便于进一步理解,提供一实施例说明,具体地,所述时序控制单元200用于在常态下输出高电平的第一控制信号TC,在接收到对存储单元100的数据写入指令时,输出低电平的第一控制信号TC;

[0048] 所述写控制信号WP为高电平时,对应所述存储单元100为写保护状态,所述写控制信号WP为低电平时,对应所述存储单元100为写释放状态;

[0049] 所述监控单元400,用于根据所述电源信号VDD、所述第一控制信号TC、所述写控制信号WP的电平进行逻辑运算处理,在所述电源信号VDD不变,所述第一控制信号TC和所述写控制信号WP中任意一个为高电平时,输出所述写保护信号;在所述电源信号VDD不变,所述第一控制信号TC和所述写控制信号WP均为低电平时,输出所述写释放信号。该实施例中,易于理解的,由于电源模块300输出的电源信号VDD为常高,故只需要配置第一控制信号TC和所述写控制信号WP的电平状态对应存储单元100的读写即可,本实施例中,常态下设置第一控制信号TC和写控制信号WP的其中一个或者两个均为高电平,对存储单元100进行写入保护,仅在第一控制信号TC和写控制信号WP均为低电平时输出写释放信号,这样就可以保证只有第一控制信号TC和写控制信号WP的电平均翻转时,才允许写入数据,其中一个电平翻转,均不能写入数据。这样就防止了第一控制信号TC和写控制信号WP中任一信号收到影响变化时,对存储单元100误写入数据的问题,相当于通过多把钥匙开启同一把锁,安全性较高。

[0050] 可以理解的是,原来是通过写保护信号WP一个信号去控制存储单元100不被写入数据,本实施例改进之后是通过监控电源模块300的电源信号VDD、时序控制器根据存储单元100的读写指令输出的第一控制信号TC和由计算机提供的写控制信号WP三个信号去控制

存储单元100是否写入数据,这样,在任何一路信号的电平不能满足存储单元100的数据写入条件时,均不能对存储单元100写入数据,因此,可靠性提高,即使SDA数据线上的读写位因为线长和高频率等原因在存储单元100识别的时候为写,但是由于写保护信号的保护,也不会使得存储单元100中的软件数据被改写,即实现了降低存储单元100中软件数据被改写的几率的目的。另外,可以理解的是,由于存储单元100的数据不会被改写,废品率降低,进而还能够增加生产良率。

[0051] 进一步地,所述存储单元100还具有电源端,所述电源模块300还与所述存储单元100的电源端连接。本实施例中,存储单元100采用电源模块300供电,工作电压可为3.3伏,WP为高时也是3.3V,这样只要一个电源即可实现给存储单元100供电和提供一路信号与其他信号组合进行写保护控制,这样即使电源出现故障造成掉电,导致输出至存储单元100的写控制信号WP失效,那么存储单元100也由于失电而停止工作,此时不管采用何种方式都不可能对存储单元100进行数据写入,如此,便可靠的保护了存储单元100的数据被改写,因此,提高了显示面板的抗干扰能力。

[0052] 在一实施例中,监控单元400采用如下电路结构实现,参照图2,监控单元400包括第一与逻辑电路410、第二与逻辑电路420、反向电路430及或逻辑电路440,

[0053] 所述第一与逻辑电路410的第一输入端与所述电源模块300连接,所述第一与逻辑电路410的第二输入端与所述时序控制单元200的控制信号输出端连接;

[0054] 所述第二与逻辑电路420的第一输入端经所述反向电路430与所述时序控制单元200的控制信号输出端连接,所述第二与逻辑电路420的第二输入端供写控制信号WP输入;

[0055] 所述或逻辑电路440的第一输入端与所述第一与逻辑电路410的输出端连接,所述或逻辑电路440的第二输入端与所述第二与逻辑电路420的输出端连接,所述或逻辑电路440的输出端与所述写保护控制端连接。

[0056] 该实施例中,可以是,所述或逻辑电路440在逻辑运算真值为1(代表高电平)时,输出所述写保护信号,在逻辑运算真值为0(代表低电平)时,输出所述写释放信号。其中,第一与逻辑电路410和第二与逻辑电路420可以采用与门或者与非门实现,反向电路430可以采用反相器实现,或逻辑电路440可以采用或门实现,实现形式多种多样,只需保证或逻辑电路440最终输出的信号是仅在电源信号VDD、第一控制信号TC和写控制信号WP为唯一特定的电平组合情况下。

[0057] 第一与逻辑电路410分别输入电源信号VDD和第一控制信号TC,由于电源信号VDD为常高,当第一控制信号TC为高电平时,第一与逻辑电路410输出为高,当第一控制信号TC为低电平时,第一与逻辑电路410输出为低。即采用第一与逻辑电路410可以实现对两个电平信号的逻辑运算功能,实现对输入信号的电平状态的监控。

[0058] 第二与逻辑电路420是对写控制信号WP和经过反向电路430反向之后的第一控制信号TC进行逻辑电平处理,当第一控制信号TC为高电平时,经反向电路430反向之后,第一控制信号TC则为低电平。当第一控制信号TC为低电平时,经反向电路430反向之后,第一控制信号TC则为高电平。第二与逻辑电路420于第一与逻辑电路410的逻辑运算原理一样,此处不再赘述。

[0059] 或逻辑电路440进一步对第一与逻辑电路410和第二与逻辑电路420的输出电平结果进行运算,或逻辑电路440的逻辑运算规则是输入只要有一个为高,则输出信号WP₀为

高,只有在两个输入端均输入为低时,输出信号WP_0才为低,因此,可以配置两个输入端输入均为低电平的输出信号WP_0作为写释放信号,两个输入端输入只要一个为高的输出信号WP_0作为写保护信号。

[0060] 需要说明的是,第一与逻辑电路410和第二与逻辑电路420对电源信号VDD、第一控制信号TC和写控制信号WP的电平进行监控,使得在电源信号VDD不变的情况下,仅在第一控制信号TC为低电平,且写控制信号WP为低电平时,第一与逻辑电路410输出为低,第二与逻辑电路420输出为低,则或逻辑电路440输出为低,此低电平信号输出至存储单元100的写保护控制端,使存储单元100允许被写入数据。而只要第一控制信号TC或者写控制信号WP任一个的电平为高时,则第一与逻辑电路410和第二与逻辑电路的输出结果均为高、低组合,当第一控制信号TC和写控制信号WP的电平均为高时,第一与逻辑电路410和第二与逻辑电路的输出结果也均为高、高组合,那么输入至或逻辑电路440时,其输出结果则为高,此高电平信号即为写保护信号,控制存储单元100不被写入数据。

[0061] 本实施例中,监控单元400为采用逻辑电路通过对三路电平信号进行逻辑运算实现电平监控,能够提高监控的准确性,且易于实现。

[0062] 在一实施例中,所述第一与逻辑电路410包括第一与门I1,所述第一与门I1的两个输入端为所述第一与逻辑电路410的第一输入端和第二输入端,所述第一与门I1的输出端为所述第一与逻辑电路410的输出端。与门可以对两个电平信号进行逻辑运算,与门的运算规则是有0出0,全1出1。本实施例中,第一与门I1的两个输入端分别输入电源信号VDD和第一控制信号TC,由于电源信号VDD为常高,即逻辑值为1,当第一控制信号TC为高电平时,第一与门I1输出为高,逻辑值则为1,当第一控制信号TC为低电平时,第一与门I1输出为低,逻辑值则为0。即采用与门可以实现第一与逻辑电路410对两个电平信号的逻辑运算功能,实现对输入信号的电平状态的监控。

[0063] 在一实施例中,所述第二与逻辑电路420包括第二与门I2,所述第二与门I2的两个输入端为所述第二与逻辑电路420的第一输入端和第二输入端,所述第二与门I2的输出端为所述第二与逻辑电路420的输出端。第二与门I2与第一与门I1的逻辑运算方式一样,此处不再赘述。需要说明是,第二与门I2是对写控制信号WP和经过反向电路430反向之后的第一控制信号TC进行逻辑电平处理,当第一控制信号TC为高电平时,经反向电路430反向之后,第一控制信号TC则为低电平。

[0064] 在一实施例中,所述反向电路430包括反相器N1,所述反相器N1的输入端为所述反向电路430的输入端,所述反相器N1的输出端为所述反向电路430的输出端。反相器N1能够实现对反向电路430对所述第一控制信号TC进行反向处理功能,使第一控制信号TC由高电平变成低电平。其实现电路简单。

[0065] 在一实施例中,所述或逻辑电路440包括I3,所述I3的两个输入端为所述或逻辑电路440的第一输入端和第二输入端,所述I3的输出端为所述或逻辑电路440的输出端。I3的运算规则是有1出1,全0出0,即I3的两个输入端只要有一个是高电平,其输出则为高电平,I3的两个输入端均为低电平时,输出则为低电平。本实施例中,可以采用一个I3即可实现或逻辑电路440的运算功能,对第一与逻辑电路410和第二与逻辑电路420的运算结果再次进行逻辑运算,使得在电源信号VDD不变的情况下,仅在第一控制信号TC为低电平,且写控制信号WP为低电平时,第一与逻辑电路410输出为低,第二与逻辑电路420输出为低,则或逻辑

电路440输出为低,此低电平信号输出至存储单元100的写保护控制端,使存储单元100允许被写入数据。

[0066] 在一实施例中,所述第一与逻辑电路410包括第一与门I1,所述第二与逻辑电路420包括第二与门I2,所述反向电路430包括反相器N1,所述或逻辑电路440包括I3。

[0067] 所述第一与门I1的第一输入端与所述电源模块300连接,所述第一与门I1的第二输入端与所述时序控制单元200的控制信号输出端连接;

[0068] 所述第二与门I2的第一输入端经所述反相器N1与所述时序控制单元200的控制信号输出端连接,所述第二与门I2的第二输入端供写控制信号WP输入;

[0069] 所述I3的第一输入端与所述第一与门I1的输出端连接,所述I3的第二输入端与所述第二与门I2的输出端连接,所述I3的输出端与所述写保护控制端连接;

[0070] 所述时序控制单元200用于在常态下输出高电平的第一控制信号TC,在接收到对存储单元100的数据写入指令时,输出低电平的第一控制信号TC;

[0071] 所述写控制信号WP为高电平时,对应所述存储单元100为写保护状态,所述写控制信号WP为低电平时,对应所述存储单元100为写释放状态。

[0072] 本实施例中,常规状态下,第一控制信号TC为高,电源信号VDD为高(电源不易受外部电路影响而拉低,即不易变化,因此可靠性高),写控制信号WP为高,因此,第一与门I1输出为高,第二与门I2输出为低,I3输出为高,控制存储单元100不被写入数据。当写控制信号WP因外部影响被拉低时,第一与门I1输出仍为高,第二与门I2输出为低,I3输出为高。此外,假设当第一控制信号TC被拉低时,写控制信号WP正常为高,则第一与门I1输出为低,第二与门I2输出为高,I3输出为高。而只有电源模块上电正常输出为高,第一控制信号TC和写控制信号WP均为低时,I3输出的WP_0才为低,才允许存储单元写入数据,具体可参照表1,表1为电源信号VDD、第一控制信号TC和写控制信号WP和输出信号WP_0的逻辑关系表。

[0073] 表1

[0074]

输入			输出
VDD	WP	TC	WP_O
1	0	1	1
1	1	1	1
1	0	0	0
1	1	0	1
0	0	0	0
0	1	0	1

[0075]

0	0	1	0
0	1	1	0

[0076] 由表中前四组数据可以看出,当电源模块上电正常输出时,只有第一控制信号TC和写控制信号WP均为低的一种情况下,I3输出的WP_0为低允许写入,其余均为高不允许写入,因此,本实施例实现了降低存储单元100中软件数据被改写的几率的目的。

[0077] 此外,本申请还提供一种显示面板,该显示面板包括上述的显示面板中存储单元的保护电路,可以理解的是,由于在显示面板中使用了上述显示面板中存储单元的保护电路,因此,该显示面板的实施例包括上述显示面板中存储单元的保护电路全部实施例的全部技术方案,且所达到的技术效果也完全相同,在此不再赘述。

[0078] 本实施例中,显示面板包括但不限于液晶显示面板、有机发光二极管显示面板、场发射显示面板、等离子显示面板、曲面型面板,所述液晶面板包括薄膜晶体管液晶显示面板、TN面板、VA类面板、IPS面板等。

[0079] 此外,参照图3,本申请还提供一种显示装置500,该显示装置500包括上述的显示面板,而显示面板包含上述的显示面板中存储单元的保护电路,因此,也具有上述显示面板中存储单元的保护电路全部实施例的全部技术方案,且所达到的技术效果也完全相同,在此不再赘述。需要说明的是,该显示装置500可以是一般的显示器或者平板电视等,当然也可以是液晶显示器或者液晶电视。

[0080] 以上所述仅为本申请的优选实施例,并非因此限制本申请的专利范围,凡是在本申请的申请构思下,利用本申请说明书及附图内容所作的等效结构变换,或直接/间接运用在其他相关的技术领域均包括在本申请的专利保护范围内。

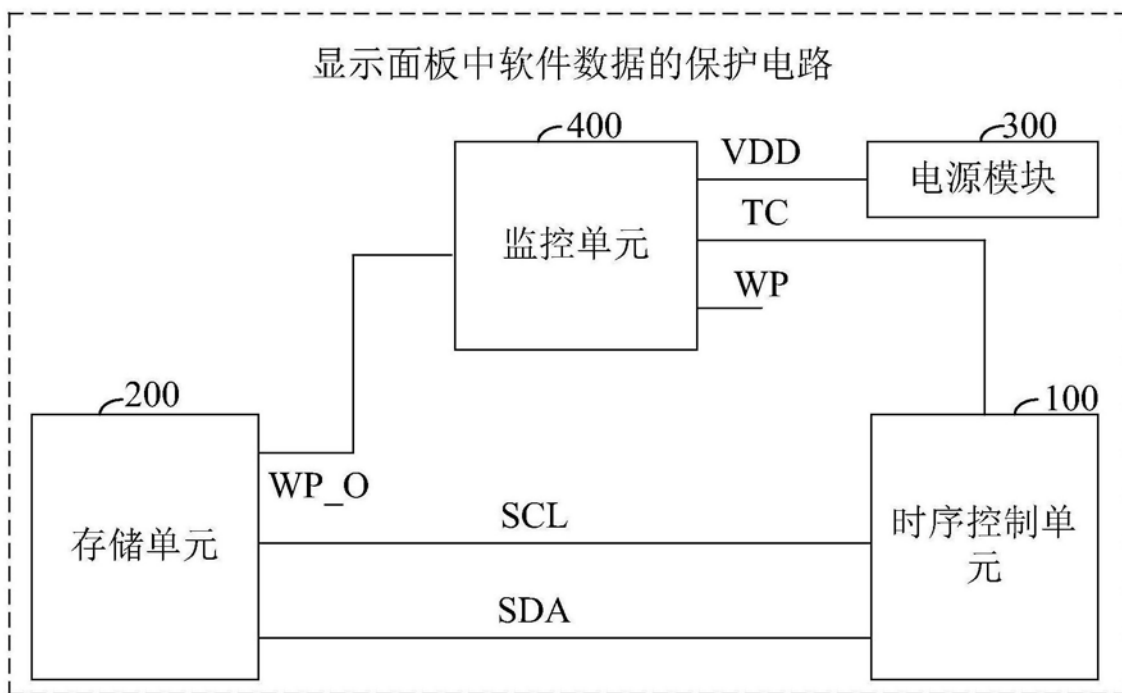


图1

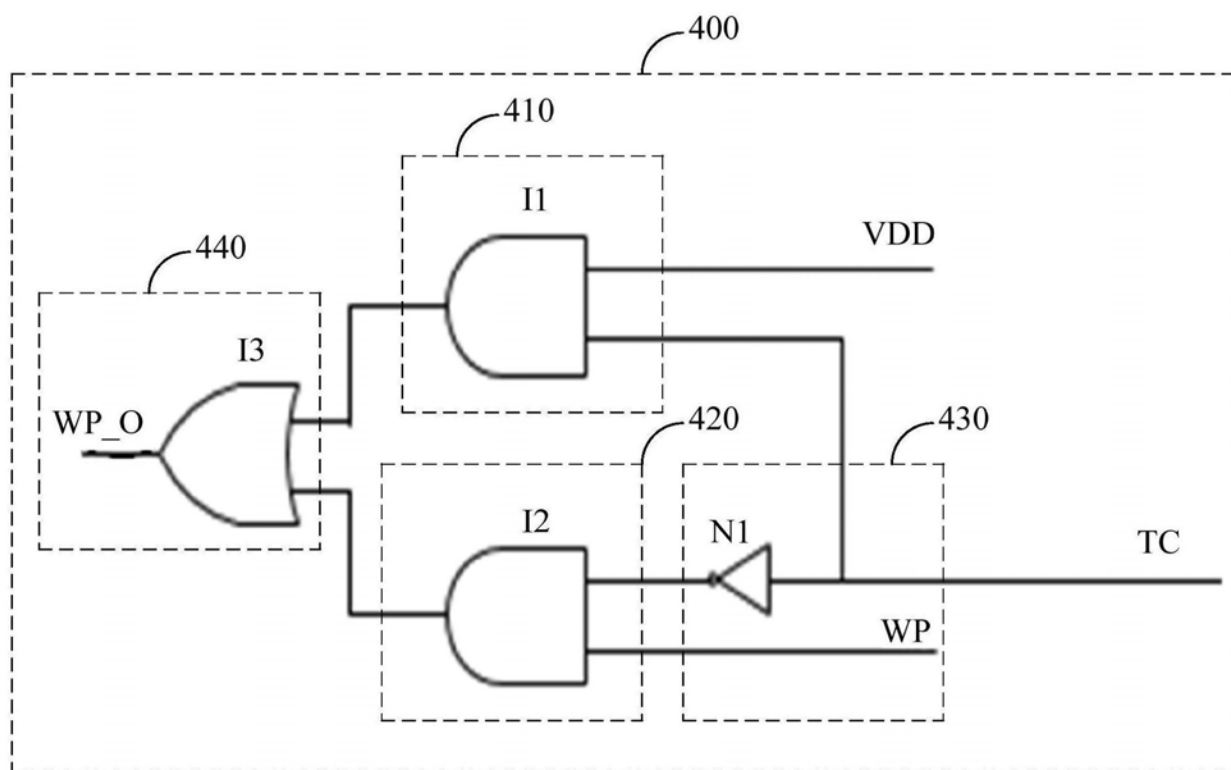


图2

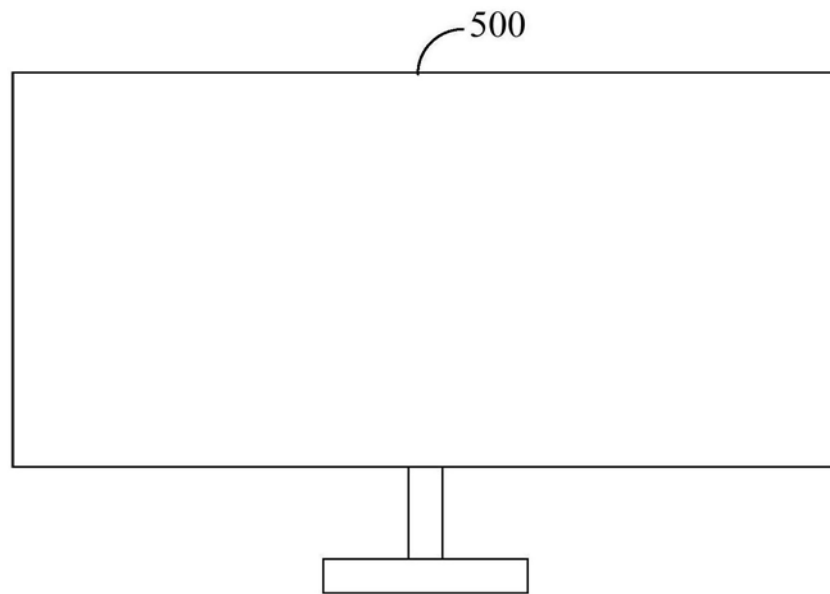


图3