

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-41397
(P2006-41397A)

(43) 公開日 平成18年2月9日(2006.2.9)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 L	5 F O 3 2
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 8 1	5 F O 8 3
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 8 1 D	
HO 1 L 27/108 (2006.01)		

審査請求 未請求 請求項の数 6 O L (全 17 頁)

(21) 出願番号	特願2004-222482 (P2004-222482)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成16年7月29日 (2004.7.29)	(74) 代理人	100089118 弁理士 酒井 宏明
		(72) 発明者	石橋 真人 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	堀田 勝之 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	黒井 隆 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

最終頁に続く

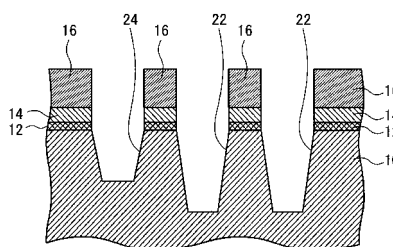
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 深さの異なる溝に絶縁膜を埋め込んで素子分離を形成するに際して、各素子分離の半導体基板表面からの高さを均等とし、高品質の半導体装置を製造する半導体装置の製造方法を得ること。

【解決手段】 半導体基板上に第1～第3のマスク層を形成し、第3及び第2のマスク層において深さの深い第1の素子分離及び深さの浅い第2の素子分離の対応領域をエッチングし、第1のマスク層において第1の素子分離の対応領域をエッチングし、第3及び第1のマスク層をマスクとして半導体基板における第1の素子分離の形成領域をエッチングして第1の溝を形成し、第1のマスク層における第2の素子分離に対応する領域をエッチングし、第3のマスク層をマスクとして半導体基板における第1の素子分離及び第2の素子分離の形成領域をエッチングして第2の溝を形成すると共に第1の溝をさらに深堀し、第1の溝及び第2の溝に絶縁膜を埋め込み、絶縁膜を平坦化する。

【選択図】 図11



【特許請求の範囲】

【請求項 1】

半導体基板上に、該半導体基板のエッチングを行う際のエッチングマスクとなる第 1 のマスク層を形成する工程と、

前記第 1 のマスク層上に、該第 1 のマスク層とのエッチング選択比が高い第 2 のマスク層を形成する工程と、

前記第 2 のマスク層上に、前記第 1 のマスク層および前記半導体基板のエッチングを行う際のエッチングマスクとなる第 3 のマスク層を形成する工程と、

前記第 3 のマスク層と前記第 2 のマスク層とにおける、深さの深い第 1 のトレンチ素子分離および深さの浅い第 2 のトレンチ素子分離の形成領域に対応する領域をエッチング除去する工程と、 10

前記第 1 のマスク層における、前記第 1 のトレンチ素子分離の形成領域に対応する領域をエッチング除去する工程と、

前記第 3 のマスクおよび第 1 のマスクをエッチングマスクとして前記半導体基板における前記第 1 のトレンチ素子分離の形成領域をエッチング除去して前記第 1 のトレンチ素子分離形成用の第 1 のトレンチ溝を形成する工程と、

前記第 1 のマスク層における、前記第 2 のトレンチ素子分離の形成領域に対応する領域をエッチング除去する工程と、

前記第 3 のマスク層をエッチングマスクとして前記半導体基板における前記第 1 のトレンチ素子分離および第 2 のトレンチ素子分離の形成領域をエッチング除去して前記第 2 のトレンチ素子分離形成用の第 2 のトレンチ溝を形成するとともに前記第 1 のトレンチ溝をさらに深堀する工程と、 20

前記第 1 のトレンチ溝および前記第 2 のトレンチ溝に絶縁膜を埋め込む工程と、

前記絶縁膜を平坦化する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 1 のマスク層が、前記半導体基板と前記第 3 のマスク層との間に生じる応力を緩和する応力緩和膜であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 1 のマスク層がシリコン酸化膜層であり、前記第 2 のマスク層が非単結晶シリコン膜層であり、前記第 3 のマスク層がシリコン窒化膜層であることを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。 30

【請求項 4】

半導体基板上に、該半導体基板と該半導体膜上に形成される膜との間に生じる応力を緩和する応力緩和膜を形成する工程と、

前記半導体基板のエッチングを行う際のエッチングマスクとなるマスク層を形成する工程と、

前記応力緩和膜およびマスク層における、深さの深い第 1 のトレンチ素子分離および深さの浅い第 2 のトレンチ素子分離の形成領域に対応する領域をエッチング除去する工程と、 40

前記マスク層をエッチングマスクとして前記半導体基板における前記第 1 のトレンチ素子分離および第 2 のトレンチ素子分離の形成領域をエッチング除去して前記第 1 のトレンチ素子分離形成用の第 1 のトレンチ溝および前記第 2 のトレンチ素子分離形成用の第 2 のトレンチ溝を形成する工程と、

前記第 2 のトレンチ溝内のみフォトレジストを埋め込む工程と、

前記マスク層および前記フォトレジストをエッチングマスクとして前記第 1 のトレンチ溝内の半導体基板をエッチング除去して前記第 1 のトレンチ溝をさらに深堀する工程と、

前記フォトレジストを除去する工程と、

前記第 1 のトレンチ溝および前記第 2 のトレンチ溝に絶縁膜を埋め込む工程と、

前記絶縁膜を平坦化する工程と、 50

を含むことを特徴とする半導体装置の製造方法。

【請求項 5】

前記フォトレジストを埋め込む工程が、
前記マスク層上であって前記第 2 のトレンチ溝内を含む前記第 2 のトレンチ溝の周辺の領域にフォトレジストを形成する工程と、

前記第 2 のトレンチ溝内にのみ前記フォトレジストを残すように前記マスク層上のフォトレジストを除去する工程と、

を含むことを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記応力緩和膜がシリコン酸化膜であり、前記マスク層がシリコン窒化膜層であることを特徴とする請求項 4 または 5 に記載の半導体装置の製造方法。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、特に、半導体素子を電気的に分離する素子分離技術を含んだ半導体装置の製造方法に関するものである。

【背景技術】

【0002】

近年の急速な微細化により、半導体集積回路は高密度化の一途をたどっている。これに伴い、最先端集積回路においては単位面積当たりの集積度を増すために、素子分離能力を維持したまま素子分離領域を微細化することが要求されている。このような微細化の要求に対して、素子分離法として従来の LOCOS (Local Oxidation of Silicon) 法に代わってトレンチ分離法が広く用いられている。トレンチ分離法は、素子間に設けられた溝を絶縁膜で埋めることで素子の電気的分離を達成する方法である。ところが、素子分離領域の微細化を実現するためには、素子分離能力を維持するために溝の深さを変えなく分離幅のみを微細化する必要があるため、特に絶縁膜の埋め込みの工程において困難さが増している。 20

【0003】

また、最先端集積回路の中でも、大容量デバイスなどはメモリセル部と周辺回路部とを有する。このような大容量デバイスにおいて、メモリセル部の集積度を大幅に上げるためにメモリセル部において周辺回路部と同じ深さの溝を用いた場合には、絶縁膜の埋め込みが達成できないという状況が生じてしまう。このため、このような大容量メモリデバイスなどの製造に用いるトレンチ分離法として、集積度の高いメモリセル部においては相対的に浅い溝を使用し、集積度が比較的低い周辺回路部においては深い溝を用いるデュアルトレンチ分離法が用いられている。 30

【0004】

ここで、従来のデュアルトレンチ分離法による素子分離領域の形成方法について説明する。従来のデュアルトレンチ分離法においては、まず、シリコン基板の表面上にシリコン酸化膜およびシリコン窒化膜を形成する。つぎに、フォトレジストマスクを用いて素子分離を形成する領域上のシリコン窒化膜およびシリコン酸化膜を異方性エッチングにより選択的に除去する。そして、フォトレジストマスクを除去した後にシリコン窒化膜をマスクとして浅いトレンチ溝および深いトレンチ溝を異方性エッチングにより形成する。 40

【0005】

つぎに、浅いトレンチ溝を含む領域をフォトレジストで覆い、該フォトレジストおよびシリコン窒化膜をマスクとして深い溝を異方性エッチングにより形成する。その後、加熱酸化法によって、浅いトレンチ溝および深いトレンチ溝の側壁および底面を酸化してエッチングによるダメージ層を除去する。さらに、CVD (Chemical Vapor Deposition) 法によって、シリコン酸化膜を全面に堆積して浅いトレンチ溝および深いトレンチ溝内に埋め込み、その表面をシリコン窒化膜をストップとするCMP (Chemical Mechanical Polishing) 法によって平坦化して、浅いトレンチ溝および深いトレンチ溝内にのみシリコン 50

酸化膜を残す。

【0006】

その後、シリコン窒化膜を除去し、ウェルの形成や、トランジスタの閾値を決めるためのイオン注入を行い、さらにシリコン酸化膜を除去して素子分離領域が完成する。その後は、ゲート酸化を行い、ゲート電極やソースドレイン領域等を形成することで半導体素子が形成され、配線層によって互いに接続される。

【0007】

また、浅い溝と深い溝とを得るデュアルトレンチ分離法としては、たとえばウエル分離領域および素子間分離領域の各溝、つまり浅い溝と深い溝とを同一のフォトマスク上で規定する手法を用い、両領域をセルフアラインで形成する技術が提案されている（たとえば特許文献1参照）。

10

【0008】

【特許文献1】特開昭60-226136号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、上述したような従来のデュアルトレンチ分離法においては、シリコンとシリコン窒化膜とのエッチング選択比が小さいために、深い溝を形成するためにシリコン基板をエッチングしている時にフォトレジストで覆われていないシリコン窒化膜もエッチングされてしまう。たとえば、シリコン基板を150nmの深さでエッチングする場合には、シリコン窒化膜は40nm程度エッチングされてしまう。このため、シリコン酸化膜を浅いトレンチ溝および深いトレンチ溝内に埋め込み、その表面をシリコン窒化膜をストップパとするCMP法によって平坦化する際に、浅いトレンチ溝を形成する領域と深いトレンチ溝を形成する領域とで、ハードマスクとなるシリコン窒化膜の高さが異なるという状態が発生し、結果的に素子分離領域に埋め込んだシリコン酸化膜のシリコン基板表面上からの膜厚が異なってしまう。

20

【0010】

この埋め込み絶縁膜（シリコン酸化膜）のシリコン基板表面上からの膜厚の差は、素子分離形成後の微細加工に大きな影響を及ぼす。特に、ゲート電極加工時のリソグラフィーの露光精度に影響し、また、エッチングのばらつきをも生じさせる。たとえば、浅いトレンチ溝を形成する領域でゲート電極が細くなるという事態が生じ、この結果浅いトレンチ溝と深いトレンチ溝を形成する領域で同じ特性のトランジスタが得られなくなる。

30

【0011】

また、ゲート電極加工後に、相対的に素子分離の高さが高い部分の肩に、ゲート電極材のサイドウォールが生じ、ショートの原因となる。このショートの原因を取り除くため、素子分離の高さを低くすると、相対的に素子分子の高さが低い部分で素子分離端がくぼみ、その素子分離で囲まれているトランジスタの閾値が下がる現象が起き、トランジスタ特性のばらつきの原因となる。

【0012】

さらに、トレンチ溝に埋め込んだシリコン酸化膜を、シリコン窒化膜をストップパとしてCMP法で平坦化するときに、浅いトレンチ溝が存在する領域と深いトレンチ溝が存在する領域の境界部のシリコン窒化膜上にシリコン酸化膜が残ったり、またCMP法による研磨のために境界部周辺のシリコン窒化膜の削れがさらに進むということも生じる。この場合も結果的に素子分離領域に埋め込んだシリコン酸化膜のシリコン基板表面上からの膜厚が異なってしまう。

40

【0013】

また、上記の特許文献1において、素子分離領域に埋め込んだシリコン酸化膜のシリコン基板表面上からの膜厚が浅い溝と深い溝で等しい構造が得られる製造方法が開示されているが、溝を形成する領域上のハードマスクであるシリコン窒化膜をエッチングするとき、シリコン窒化膜とシリコン酸化膜の選択比が小さいためにその下の膜であるシリコン

50

酸化膜が削れてしまうという状況が発生する。特に、近年、活性領域の確保のために内壁酸化の薄膜化が進んでいる。これに伴って、分離端の落ち込みを低減するためにシリコン基板上のシリコン酸化膜も薄膜化する必要がある。このため、上記の特許文献2で述べられているような製造方法の場合には、シリコン酸化膜が焼失してしまい、デュアルトレンチ分離が形成できないという問題が生じる。

【0014】

本発明は、上記の問題に鑑みて創案されたものであり、深さの異なる溝に絶縁膜を埋め込んで素子分離を形成するに際して、各素子分離の半導体基板表面からの高さを均等とし、高品質の半導体装置を製造する半導体装置の製造方法を得ることを目的とする。

【課題を解決するための手段】

10

【0015】

上述した課題を解決し、目的を達成するために、本発明にかかる半導体装置の製造方法は、半導体基板上に、該半導体基板のエッチングを行う際のエッチングマスクとなる第1のマスク層を形成する工程と、第1のマスク層上に、該第1のマスク層とのエッチング選択比が高い第2のマスク層を形成する工程と、第2のマスク層上に、第1のマスク層および半導体基板のエッチングを行う際のエッチングマスクとなる第3のマスク層を形成する工程と、第3のマスク層と第2のマスク層とにおける、深さの深い第1のトレンチ素子分離および深さの浅い第2のトレンチ素子分離の形成領域に対応する領域をエッチング除去する工程と、第1のマスク層における、第1のトレンチ素子分離の形成領域に対応する領域をエッチング除去する工程と、第3のマスクおよび第1のマスクをエッチングマスクとして半導体基板における第1のトレンチ素子分離の形成領域をエッチング除去して第1のトレンチ素子分離形成用の第1のトレンチ溝を形成する工程と、第1のマスク層における、第2のトレンチ素子分離の形成領域に対応する領域をエッチング除去する工程と、第3のマスク層をエッチングマスクとして半導体基板における第1のトレンチ素子分離および第2のトレンチ素子分離の形成領域をエッチング除去して第2のトレンチ素子分離形成用の第2のトレンチ溝を形成するとともに第1のトレンチ溝をさらに深堀する工程と、第1のトレンチ溝および第2のトレンチ溝に絶縁膜を埋め込む工程と、絶縁膜を平坦化する工程と、を含むことを特徴とする。

20

【0016】

この発明によれば、深さの深い第1のトレンチ素子分離形成用の第1のトレンチ溝の周辺および深さの浅い第2のトレンチ素子分離形成用の第2のトレンチ溝の周辺の領域で、エッチングにより溝を形成する際のエッチングマスクとなるマスク層の高さの差が生じない。これにより、素子分離形成領域である第1のトレンチ溝および第2のトレンチ溝に絶縁膜を埋め込み、平坦化した際に該絶縁膜の半導体基板の表面からの高さ(膜厚)が略等しくなる。

30

【0017】

さらに、第1のトレンチ溝が存在する領域と第2のトレンチ溝が存在する領域との境界部において、絶縁膜を平坦化する際に第3のマスク上に絶縁膜が残ることが防止される。また絶縁膜の平坦化のための研磨により第1のトレンチ溝が存在する領域と第2のトレンチ溝が存在する領域との境界部周辺の第3のマスクの削れが進み、これに起因して浅い素子分離と深い素子分離との高さの差が生じることが防止されている。

40

【発明の効果】**【0018】**

この発明によれば、深さの異なる各素子分離の半導体基板表面からの高さを均等にすることができ、素子分離に起因した特性のばらつきのない高品質の半導体装置を製造する半導体装置の製造方法を得ることができるという効果を奏する。

【発明を実施するための最良の形態】**【0019】**

以下に、本発明にかかる半導体装置の製造方法の実施の形態を図面に基づいて詳細に説明する。なお、本発明は以下の記述により限定されるものではなく、本発明の要旨を逸脱

50

しない範囲において適宜変更可能である。

【0020】

実施の形態1.

図1～図14は、本発明の実施の形態1にかかる半導体装置の製造方法を説明する工程断面図である。以下においては、図1～図14を参照しながら本実施の形態にかかる半導体装置の製造方法について説明する。本実施の形態にかかる半導体装置の製造方法においては、まず、図1に示すように半導体基板であるシリコン基板10の表面上に第1のマスクとなるシリコン酸化膜12をたとえば熱酸化法によって5nm～15nm程度の膜厚に形成する。

【0021】

つぎに、図2に示すように該シリコン酸化膜12上に、第2のマスクとなる非単結晶シリコン膜14をたとえば10nm～200nm程度の膜厚でCVD法によって堆積させ、さらに図3に示すように第3のマスクとなるシリコン窒化膜16をたとえば20nm～250nm程度の膜厚でCVD法によって堆積させる。ここで、シリコン酸化膜12は、後述するようにエッチングマスクとして機能する他に、シリコン窒化膜16を直接シリコン基板10上に成膜することによるシリコン基板10に対する応力の影響を避けるための応力緩和膜として形成する。また、非単結晶シリコン膜14は、非単結晶シリコン膜14とシリコン酸化膜12とのエッチング選択比が高いことを利用して、この後の工程にあたるシリコン窒化膜16を異方性エッチングするときのシリコン酸化膜4の削れおよび消失を防止するために形成するものである。

【0022】

つぎに、フォトレジストマスクを用いて、素子分離を形成する領域上のシリコン窒化膜16および非単結晶シリコン膜14を異方性エッチングにより選択的に除去する。すなわち、まず図4に示すようにシリコン窒化膜16上であって、素子分離を形成しない領域に対応する部分にフォトレジスト18を形成する。つぎに、図5に示すようにフォトレジスト18をエッチングマスクとして、素子分離を形成する領域のシリコン窒化膜16および非単結晶シリコン膜14をエッチング除去し、開口部19および開口部21を形成する。このとき、シリコン窒化膜16および非単結晶シリコン膜14の開口幅は50nm～500nm程度である。また、開口部19は浅い素子分離の形成領域に対応しており、開口部21は深い素子分離の形成領域に対応している。

【0023】

つぎに、フォトレジスト18を除去し、図6に示すようにフォトレジスト20で浅い溝を形成する領域に対応する開口部19を含む領域を覆い、このフォトレジスト20およびシリコン窒化膜16をマスクとして、図7に示すように深い素子分離を形成する領域に対応するシリコン酸化膜12をエッチングにより除去する。このとき、素子分離を形成する領域にフォトレジスト端があってもよい。

【0024】

この後、図8に示すようにフォトレジスト20を除去し、浅い素子分離を形成する領域上のシリコン酸化膜12、およびシリコン窒化膜16をマスクとして、図9に示すように深い素子分離を形成する領域のシリコン基板10をエッチングにより50nm～300nm程度、掘削し、深い素子分離形成用のトレンチ溝22を形成する。この工程においてシリコン基板10をエッチングする深さ、すなわちトレンチ溝22の深さは、最終的に形成される深い素子分離の深さと浅い素子分離の深さととの差の量である。また、このときの浅い素子分離を形成する領域上のシリコン酸化膜12の削れ量は、シリコン酸化膜12とシリコン基板10とのエッチング選択比が極めて高いためわずかである。

【0025】

つぎに、図10に示すように浅い素子分離を形成する領域上のシリコン酸化膜12をエッチングにより除去する。そして、図11に示すようにシリコン窒化膜16をマスクとして、浅い素子分離を形成する領域および深い素子分離を形成する領域のシリコン基板10をエッチングにより50nm～300nm程度掘削して、浅い素子分離形成用のトレンチ

10

20

30

40

50

溝 2 4 を形成するとともに深い素子分離形成用のトレンチ溝 2 2 をさらに深堀する。この工程においてシリコン基板 1 0 をエッチングする深さは、浅い素子分離の深さの量である。

【 0 0 2 6 】

以上の工程を経ることによって、深い素子分離形成用のトレンチ溝 2 2 および浅い素子分離形成用のトレンチ溝 2 4 を所望の深さに形成することができる。そして、本実施の形態においては、シリコン窒化膜 1 6 の高さの差を生じることなくトレンチ溝 2 2 およびトレンチ溝 2 4 を所望の深さに形成することができる。また、ここでは、深さの異なる 2 種類のトレンチ溝を形成する場合について説明しているが、3 種類以上の深さの異なるトレンチ溝も同様の工程を繰り返すことによって形成することができる。

10

【 0 0 2 7 】

つぎに、熱酸化法によってトレンチ溝 2 2 およびトレンチ溝 2 4 の側壁および底面を 2 nm ~ 3 0 nm 程度の深さで酸化して、エッチングによるダメージ層を除去する。さらに、図 1 2 に示すようにたとえば C V D 法によって絶縁膜であるシリコン酸化膜 2 6 を 3 0 0 nm ~ 6 0 0 nm の膜厚でトレンチ溝 2 2 およびトレンチ溝 2 4 を含む領域に堆積して該トレンチ溝 2 2 内およびトレンチ溝 2 4 内を埋め込む。そして、シリコン酸化膜 2 6 の表面を、シリコン窒化膜 1 6 をストップとする C M P (Chemical Mechanical Polishing) 法によって平坦化してシリコン窒化膜 1 6 上の不要なシリコン酸化膜 2 6 を除去し、図 1 3 に示すようにトレンチ溝 2 2 およびトレンチ溝 2 4 にのみシリコン酸化膜 2 6 を残す。

20

【 0 0 2 8 】

この後、シリコン窒化膜 1 6 および非単結晶シリコン膜 1 4 を除去し、従来公知の方法によりウェルの形成やトランジスタの閾値を決めるためのイオン注入を行い、さらに、シリコン酸化膜 1 2 を除去して図 1 4 に示すように深い素子分離 2 8 と浅い素子分離 3 0 が完成する。完成した深い素子分離 2 8 と浅い素子分離 3 0 とは、シリコン基板 1 0 の表面からの高さが略同一とされている。そして、この後は、従来公知の方法によりゲート酸化膜を成膜し、ゲート電極やソースドレイン領域等を形成することで半導体素子が形成され、配線層によって互いに接続されることで半導体装置が完成する。なお、上記においては、シリコン基板 1 0 上に 3 層のマスク層を形成した場合について説明したが、本発明においては、シリコン基板 1 0 上に形成するマスク層は 3 層に限定されるものではなく、適宜

30

【 0 0 2 9 】

以上において説明したように、本実施の形態にかかる半導体装置の製造方法によれば、深さの異なるトレンチ溝を形成する場合に、浅い素子分離を形成する領域の周辺のマスク層すなわち浅いトレンチ溝の周辺のマスク層と、深い素子分離を形成する領域の周辺のマスク層すなわち深いトレンチ溝の周辺のマスク層と、においてシリコン基板 1 0 の表面からの高さに差が生じることがない。

【 0 0 3 0 】

また、素子分離形成工程において、浅い素子分離を形成する領域の周辺のマスク層すなわち浅いトレンチ溝 2 4 の周辺のマスク層と、深い素子分離を形成する領域の周辺のマスク層すなわち深いトレンチ溝 2 2 の周辺のマスク層と、の間に高さの差が生じないため、浅いトレンチ溝 2 4 が存在する領域と深いトレンチ溝 2 2 が存在する領域との境界部において、C M P 法による研磨の際にシリコン窒化膜 1 6 上にシリコン酸化膜 2 6 が残ることが防止される。また C M P 法による研磨のために境界部周辺のシリコン窒化膜 1 6 の削れがさらに進み、これに起因して浅い素子分離と深い素子分離との高さの差が生じることがない。

40

【 0 0 3 1 】

これにより、本実施の形態にかかる半導体装置の製造方法によれば、素子分離形成領域であるトレンチ溝 2 2 およびトレンチ溝 2 4 にシリコン酸化膜 2 6 を埋め込み、C M P 法による研磨後に該シリコン酸化膜 2 6 のシリコン基板 1 0 の表面からの膜厚を確実に略等

50

しくすることができる。したがって、最終的に形成された浅い素子分離30と深い素子分離28とのシリコン基板10の表面からの高さを確実に略同一とすることができる。また、シリコン基板10上のシリコン酸化膜12が薄膜である場合においても、確実に浅い素子分離および深い素子分離、すなわちデュアルトレンチ分離を形成することができる。

【0032】

この結果、形成された浅い素子分離30と深い素子分離28とのシリコン基板10の表面からの高さによる微細加工への影響をなくすことができ、高品質の半導体装置を製造することができる。特にゲート電極加工時のリソグラフィの露光精度の低下およびエッチングのばらつきを低減させることができ、トランジスタ特性のばらつきを低減させることが可能である。したがって、本実施の形態にかかる半導体装置の製造方法によれば、各素子分離の半導体基板表面からの高さを均等とし、特性のばらつきが抑制された高品質の半導体装置を製造することができる。

10

【0033】

また、ゲート電極加工時に素子分離の肩にゲート電極材のサイドウォールが形成されることを避けるために素子分離の高さを低くした場合においても、トランジスタ特性のばらつきが生じることが無く、トランジスタ特性のばらつきのない高品質の半導体装置を製造することができる。

【0034】

実施の形態2 .

図15～図25は、本発明の実施の形態2にかかる半導体装置の製造方法を説明する工程断面図である。以下においては、図15～図25を参照しながら本実施の形態にかかる半導体装置の製造方法について説明する。なお、上述した実施の形態1の場合と同様の構成部材については、理解の容易のために同じ符号を付してある。本実施の形態にかかる半導体装置の製造方法においては、まず、図15に示すように半導体基板であるシリコン基板10の表面上に第1のマスクとなるシリコン酸化膜12をたとえば熱酸化法によって5nm～15nm程度の膜厚に形成する。

20

【0035】

つぎに、図16に示すように該シリコン酸化膜12上に、第2のマスクとなるシリコン窒化膜16をたとえば50nm～250nm程度の膜厚でCVD法によって堆積させる。ここで、シリコン酸化膜12は、シリコン窒化膜16を直接シリコン基板10上に成膜することによるシリコン基板10に対する応力の影響を避けるための応力緩和膜として形成する。

30

【0036】

つぎに、フォトレジストマスクを用いて、素子分離を形成する領域上のシリコン窒化膜16およびシリコン酸化膜12を異方性エッチングにより選択的に除去する。すなわち、まず図17に示すようにシリコン窒化膜16上であって、素子分離を形成しない領域に対応する部分にフォトレジスト18を形成する。つぎに、図18に示すようにフォトレジスト18をエッチングマスクとして、素子分離を形成する領域のシリコン窒化膜16およびシリコン酸化膜12をエッチング除去し、開口部32および開口部34を形成する。このとき、シリコン窒化膜16およびシリコン酸化膜12の開口幅は50nm～500nm程度である。また、開口部32は浅い素子分離の形成領域に対応しており、開口部34は深い素子分離の形成領域に対応している。

40

【0037】

つぎに、フォトレジスト18を除去し、図19に示すようにシリコン窒化膜16をエッチングマスクとして、深い素子分離を形成する領域および浅い素子分離を形成する領域のシリコン基板10を異方性エッチングにより50nm～300nm程度の深さで掘削する。これにより、浅い素子分離形成用のトレンチ溝36および深い素子分離形成用のトレンチ溝38を形成する。この工程においてシリコン基板10をエッチングする深さは、浅いトレンチ溝の深さであり、浅い素子分離の深さである。その深さは、たとえばシリコン基板10表面より50nm～300nm程度である。

50

【0038】

つぎに、図20に示すようにトレンチ溝36を含む領域を該トレンチ溝36が埋まる程度にフォトレジスト40で覆う。このとき、トレンチ溝38にフォトレジスト40が入らないようにする。そして、図21に示すようにこのフォトレジスト40が活性領域のシリコン窒化膜16上に残らないようにフォトレジスト40をエッチングする。このとき、フォトレジスト40のエッチング量が少なければ、深い溝を形成する領域のシリコン窒化膜16の削れ量もわずかである。

【0039】

つぎに、図22に示すようにフォトレジスト40およびシリコン窒化膜16をマスクとして、深い素子分離を形成する領域のトレンチ溝38のシリコン基板10をエッチングによりさらに掘削する。ここで、シリコン基板10をエッチングするときには、フォトレジスト40もエッチングされるが、シリコン基板10のエッチング量に対し、フォトレジスト40がシリコン基板10に達することがないように膜厚となるように、シリコン酸化膜12とシリコン窒化膜16の膜厚を形成していれば、浅いトレンチ溝36の底部のシリコン基板10が掘削されることはない。

10

【0040】

また、この工程でのシリコン基板10をエッチングする量は、深いトレンチ溝38と浅いトレンチ溝36との深さの差の量であり、深い素子分離と浅い素子分離との深さの差の量である。そして、たとえばエッチング後の深いトレンチ溝38のシリコン基板10表面より下の深さは100nm~400nm程度である。その後、フォトレジスト40を除去する。

20

【0041】

以上の工程を経ることによって、深い素子分離形成用のトレンチ溝38および浅い素子分離形成用のトレンチ溝36を所望の深さに形成することができる。そして、本実施の形態においては、シリコン窒化膜16の高さの差を生じることなくトレンチ溝36およびトレンチ溝38を所望の深さに形成することができる。また、ここでは、深さの異なる2種類のトレンチ溝を形成する場合について説明しているが、3種類以上の深さの異なるトレンチ溝も同様の工程を繰り返すことによって形成することができる。

【0042】

つぎに、熱酸化法によってトレンチ溝36およびトレンチ溝38の側壁および底面を2nm~30nm程度の深さで酸化して、エッチングによるダメージ層を除去する。さらに、図23に示すようにたとえばCVD法によって絶縁膜であるシリコン酸化膜26を300nm~600nmの膜厚でトレンチ溝36およびトレンチ溝38を含む領域に堆積して該トレンチ溝36内およびトレンチ溝38内を埋め込む。そして、シリコン酸化膜26の表面を、シリコン窒化膜16をストップとするCMP (Chemical Mechanical Polishing) 法によって平坦化してシリコン窒化膜16上の不要なシリコン酸化膜26を除去し、図24に示すようにトレンチ溝36およびトレンチ溝38にのみシリコン酸化膜26を残す。

30

【0043】

この後、シリコン窒化膜16を除去し、従来公知の方法によりウェルの形成やトランジスタの閾値を決めるためのイオン注入を行い、さらに、シリコン酸化膜12を除去して図25に示すように深い素子分離28と浅い素子分離30が完成する。完成した深い素子分離28と浅い素子分離30とは、シリコン基板10の表面からの高さが略同一とされている。そして、この後は、従来公知の方法によりゲート酸化膜を成膜し、ゲート電極やソースドレイン領域等を形成することで半導体素子が形成され、配線層によって互いに接続されることで半導体装置が完成する。

40

【0044】

以上において説明したように、本実施の形態にかかる半導体装置の製造方法によれば、深さの異なるトレンチ溝を形成する場合に、浅い素子分離を形成する領域の周辺のマスク層すなわち浅いトレンチ溝の周辺のマスク層と、深い素子分離を形成する領域の周辺のマ

50

スク層すなわち深いトレンチ溝の周辺のマスク層と、においてシリコン基板 10 の表面からの高さに差が生じることがない。

【0045】

また、素子分離形成工程において、浅い素子分離を形成する領域の周辺のマスク層すなわち浅いトレンチ溝 36 の周辺のマスク層と、深い素子分離を形成する領域の周辺のマスク層すなわち深いトレンチ溝 38 の周辺のマスク層と、の間に高さの差が生じないため、浅いトレンチ溝 36 が存在する領域と深いトレンチ溝 38 が存在する領域との境界部において、CMP 法による研磨の際にシリコン窒化膜 16 上にシリコン酸化膜 26 が残ることが防止される。また CMP 法による研磨のために境界部周辺のシリコン窒化膜 16 の削れがさらに進み、これに起因して浅い素子分離と深い素子分離との高さの差が生じることがない。

10

【0046】

これにより、本実施の形態にかかる半導体装置の製造方法によれば、素子分離形成領域であるトレンチ溝 36 およびトレンチ溝 38 にシリコン酸化膜 26 を埋め込んだ際に該シリコン酸化膜 26 のシリコン基板 10 の表面からの膜厚を確実に略等しくすることができる。したがって、最終的に形成された浅い素子分離 30 と深い素子分離 28 とのシリコン基板 10 の表面からの高さを確実に略同一とすることができる。また、シリコン基板 10 上のシリコン酸化膜 12 が薄膜である場合においても、確実に浅い素子分離および深い素子分離、すなわちデュアルトレンチ分離を形成することができる。

【0047】

この結果、形成された浅い素子分離 30 と深い素子分離 28 とのシリコン基板 10 の表面からの高さに差による微細加工への影響をなくすことができ、高品質の半導体装置を製造することができる。特にゲート電極加工時のリソグラフィの露光精度の低下およびエッチングのばらつきを低減させることができ、トランジスタ特性のばらつきを低減させることが可能である。したがって、本実施の形態にかかる半導体装置の製造方法によれば、各素子分離の半導体基板表面からの高さを均等とし、特性のばらつきが抑制された高品質の半導体装置を製造することができる。

20

【0048】

また、ゲート電極加工時に素子分離の肩にゲート電極材のサイドウォールが形成されることを避けるために素子分離の高さを低くした場合においても、トランジスタ特性のばらつきが生じることが無く、トランジスタ特性のばらつきのない高品質の半導体装置を製造することができる。

30

【産業上の利用可能性】

【0049】

以上のように、本発明にかかる半導体装置の製造方法は、メモリセル部と周辺回路部とを有するような大容量デバイスにおいて、メモリセル部の集積度を大幅に上げた半導体装置を製造する場合に有用である。

【図面の簡単な説明】

【0050】

【図 1】本発明の実施の形態 1 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

40

【図 2】本発明の実施の形態 1 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 3】本発明の実施の形態 1 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 4】本発明の実施の形態 1 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 5】本発明の実施の形態 1 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 6】本発明の実施の形態 1 にかかる半導体装置の製造方法の製造工程を説明する工程

50

断面図である。

【図 7】本発明の実施の形態 1 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 8】本発明の実施の形態 1 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 9】本発明の実施の形態 1 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 10】本発明の実施の形態 1 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 11】本発明の実施の形態 1 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。 10

【図 12】本発明の実施の形態 1 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 13】本発明の実施の形態 1 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 14】本発明の実施の形態 1 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 15】本発明の実施の形態 2 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 16】本発明の実施の形態 2 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。 20

【図 17】本発明の実施の形態 2 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 18】本発明の実施の形態 2 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 19】本発明の実施の形態 2 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 20】本発明の実施の形態 2 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 21】本発明の実施の形態 2 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。 30

【図 22】本発明の実施の形態 2 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 23】本発明の実施の形態 2 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 24】本発明の実施の形態 2 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

【図 25】本発明の実施の形態 2 にかかる半導体装置の製造方法の製造工程を説明する工程断面図である。

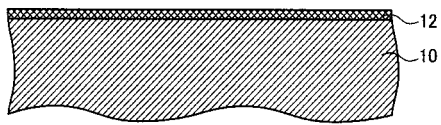
【符号の説明】 40

【0051】

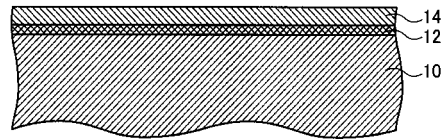
- 10 シリコン基板
- 12 シリコン酸化膜
- 14 非単結晶シリコン膜
- 16 シリコン窒化膜
- 18 フォトレジスト
- 20 フォトレジスト
- 22 トレンチ溝
- 24 トレンチ溝
- 26 シリコン酸化膜

- 2 8 深い素子分離
- 3 0 浅い素子分離
- 3 2 開口部
- 3 4 開口部
- 3 6 トレンチ溝
- 3 8 トレンチ溝
- 4 0 フォトレジスト

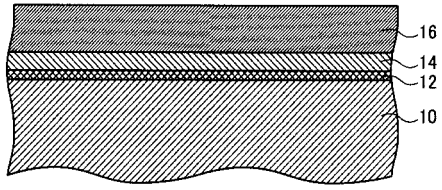
【図 1】



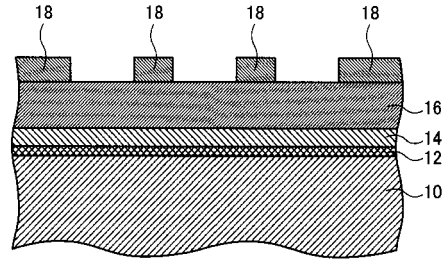
【図 2】



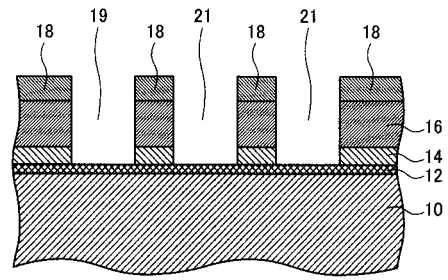
【 図 3 】



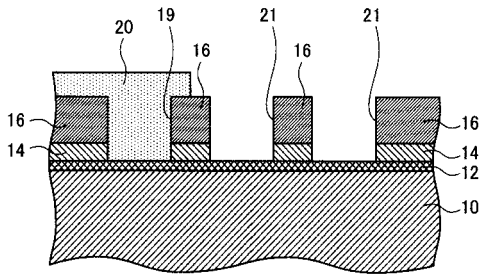
【 図 4 】



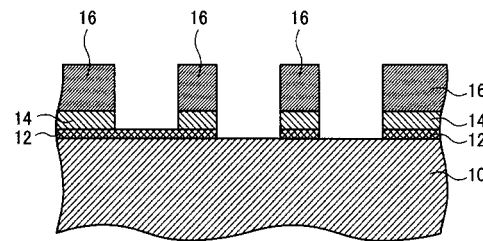
【 図 5 】



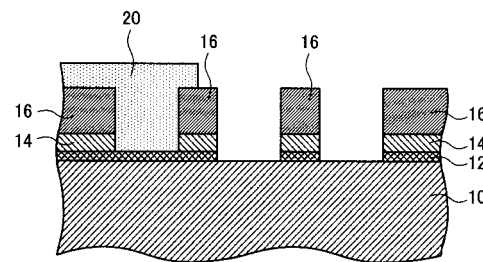
【 図 6 】



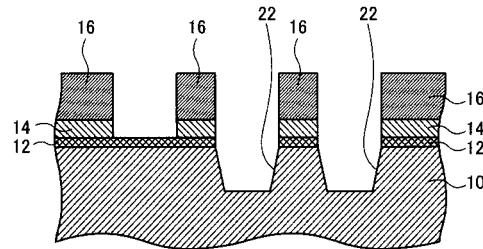
【 図 8 】



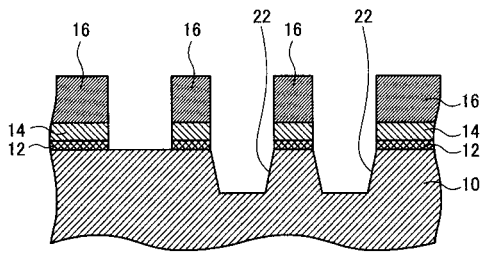
【 図 7 】



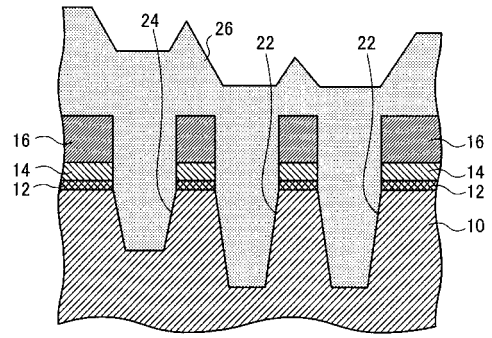
【 図 9 】



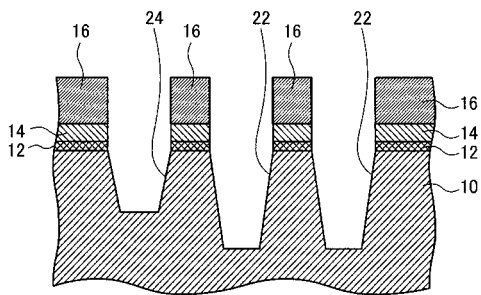
【図 10】



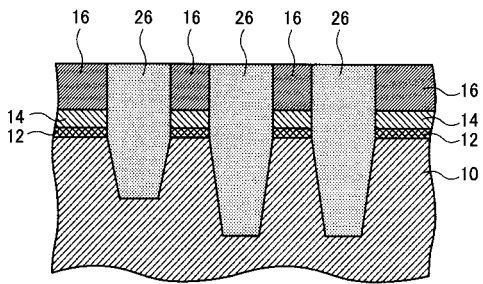
【図 12】



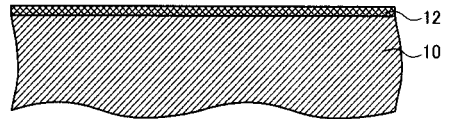
【図 11】



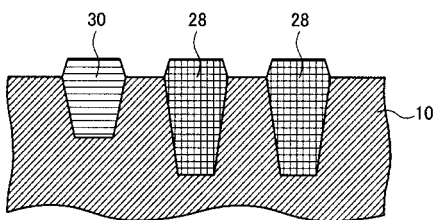
【図 13】



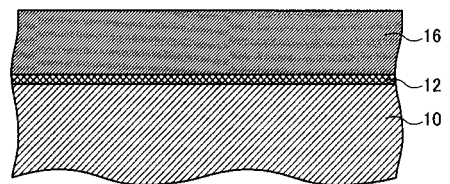
【図 15】



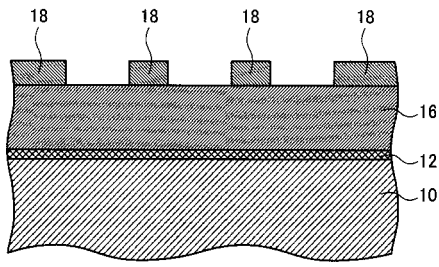
【図 14】



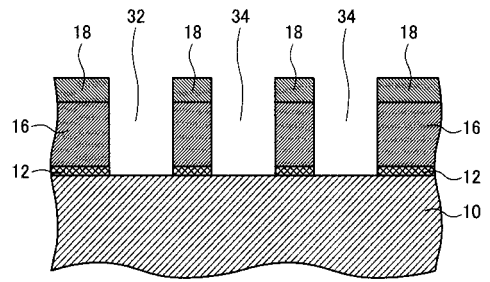
【図 16】



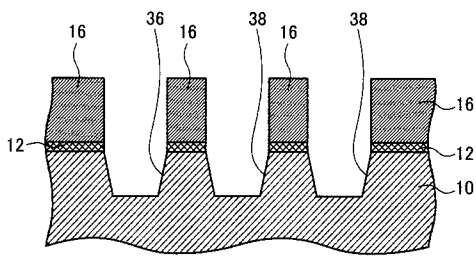
【図 17】



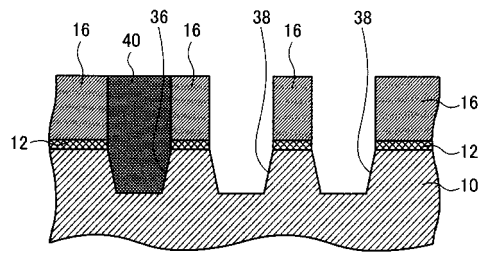
【図 18】



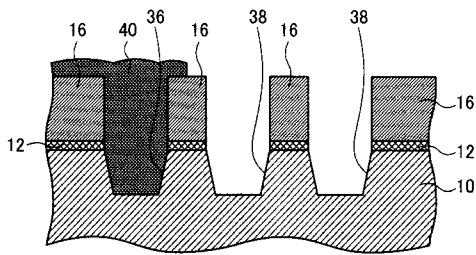
【図 19】



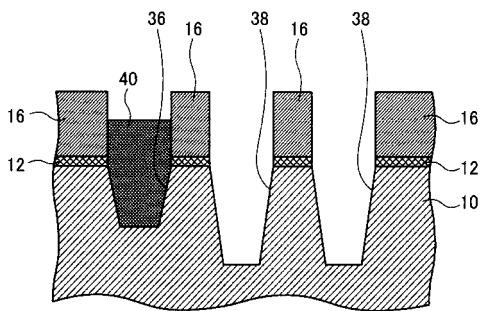
【図 21】



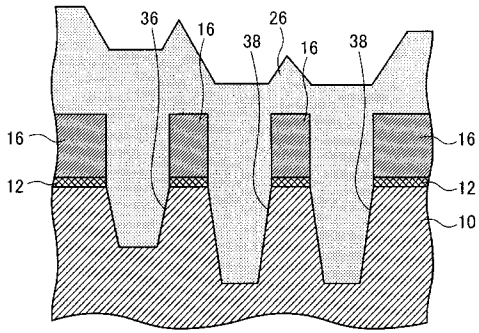
【図 20】



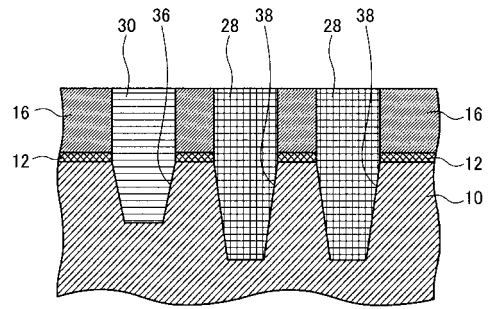
【図 22】



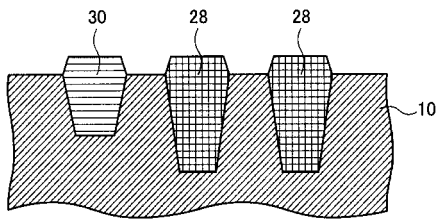
【 図 2 3 】



【 図 2 4 】



【 図 2 5 】



フロントページの続き

Fターム(参考) 5F032 AA35 AA44 AA45 AA77 BA03 CA03 CA17 DA02 DA22 DA25
DA33 DA53 DA78
5F083 AD00 BS00 CR00 EP00 FR00 GA27 NA01 NA06 PR40 PR42
PR52 ZA03