



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I512623 B

(45) 公告日：中華民國 104 (2015) 年 12 月 11 日

(21) 申請案號：102148530

(22) 申請日：中華民國 102 (2013) 年 12 月 26 日

(51) Int. Cl. : G06F9/445 (2006.01)

G06F1/24 (2006.01)

G06F1/32 (2006.01)

(71) 申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72) 發明人：梁鳴仁 LIANG, MING JEN (TW)

(74) 代理人：詹銘文；葉璟宗

(56) 參考文獻：

TW 538342

TW I283367

TW 200844859A

TW 201140452A

TW 201344699A

US 7428662B2

US 2009/0168534A1

US 2010/0257304A1

審查人員：梁中明

申請專利範圍項數：23 項 圖式數：7 共 37 頁

(54) 名稱

休眠模式啓動方法、記憶體控制電路單元及儲存裝置

METHOD OF ENABLING SLEEP MODE, MEMORY CONTROL CIRCUIT UNIT AND STORAGE APPARATUS

(57) 摘要

一種用於記憶體儲存裝置的休眠模式啓動方法。本方法包括：當從主機系統接收到啟用裝置休眠功能指令時，判斷記憶體儲存裝置的裝置休眠訊號接腳是否處於與第一邏輯電位相反的第二邏輯電位；以及若是，則開啟記憶體儲存裝置的裝置休眠功能，其中記憶體儲存裝置會進入休眠模式以回應處於第一邏輯電位的裝置休眠訊號接腳。

A sleep mode enabling method for a memory storage apparatus is provided. The method includes determining a device sleep signal pin in the memory storage apparatus is at a second logic level opposite to a first logic level, wherein the memory storage apparatus enters a sleep mode in response the device sleep signal pin being at the first logic level. The method also includes, if yes, enabling a device sleep function of the memory storage apparatus.

S701、S703、S705、  
S707、S709、S711、  
S713、S715... 休  
眠模式啟動方法的步  
驟

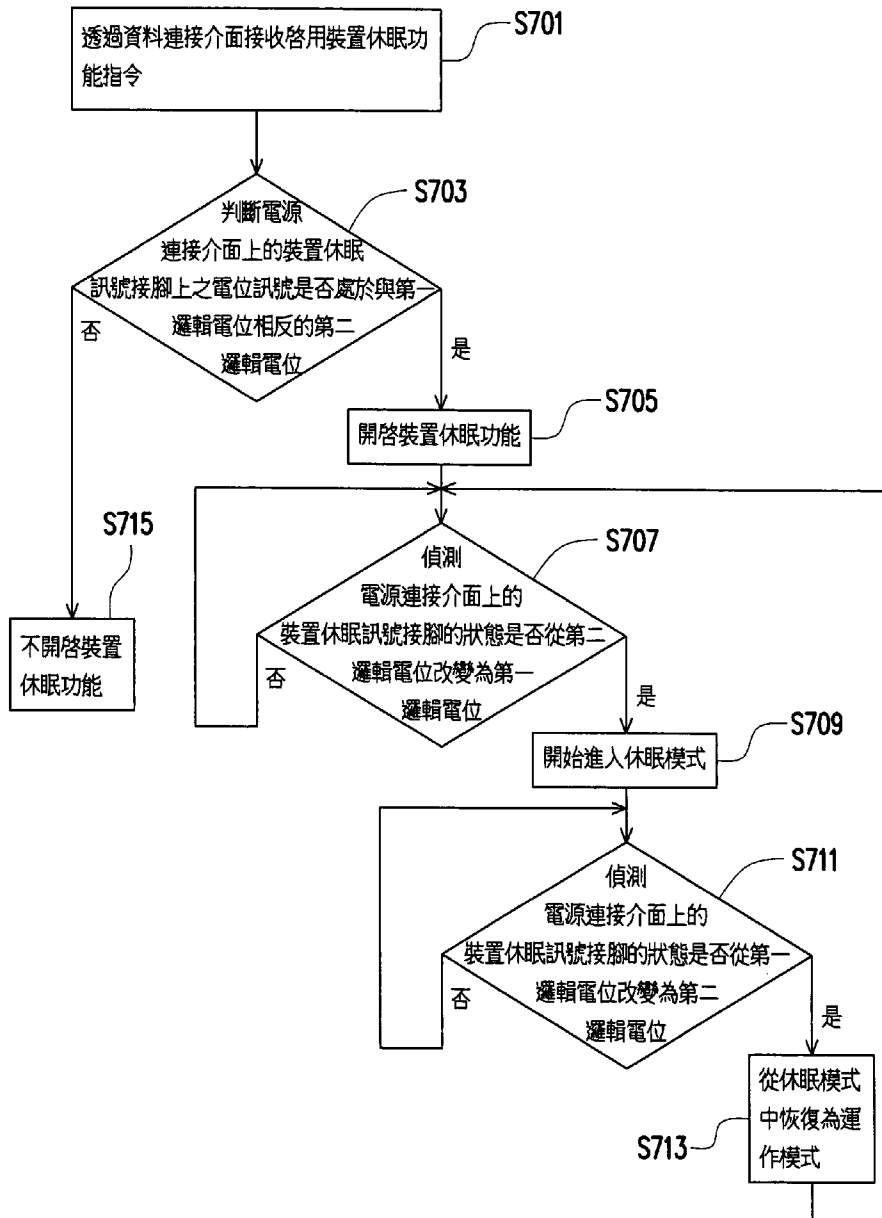
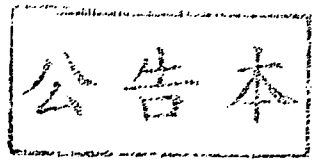


圖 7



## 發明摘要

※ 申請案號：102148530

※ 申請日：102.12.26

※ IPC 分類：

G06F 9/445 (2006.01)

G06F 1/34 (2006.01)

G06F 1/32 (2006.01)

### 【發明名稱】

休眠模式啟動方法、記憶體控制電路單元及儲存裝置

METHOD OF ENABLING SLEEP MODE, MEMORY CONTROL  
CIRCUIT UNIT AND STORAGE APPARTUS

### 【中文】

一種用於記憶體儲存裝置的休眠模式啟動方法。本方法包括：當從主機系統接收到啟用裝置休眠功能指令時，判斷記憶體儲存裝置的裝置休眠訊號接腳是否處於與第一邏輯電位相反的第二邏輯電位；以及若是，則開啓記憶體儲存裝置的裝置休眠功能，其中記憶體儲存裝置會進入休眠模式以回應處於第一邏輯電位的裝置休眠訊號接腳。

### 【英文】

A sleep mode enabling method for a memory storage apparatus is provided. The method includes determining a device sleep signal pin in the memory storage apparatus is at a second logic level opposite to a first logic level, wherein the memory storage apparatus enters a sleep mode in response the device sleep signal pin being at the first logic level. The method also includes, if yes, enabling a device sleep function of the memory storage apparatus.

**【代表圖】**

**【本案指定代表圖】**：圖 7。

**【本代表圖之符號簡單說明】**：

S701、S703、S705、S707、S709、S711、S713、S715：休眠

模式啓動方法的步驟

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

休眠模式啓動方法、記憶體控制電路單元及儲存裝置

METHOD OF ENABLING SLEEP MODE, MEMORY CONTROL  
CIRCUIT UNIT AND STORAGE APPARTUS

## 【技術領域】

● 【0001】 本發明是有關於一種作動記憶體儲存裝置進入休眠模式的方法以及使用此方法的記憶體控制電路單元以及記憶體儲存裝置。

## 【先前技術】

● 【0002】 由於可複寫式非揮發性記憶體 (rewritable non-volatile memory) 具有資料非揮發性、省電、體積小、無機械結構、讀寫速度快等特性，因此，近年可複寫式非揮發性記憶體產業成爲電子產業中相當熱門的一環。例如，以快閃記憶體作爲儲存媒體的固態硬碟 (Solid-state drive) 已廣泛應用作爲電腦主機的硬碟，以提升電腦的存取效能。此外，由於環保意識的抬頭，綠色科技成爲電子製造商魯力的目標。爲了避免磁碟機在使用者未使用下還持續耗電，固態硬碟已被設計支援裝置休眠訊號 (Device Sleep Signal) 協定。然而，由於裝置休眠訊號是透過電源連接介面的其中一個接腳來傳遞，因此，在主機系統的電源供應介面未支援裝置休眠

訊號協定的例子中，當主機系統一開機時，固態硬碟會因為電源供應介面上的訊號而誤動作地直接進入休眠模式，而無法運作。

### 【發明內容】

【0003】 本發明提供一種偵測可複寫式非揮發性記憶體模組的方法、記憶體控制電路單元及記憶體儲存裝置，其能夠有效地避免誤進入休眠模式。

【0004】 據此，本發明一範例實施例提出一種用於記憶體儲存裝置的休眠模式啟動方法。本休眠模式啟動方法包括：(a)當從主機系統接收到啟用裝置休眠功能指令時，判斷記憶體儲存裝置的裝置休眠訊號接腳上之電位訊號是否處於與第一邏輯電位不同的第二邏輯電位；以及(b)倘若在步驟(a)中判斷記憶體儲存裝置的裝置休眠訊號接腳上之電位訊號處於第二邏輯電位時，開啓記憶體儲存裝置的裝置休眠功能。此外，上述休眠模式啟動方法更包括：(c)在開啓記憶體儲存裝置的裝置休眠功能之後，偵測記憶體儲存裝置的裝置休眠訊號接腳上之電位訊號是否從第二邏輯電位改變為第一邏輯電位；以及(d)倘若在步驟(c)中偵測到記憶體儲存裝置的裝置休眠訊號接腳上之電位訊號從第二邏輯電位改變為第一邏輯電位時，啟動記憶體儲存裝置進入休眠模式。

【0005】 在本發明之一範例實施例中，上述休眠模式啟動方法更包括：倘若在步驟(a)中判斷記憶體儲存裝置的裝置休眠訊號接腳上之電位訊號不處於第二邏輯電位時，不開啓記憶體儲存裝置的

裝置休眠功能。

【0006】 在本發明之一範例實施例中，上述第一邏輯電位為一高邏輯電位且第二邏輯電位為一低邏輯電位。

【0007】 在本發明之一範例實施例中，上述休眠模式啟動方法更包括：在記憶體儲存裝置進入休眠模式後，偵測記憶體儲存裝置的裝置休眠訊號接腳上之電位訊號是否從第一邏輯電位改變為第二邏輯電位；以及倘若偵測到記憶體儲存裝置的裝置休眠訊號接腳上之電位訊號從第一邏輯電位改變為第二邏輯電位時，使記憶體儲存裝置從休眠模式回復至運作模式。

【0008】 在本發明之一範例實施例中，上述裝置休眠訊號接腳配置於記憶體儲存裝置的電源連接介面上。

【0009】 本發明一範例實施例提出一種記憶體控制電路單元，其包括主機介面、記憶體介面與記憶體管理電路。主機介面用以電連接至主機系統。上述記憶體介面用以耦接至可複寫式非揮發性記憶體模組。上述記憶體管理電路耦接至記憶體介面與主機介面，並用以透過主機介面從主機系統接收到啟用裝置休眠功能指令。當透過主機介面從主機系統接收到啟用裝置休眠功能指令時，上述記憶體管理電路判斷記憶體儲存裝置的裝置休眠訊號接腳上之電位訊號是否處於與第一邏輯電位不同的第二邏輯電位。倘若判斷此裝置休眠訊號接腳上之電位訊號處於第二邏輯電位時，上述記憶體管理電路開啓記憶體儲存裝置的裝置休眠功能。此外，在開啓記憶體儲存裝置的裝置休眠功能之後，上述記憶體

管理電路更用以偵測此裝置休眠訊號接腳上之電位訊號是否從第二邏輯電位改變為第一邏輯電位。倘若偵測到電源連接介面上的裝置休眠訊號接腳上之電位訊號從第二邏輯電位改變為第一邏輯電位時，上述記憶體管理電路開始進入休眠模式。

**【0010】** 在本發明之一範例實施例中，倘若在透過資料連接介面從主機系統接收到啓用裝置休眠功能指令後判斷此裝置休眠訊號接腳上之電位訊號不處於第二邏輯電位時，上述記憶體管理電路不開啓記憶體儲存裝置的裝置休眠功能。

**【0011】** 在本發明之一範例實施例中，上述電源連接介面為一序列先進附件電源連接介面且上述資料連接介面為一序列先進附件連接介面。

**【0012】** 在本發明之一範例實施例中，上述訊號輸出接腳配置於主機系統的一電源供應連接介面中，且訊號輸出接腳輸出一 3.3 伏特電壓。

**【0013】** 在本發明之一範例實施例中，上述記憶體管理電路更用以在進入休眠模式後，偵測記憶體儲存裝置的裝置休眠訊號接腳上之電位訊號是否從第一邏輯電位改變為第二邏輯電位。倘若偵測到記憶體儲存裝置的裝置休眠訊號接腳上之電位訊號從第一邏輯電位改變為第二邏輯電位時，上述記憶體管理電路更用以從休眠模式回復至運作模式。

**【0014】** 本發明一範例實施例提出一種記憶體儲存裝置，其包括連接介面單元、可複寫式非揮發性記憶體模組與記憶體控制電路

單元。連接介面單元用以耦接至主機系統。可複寫式非揮發性記憶體模組具有多個實體抹除單元。記憶體控制電路單元耦接至連接介面單元與可複寫式非揮發性記憶體模組。記憶體控制電路單元用以透過資料連接介面從主機系統接收到啓用裝置休眠功能指令。當透過資料連接介面從主機系統接收到啓用裝置休眠功能指令時，記憶體控制電路單元判斷裝置休眠訊號接腳上之電位訊號是否處於與第一邏輯電位不同的第二邏輯電位。倘若判斷裝置休眠訊號接腳上之電位訊號處於第二邏輯電位時，記憶體控制電路單元開啓記憶體儲存裝置的裝置休眠功能。此外，在開啓記憶體儲存裝置的裝置休眠功能之後，上述記憶體控制電路單元更用以偵測裝置休眠訊號接腳上之電位訊號是否從第二邏輯電位改變為第一邏輯電位。倘若偵測到電源連接介面上的裝置休眠訊號接腳上之電位訊號從第二邏輯電位改變為第一邏輯電位時，上述記憶體控制電路單元開始進入休眠模式。

**【0015】** 在本發明之一範例實施例中，倘若在透過資料連接介面從主機系統接收到啓用裝置休眠功能指令後判斷裝置休眠訊號接腳上之電位訊號不處於第二邏輯電位時，上述記憶體控制電路單元不開啓記憶體儲存裝置的裝置休眠功能。

**【0016】** 在本發明之一範例實施例中，上述記憶體控制電路單元更用以在進入休眠模式後，偵測裝置休眠訊號接腳上之電位訊號是否從第一邏輯電位改變為第二邏輯電位。倘若偵測到電源連接介面上的裝置休眠訊號接腳上之電位訊號從第一邏輯電位改變為

第二邏輯電位時，上述記憶體控制電路單元更用以從休眠模式回復至運作模式。

【0017】 在本發明之一範例實施例中，上述連接介面單元更包括電源連接介面並且上述裝置休眠訊號接腳配置於電源連接介面上。

【0018】 本發明一範例實施例提出一種記憶體控制電路單元，其包括主機介面、記憶體介面與記憶體管理電路。主機介面用以電連接至主機系統。上述記憶體介面用以耦接至可複寫式非揮發性記憶體模組。上述記憶體管理電路耦接至記憶體介面與主機介面，並用以透過主機介面從主機系統接收到啓用裝置休眠功能指令。此外，主機介面具有資料連接介面及電源連接介面，資料連接介面用以接收由第一傳輸線傳送之至少一組差分訊號，電源連接介面用以接收由第二傳輸線傳送之至少一輸入電源，第一傳輸線與第二傳輸線彼此獨立。再者，當透過主機介面從該主機系統接收到啓用裝置休眠功能指令時，記憶體管理電路判斷該電源連接介面的第一接腳上之電位訊號是否處於預定邏輯電位。倘若判斷第一接腳上之電位訊號處於預定邏輯電位時，記憶體管理電路開啓此記憶體儲存裝置的裝置休眠功能。另外，在開啓記憶體儲存裝置的裝置休眠功能之後，記憶體管理電路更用以偵測裝置休眠訊號接腳上之電位訊號是否為第一邏輯電位。倘若偵測到裝置休眠訊號接腳上之電位訊號為第一邏輯電位時，記憶體管理電路開始進入休眠模式。

【0019】 在本發明之一範例實施例中，上述第一接腳不同於電源連接介面的裝置休眠訊號接腳。

【0020】 在本發明之一範例實施例中，倘若第一接腳上之電位為3.3伏特時，則記憶體管理電路不開啓記憶體儲存裝置的裝置休眠功能。

【0021】 在本發明之一範例實施例中，上述預定邏輯電位不同於第一邏輯電位。

● 【0022】 基於上述，上述範例實施例的偵測可複寫式非揮發性記憶體模組的方法、記憶體控制電路單元及記憶體儲存裝置藉由在接收到啓用裝置休眠功能指令時確認記憶體儲存裝置的裝置休眠訊號接腳是否正確地電連接至有支援裝置休眠訊號協定的接腳，由此有效地避免誤進入休眠模式。

● 【0023】 爲讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【圖式簡單說明】

#### 【0024】

圖 1 是根據一範例實施例所繪示的主機系統與記憶體儲存裝置。

圖 2 是根據本發明範例實施例所繪示的電腦、輸入/輸出裝置與記憶體儲存裝置的示意圖。

圖 3 是根據本發明範例實施例所繪示的主機系統與記憶體儲

存裝置的示意圖。

圖 4 是繪示圖 1 所示的記憶體儲存裝置的概要方塊圖。

圖 5 是根據一範例實施例所繪示之記憶體控制電路單元的概要方塊圖。

圖 6 是根據本發明一範例實施例所繪示之用於以連接記憶體儲存裝置與主機系統之匯流排連接介面與電源供應連接介面的範例示意圖。

圖 7 是根據一範例實施例所繪示的休眠模式啓動方法的流程圖。

### 【實施方式】

【0025】 一般而言，記憶體儲存裝置(亦稱，記憶體儲存系統)包括可複寫式非揮發性記憶體模組與控制器(亦稱，控制電路)。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

【0026】 圖 1 是根據一範例實施例所繪示的主機系統與記憶體儲存裝置。

【0027】 請參照圖 1，主機系統 1000 一般包括電腦 1100 與輸入/輸出(input/output, I/O)裝置 1106。電腦 1100 包括微處理器 1102、隨機存取記憶體(random access memory, RAM) 1104、系統匯流排 1108 與資料傳輸介面 1110。輸入/輸出裝置 1106 包括如圖 2 的滑鼠 1202、鍵盤 1204、顯示器 1206 與印表機 1208。必須瞭解的是，

圖 2 所示的裝置非限制輸入/輸出裝置 1106，輸入/輸出裝置 1106 可更包括其他裝置。

【0028】 在本發明實施例中，記憶體儲存裝置 100 是透過資料傳輸介面 1110 與主機系統 1000 的其他元件耦接。藉由微處理器 1102、隨機存取記憶體 1104 與輸入/輸出裝置 1106 的運作可將資料寫入至記憶體儲存裝置 100 或從記憶體儲存裝置 100 中讀取資料。例如，記憶體儲存裝置 100 可以是如圖 2 所示的隨身碟 1212、記憶卡 1214 或固態硬碟(Solid State Drive, SSD)1216 等的可複寫式非揮發性記憶體儲存裝置。

【0029】 一般而言，主機系統 1000 為可實質地與記憶體儲存裝置 100 配合以儲存資料的任意系統。雖然在本範例實施例中，主機系統 1000 是以電腦系統來作說明，然而，在本發明另一範例實施例中主機系統 1000 可以是數位相機、攝影機、通信裝置、音訊播放器或視訊播放器等系統。例如，在主機系統為數位相機(攝影機)1310 時，可複寫式非揮發性記憶體儲存裝置則為其所使用的 SD 卡 1312、MMC 卡 1314、記憶棒(memory stick)1316、CF 卡 1318 或嵌入式儲存裝置 1320(如圖 3 所示)。嵌入式儲存裝置 1320 包括嵌入式多媒體卡(Embedded MMC, eMMC)。值得一提的是，嵌入式多媒體卡是直接耦接於主機系統的基板上。

【0030】 圖 4 是繪示圖 1 所示的記憶體儲存裝置的概要方塊圖。

【0031】 請參照圖 4，記憶體儲存裝置 100 包括連接介面單元 102、記憶體控制電路單元 104 與可複寫式非揮發性記憶體模組

106。

【0032】 連接介面單元 102 包括資料連接介面 102a 與電源連接介面 102b，資料連接介面 102a 用以連接主機系統 1000 的匯流排連接介面，並且電源連接介面 102b 用以連接主機系統 1000 的電源供應連接介面。特別是，在本範例實施例中，資料連接介面 102a 可例如用以接收至少一組差分訊號，且電源連接介面 102b 具有一裝置休眠訊號(device sleep signal)接腳，以支援裝置休眠訊號(device sleep signal)協定。在另一範例實施例中，電源連接介面 102b 用以接收至多兩種不同的輸入電源，例如 5 伏特及 12 伏特。在另一範例實施例中，電源連接介面 102b 無用以接收 3.3 伏特的輸入電源。具體來說，支援具有裝置休眠之協定的主機系統 1000 可控制電源供應連接介面中耦接至裝置休眠訊號接腳的訊號輸出接腳來指示記憶體儲存裝置 100 開始進入休眠模式。例如，倘若主機系統 1000 控制電源供應連接介面中耦接至裝置休眠訊號接腳的訊號輸出接腳上之電位訊號處於第一邏輯電位時，則電源連接介面 102b 的裝置休眠訊號接腳上之電位訊號亦會處於第一邏輯電位以致於記憶體儲存裝置 100 會據此開始進入休眠模式；並且倘若主機系統 1000 控制電源供應連接介面中耦接至裝置休眠訊號接腳的訊號輸出接腳上之電位訊號處於第二邏輯電位時，則電源連接介面 102b 的裝置休眠訊號接腳上之電位訊號亦會處於第二邏輯電位以致於記憶體儲存裝置 100 會據此正常運作。在此，第一邏輯電位與第二邏輯電位可根據不同的設計來設定，例如，在本範

例實施例中，第一邏輯電位為高邏輯電位並且第二邏輯電位為相反於第一邏輯電位的低邏輯電位，而在本範例實施例中，高邏輯電位是為電壓準位高於一預定值時，可被判定為高邏輯電位，而相反地，低邏輯電位是為電壓準位低於一預定值時，可被判定為低邏輯電位。

【0033】 在本範例實施例中，連接介面單元 102 是相容於序列先進附件(Serial Advanced Technology Attachment, SATA)標準。然而，必須瞭解的是，本發明不限於此，連接介面單元 102 亦可以是符合並列先進附件(Parellel Advanced Technology Attachment, PATA)標準、電氣和電子工程師協會(Institute of Electrical and Electronic Engineers, IEEE) 1394 標準、高速周邊零件連接介面(Peripheral Component Interconnect Express, PCI Express) 標準、通用序列匯流排(Universal Serial Bus, USB) 標準、超高速一代(Ultra High Speed-I, UHS-I)介面標準、超高速二代(Ultra High Speed-II, UHS-II)介面標準、安全數位(Secure Digital, SD)介面標準、記憶棒(Memory Stick, MS)介面標準、多媒體儲存卡(Multi Media Card, MMC)介面標準、小型快閃(Compact Flash, CF)介面標準、整合式驅動電子介面(Integrated Device Electronics, IDE) 標準或其他適合的標準。在本範例實施例中，連接介面單元可與記憶體控制電路單元封裝在一個晶片中，或佈設於一包含記憶體控制電路單元之晶片外。

【0034】 記憶體控制電路單元 104 用以執行以硬體型式或韌體型

式實作的多個邏輯閘或控制指令，並且根據主機系統 1000 的指令在可複寫式非揮發性記憶體模組 106 中進行資料的寫入、讀取與抹除等運作。

**【0035】** 可複寫式非揮發性記憶體模組 106 是耦接至記憶體控制電路單元 104，並且用以儲存主機系統 1000 所寫入之資料。可複寫式非揮發性記憶體模組 106 具有實體抹除單元 410(0)~410(N)。例如，實體抹除單元 410(0)~410(N)可屬於同一個記憶體晶粒(die)或者屬於不同的記憶體晶粒。每一實體抹除單元分別具有複數個實體程式化單元，其中屬於同一個實體抹除單元之實體程式化單元可被獨立地寫入且被同時地抹除。然而，必須瞭解的是，本發明不限於此，每一實體抹除單元是可由 64 個實體程式化單元、256 個實體程式化單元或其他任意個實體程式化單元所組成。

**【0036】** 更詳細來說，實體抹除單元為抹除之最小單位。亦即，每一實體抹除單元含有最小數目之一併被抹除之記憶胞。實體程式化單元為程式化的最小單元。即，實體程式化單元為寫入資料的最小單元。每一實體程式化單元通常包括資料位元區與冗餘位元區。資料位元區包含多個實體存取位址用以儲存使用者的資料，而冗餘位元區用以儲存系統的資料（例如，控制資訊與錯誤更正碼）。在本範例實施例中，每一個實體程式化單元的資料位元區中會包含 4 個實體存取位址，且一個實體存取位址的大小為 512 位元組(byte)。然而，在其他範例實施例中，資料位元區中也可包含數目更多或更少的實體存取位址，本發明並不限制實體存取位

址的大小以及個數。例如，在一範例實施例中，實體抹除單元為實體區塊，並且實體程式化單元為實體頁面或實體扇區，但本發明不以此為限。

【0037】 在本範例實施例中，可複寫式非揮發性記憶體模組 106 為多階記憶胞（Multi Level Cell，MLC）NAND 型快閃記憶體模組（即，一個記憶胞中可儲存 2 個位元資料的快閃記憶體模組）。然而，本發明不限於此，可複寫式非揮發性記憶體模組 106 亦可是單階記憶胞（Single Level Cell，SLC）NAND 型快閃記憶體模組（即，一個記憶胞中可儲存 1 個位元資料的快閃記憶體模組）、複數階記憶胞（Trinary Level Cell，TLC）NAND 型快閃記憶體模組（即，一個記憶胞中可儲存 3 個位元資料的快閃記憶體模組）、其他快閃記憶體模組或其他具有相同特性的記憶體模組。

【0038】 圖 5 是根據一範例實施例所繪示之記憶體控制電路單元的概要方塊圖。

【0039】 請參照圖 5，記憶體控制電路單元 104 包括記憶體管理電路 202、主機介面 204 與記憶體介面 206。

【0040】 記憶體管理電路 202 用以控制記憶體控制電路單元 104 的整體運作。具體來說，記憶體管理電路 202 具有多個控制指令，並且在記憶體儲存裝置 100 運作時，這些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。

【0041】 在本範例實施例中，記憶體管理電路 202 的控制指令是以韌體型式來實作。例如，記憶體管理電路 202 具有微處理器單

元(未繪示)與唯讀記憶體(未繪示)，並且這些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 100 運作時，這些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

【0042】 在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 106 的特定區域(例如，記憶體模組中專用於存放系統資料的系統區)中。此外，記憶體管理電路 202 具有微處理器單元(未繪示)、唯讀記憶體(未繪示)及隨機存取記憶體(未繪示)。特別是，此唯讀記憶體具有驅動碼，並且當記憶體控制電路單元 104 被致能時，微處理器單元會先執行此驅動碼段來將儲存於可複寫式非揮發性記憶體模組 106 中之控制指令載入至記憶體管理電路 202 的隨機存取記憶體中。之後，微處理器單元會運轉這些控制指令以進行資料的寫入、讀取與抹除等運作。

【0043】 此外，在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以一硬體型式來實作。例如，記憶體管理電路 202 包括微控制器、記憶體管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路。記憶體管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路是耦接至微控制器。其中，記憶體管理電路用以管理可複寫式非揮發性記憶體模組 106 的實體抹除單元；記憶體寫入電路用以對可複寫式非揮發性記憶體模組 106 下達寫入指令以將資料寫入至可複寫式非揮發性記憶體模組 106 中；記憶體讀取電路用以對可

複寫式非揮發性記憶體模組 106 下達讀取指令以從可複寫式非揮發性記憶體模組 106 中讀取資料；記憶體抹除電路用以對可複寫式非揮發性記憶體模組 106 下達抹除指令以將資料從可複寫式非揮發性記憶體模組 106 中抹除；而資料處理電路用以處理欲寫入至可複寫式非揮發性記憶體模組 106 的資料以及從可複寫式非揮發性記憶體模組 106 中讀取的資料。

【0044】 主機介面 204 是耦接至記憶體管理電路 202 並且用以耦接至連接介面單元 102，以接收與識別主機系統 1000 所傳送的指令與資料。也就是說，主機系統 1000 所傳送的指令與資料會透過主機介面 204 來傳送至記憶體管理電路 202。在本範例實施例中，主機介面 204 是相容於 SATA 標準。然而，必須瞭解的是本發明不限於此，主機介面 204 亦可以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、UHS-I 介面標準、UHS-II 介面標準、SD 標準、MS 標準、MMC 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

【0045】 記憶體介面 206 是耦接至記憶體管理電路 202 並且用以存取可複寫式非揮發性記憶體模組 106。也就是說，欲寫入至可複寫式非揮發性記憶體模組 106 的資料會經由記憶體介面 206 轉換為可複寫式非揮發性記憶體模組 106 所能接受的格式。

【0046】 在本發明一範例實施例中，記憶體控制電路單元 104 還包括緩衝記憶體 208、電源管理電路 210 與錯誤檢查與校正電路 212。

【0047】 緩衝記憶體 208 是耦接至記憶體管理電路 202 並且用以暫存來自於主機系統 1000 的資料與指令或來自於可複寫式非揮發性記憶體模組 106 的資料。

【0048】 電源管理電路 210 是耦接至記憶體管理電路 202 並且用以控制記憶體儲存裝置 100 的電源。

【0049】 錯誤檢查與校正電路 212 是耦接至記憶體管理電路 202 並且用以執行錯誤檢查與校正程序以確保資料的正確性。具體來說，當記憶體管理電路 202 從主機系統 1000 中接收到寫入指令時，錯誤檢查與校正電路 212 會為對應此寫入指令的資料產生對應的錯誤檢查與校正碼(Error Checking and Correcting Code, ECC Code)，並且記憶體管理電路 202 會將對應此寫入指令的資料與對應的錯誤檢查與校正碼寫入至可複寫式非揮發性記憶體模組 106 中。之後，當記憶體管理電路 202 從可複寫式非揮發性記憶體模組 106 中讀取資料時會同時讀取此資料對應的錯誤檢查與校正碼，並且錯誤檢查與校正電路 212 會依據此錯誤檢查與校正碼對所讀取的資料執行錯誤檢查與校正程序。

【0050】 圖 6 是根據本發明一範例實施例所繪示之用於以連接記憶體儲存裝置與主機系統之匯流排連接介面與電源供應連接介面的範例示意圖。

【0051】 請參照圖 6，匯流排連接介面 602 是電連接至主機系統 1000 的控制晶片組(未繪示)，並且用以與記憶體儲存裝置 100 的資料連接介面 102a 連接。電源供應連接介面 604 是電連接至主機

系統 1000 的電源供應器(未繪示),並且用以與記憶體儲存裝置 100 的電源連接介面 102b 連接。

【0052】 如上所述,在本範例實施例中,電源連接介面 102b 具有裝置休眠訊號接腳 612,其中當電源供應連接介面 604 電連接至電源連接介面 102b 時,電源供應連接介面 604 的訊號輸出接腳 622 會耦接至裝置休眠訊號接腳 612。例如,當主機系統 1000 上電時,訊號輸出接腳 622 會輸出 3.3 伏特的電壓訊號,用以提供所耦接之裝置所需之電源。

【0053】 特別是,如上所述,倘若裝置休眠訊號接腳 612 所電連接之訊號輸出接腳 622 是用以支援裝置休眠訊號協定時,在記憶體儲存裝置 100 正常運作的狀態下,主機系統 100 是控制訊號輸出接腳 622 上之電位訊號處於第二邏輯電位(即不致能記憶體儲存裝置 100 進入裝置休眠模式),以使得裝置休眠訊號接腳 612 上之電位訊號亦處於第二邏輯電位。基此,記憶體控制電路單元 104(或記憶體管理電路 202)會依據裝置休眠訊號接腳 612 的狀態而正常運作。倘若,訊號輸出接腳 622 不是被用以支援裝置休眠訊號協定時,主機系統 1000 不會利用訊號輸出接腳 622 輸出裝置休眠控制訊號,因此,在主機系統 1000 上電後,若訊號輸出接腳 622 上之電位訊號處於第一邏輯電位則可能會導致記憶體儲存裝置 100 誤動作而直接進入裝置休眠模式。

【0054】 基此,倘若主機系統 1000 支援裝置休眠訊號協定時,在一特定規範中,用以連接裝置休眠訊號接腳 612 的訊號輸出接腳

622 應會被正確地電連接至主機系統 1000 之晶片組(未繪示)中對應的接腳，以控制記憶體儲存裝置 100 進入休眠模式。在本範例實施例中，當主機系統 1000 透過匯流排連接介面 602 傳送啓用裝置休眠功能指令給記憶體儲存裝置 100 時，記憶體控制電路單元 104(或記憶體管理電路 202)會判斷裝置休眠訊號接腳 612 上之電位訊號是否處於第二邏輯電位。倘若裝置休眠訊號接腳 612 上之電位訊號處於第二邏輯電位時，則記憶體控制電路單元 104 會判斷裝置休眠訊號接腳 612 已被正確地連接到支援裝置休眠訊號協定的訊號輸出接腳。反之，若裝置休眠訊號接腳 612 上之電位訊號處於第一邏輯電位時，則記憶體控制電路單元 104 會判斷裝置休眠訊號接腳 612 未被連接到支援裝置休眠訊號協定的訊號輸出接腳。

**【0055】** 特別是，倘若裝置休眠訊號接腳 612 已被正確地連接到支援裝置休眠訊號協定的訊號輸出接腳時，記憶體控制電路單元 104(或記憶體管理電路 202)會開啓裝置休眠功能，並且在主機系統 1000 透過與裝置休眠訊號接腳 612 的訊號輸出接腳 622 指示開始進入休眠模式(例如，控制訊號輸出接腳 622 的電位從第二邏輯電位改變為第一邏輯電位)時，記憶體控制電路單元 104(或記憶體管理電路 202)會啓動休眠模式，以致於記憶體儲存裝置 100 停止運作並處於低耗電的狀態。

**【0056】** 圖 7 是根據一範例實施例所繪示的休眠模式啓動方法的流程圖。

【0057】 請參照圖 7，在步驟 S701 中，記憶體控制電路單元 104(或記憶體管理電路 202)會透過資料連接介面 102a 接收啓用裝置休眠功能指令，並且在步驟 S703 中，記憶體控制電路單元 104(或記憶體管理電路 202)會判斷電源連接介面 102b 上的裝置休眠訊號接腳 612 上之電位訊號是否處於與第一邏輯電位相反的第二邏輯電位。

【0058】 倘若記憶體儲存裝置 100 的電源連接介面 102b 上的裝置休眠訊號接腳 612 上之電位訊號處於第二邏輯電位時，在步驟 S705 中，記憶體控制電路單元 104(或記憶體管理電路 202)會開啓裝置休眠功能。

【0059】 接著，在步驟 S707 中，記憶體控制電路單元 104(或記憶體管理電路 202)會偵測電源連接介面 102b 上的裝置休眠訊號接腳 612 的狀態是否從第二邏輯電位改變為第一邏輯電位。

【0060】 倘若在步驟 S707 中偵測到電源連接介面 102b 上的裝置休眠訊號接腳 612 的狀態從第二邏輯電位改變為第一邏輯電位時，在步驟 S709 中，記憶體控制電路單元 104(或記憶體管理電路 202)會開始進入休眠模式。

【0061】 倘若在步驟 S707 中未偵測到電源連接介面 102b 上的裝置休眠訊號接腳 612 的狀態從第二邏輯電位改變為第一邏輯電位時，步驟 S707 會被重複執行。

【0062】 在步驟 S709 之後，在步驟 S711，記憶體控制電路單元 104(或記憶體管理電路 202)會偵測電源連接介面 102b 上的裝置休眠訊號接腳 612 的狀態是否從第一邏輯電位改變為第二邏輯電位。

【0063】 倘若在步驟 S711 中偵測到電源連接介面 102b 上的裝置休眠訊號接腳 612 的狀態從第一邏輯電位改變為第二邏輯電位時，在步驟 S713 中，記憶體控制電路單元 104(或記憶體管理電路 202)會從休眠模式中恢復為運作模式，並且之後步驟 S707 會被執行。

【0064】 倘若在步驟 S711 中未偵測到電源連接介面 102b 上的裝置休眠訊號接腳 612 的狀態從第一邏輯電位改變為第二邏輯電位時，步驟 S711 會被重複執行。

【0065】 倘若在步驟 S703 中判斷記憶體儲存裝置 100 的電源連接介面 102b 上的裝置休眠訊號接腳 612 上之電位訊號非處於第二邏輯電位時，在步驟 S715 中，記憶體控制電路單元 104(或記憶體管理電路 202)不開啓裝置休眠功能。

【0066】 值得一提的是，在本範例實施例中，記憶體控制電路單元 104(或記憶體管理電路 202)是根據電源連接介面 102b 上的裝置休眠訊號接腳 612 上之電位訊號來決定是否開啓裝置休眠功能。然而，本發明不限於此，在本發明另一範例實施例中，記憶體控制電路單元 104(或記憶體管理電路 202)亦可根據電源連接介面 102b 上的其他接腳來決定是否開啓裝置休眠功能。例如，當透過主機介面 204 從主機系統 1000 接收到啓用裝置休眠功能指令時，記憶體控制電路單元 104(或記憶體管理電路 202)判斷電源連接介面 102b 的保留未使用之接腳(以下稱為第一接腳)上之電位訊號是否處於預定邏輯電位。倘若判斷第一接腳上之電位訊號處於預定

邏輯電位時，記憶體控制電路單元 104(或記憶體管理電路 202)會開啓記憶體儲存裝置 100 的裝置休眠功能，並且在開啓裝置休眠功能後若偵測到電源連接介面 102b 的裝置休眠訊號接腳上之電位處於第一邏輯電位時，則開始進入休眠模式。特別是，倘若此第一接腳上之電位為 3.3 伏特時，記憶體控制電路單元 104(或記憶體管理電路 202)不會開啓該記憶體儲存裝置 100 的裝置休眠功能。

● **【0067】** 綜上所述，本發明範例實施例的偵測可複寫式非揮發性記憶體模組的方法、記憶體控制電路單元及記憶體儲存裝置是藉由在接收到啓用裝置休眠功能指令時識別電源連接介面上的裝置休眠訊號接腳的邏輯電位狀態以判斷與裝置休眠訊號接腳連接的訊號輸出接腳是否支援裝置休眠訊號協定，由此避免誤判而進入休眠模式。

### **【符號說明】**

● **【0068】**

- 1000：主機系統
- 1100：電腦
- 1102：微處理器
- 1104：隨機存取記憶體
- 1106：輸入/輸出裝置
- 1108：系統匯流排
- 1110：資料傳輸介面

- 1202：滑鼠
- 1204：鍵盤
- 1206：顯示器
- 1208：印表機
- 1212：隨身碟
- 1214：記憶卡
- 1216：固態硬碟
- 1310：數位相機
- 1312：SD 卡
- 1314：MMC 卡
- 1316：記憶棒
- 1318：CF 卡
- 1320：嵌入式儲存裝置
- 100：記憶體儲存裝置
- 102：連接介面單元
  - 102a：資料連接介面
  - 102b：電源連接介面
- 104：記憶體控制電路單元
- 106：可複寫式非揮發性記憶體模組
- 202：記憶體管理電路
- 204：主機介面
- 206：記憶體介面

208：緩衝記憶體

210：電源管理電路

212：錯誤檢查與校正電路

410(0)~410(N)：實體抹除單元

602：匯流排連接介面

604：電源供應連接介面

612：裝置休眠訊號接腳

622：訊號輸出接腳

S701、S703、S705、S707、S709、S711、S713、S715：休眠

模式啓動方法的步驟

## 申請專利範圍

1. 一種休眠模式啟動方法，用於一記憶體儲存裝置，該休眠模式啟動方法包括：

(a)當從一主機系統接收到一啟用裝置休眠功能指令時，判斷該記憶體儲存裝置的一裝置休眠訊號接腳上之電位訊號是否處於與一第一邏輯電位不同的一第二邏輯電位

(b)倘若在步驟(a)中判斷該記憶體儲存裝置的該裝置休眠訊號接腳上之電位訊號處於該第二邏輯電位時，開啟該記憶體儲存裝置的一裝置休眠功能；

(c)在開啟該記憶體儲存裝置的該裝置休眠功能之後，偵測該記憶體儲存裝置的該裝置休眠訊號接腳上之電位訊號是否從該第二邏輯電位改變為該第一邏輯電位；以及

(d)倘若在步驟(c)中偵測到該記憶體儲存裝置的該裝置休眠訊號接腳上之電位訊號從該第二邏輯電位改變為該第一邏輯電位時，啟動該記憶體儲存裝置進入該休眠模式。

2. 如申請專利範圍第1項所述的休眠模式啟動方法，更包括：

倘若在步驟(a)中判斷該記憶體儲存裝置的該裝置休眠訊號接腳不處於該第二邏輯電位時，不開啟該記憶體儲存裝置的該裝置休眠功能。

3. 如申請專利範圍第1項所述的休眠模式啟動方法，其中該第一邏輯電位為一高邏輯電位且該第二邏輯電位為一低邏輯電位。

4. 如申請專利範圍第 1 項所述的休眠模式啟動方法，更包括：  
在該記憶體儲存裝置進入該休眠模式後，偵測該記憶體儲存裝置的該裝置休眠訊號接腳上之電位訊號是否從該第一邏輯電位改變為該第二邏輯電位；以及

倘若偵測到該記憶體儲存裝置的該裝置休眠訊號接腳上之電位訊號從該第一邏輯電位改變為該第二邏輯電位時，使該記憶體儲存裝置從該休眠模式回復至一運作模式。

5. 如申請專利範圍第 1 項所述的休眠模式啟動方法，其中該裝置休眠訊號接腳配置於該記憶體儲存裝置的一電源連接介面上。

6. 一種記憶體控制器，用於控制一記憶體儲存裝置，包括：  
一主機介面，用以電連接至一主機系統；  
一記憶體介面，用以耦接至一可複寫式非揮發性記憶體模組；以及

一記憶體管理電路，耦接至該記憶體介面與該主機介面，並用以透過該主機介面從該主機系統接收到一啟用裝置休眠功能指令，

其中當透過該主機介面從該主機系統接收到該啟用裝置休眠功能指令時，該記憶體管理電路判斷該記憶體儲存裝置的一裝置休眠訊號接腳上之電位訊號是否處於與一第一邏輯電位不同的一第二邏輯電位，

倘若判斷該裝置休眠訊號接腳處於該第二邏輯電位時，該記

憶體管理電路開啟該記憶體儲存裝置的一裝置休眠功能，

其中在開啟該記憶體儲存裝置的該裝置休眠功能之後，該記憶體管理電路更用以偵測該裝置休眠訊號接腳上之電位訊號是否從該第二邏輯電位改變為一第一邏輯電位，

倘若偵測到該裝置休眠訊號接腳上之電位訊號從該第二邏輯電位改變為該第一邏輯電位時，該記憶體管理電路開始進入該休眠模式。

7. 如申請專利範圍第 6 項所述的記憶體控制器，其中倘若在透過該主機介面從該主機系統接收到該啟用裝置休眠功能指令後判斷該裝置休眠訊號接腳上之電位訊號不處於該第二邏輯電位時，該記憶體管理電路不開啟該記憶體儲存裝置的該裝置休眠功能。

8. 如申請專利範圍第 6 項所述的記憶體控制器，其中該第一邏輯電位為一高邏輯電位且該第二邏輯電位為一低邏輯電位。

9. 如申請專利範圍第 6 項所述的記憶體控制器，其中該主機介面具有一資料連接介面及一電源連接介面，該電源連接介面為一序列先進附件電源連接介面且該資料連接介面為一序列先進附件連接介面。

10. 如申請專利範圍第 6 項所述的記憶體控制器，其中該訊號輸出接腳配置於該主機系統的一電源供應連接介面中，且該訊號輸出接腳輸出一 3.3 伏特電壓。

11. 如申請專利範圍第 6 項所述的記憶體控制器，其中該記

記憶體管理電路更用以在進入該休眠模式後，偵測該記憶體儲存裝置的該裝置休眠訊號接腳上之電位訊號是否從該第一邏輯電位改變為該第二邏輯電位，

其中倘若偵測到該記憶體儲存裝置的該裝置休眠訊號接腳上之電位訊號從該第一邏輯電位改變為該第二邏輯電位時，該記憶體管理電路更用以從該休眠模式回復至一運作模式。

12. 如申請專利範圍第 6 項所述的記憶體控制器，其中該裝置休眠訊號接腳配置於該記憶體儲存裝置的一電源連接介面上。

13. 一種記憶體儲存裝置，包括：

一連接介面單元，用以耦接至一主機系統，該連接介面單元包括一資料連接介面；

一可複寫式非揮發性記憶體模組，具有多個實體抹除單元；

以及

一記憶體控制電路單元，耦接至該連接介面單元與該可複寫式非揮發性記憶體模組，

其中該記憶體控制電路單元用以透過該資料連接介面從該主機系統接收到一啟用裝置休眠功能指令，

其中當透過該資料連接介面從該主機系統接收到該啟用裝置休眠功能指令時，該記憶體控制電路單元判斷一裝置休眠訊號接腳上之電位訊號是否處於與一第一邏輯電位相反的一第二邏輯電位，

倘若判斷該裝置休眠訊號接腳上之電位訊號處於該第二邏輯

電位時，該記憶體控制電路單元開啟一裝置休眠功能，

其中在開啟該裝置休眠功能之後，該記憶體控制電路單元更用以偵測該裝置休眠訊號接腳上之電位訊號是否從該第二邏輯電位改變為一第一邏輯電位，

倘若偵測到該裝置休眠訊號接腳上之電位訊號從該第二邏輯電位改變為該第一邏輯電位時，該記憶體控制電路單元開始進入該休眠模式。

14. 如申請專利範圍第 13 項所述的記憶體儲存裝置，其中倘若透過該資料連接介面從該主機系統接收到該啟用裝置休眠功能指令後判斷該裝置休眠訊號接腳上之電位訊號不處於該第二邏輯電位時，該記憶體控制電路單元不開啟該記憶體儲存裝置的該裝置休眠功能。

15. 如申請專利範圍第 13 項所述的記憶體儲存裝置，其中該第一邏輯電位為一高邏輯電位且該第二邏輯電位為一低邏輯電位。

16. 如申請專利範圍第 13 項所述的記憶體儲存裝置，該資料連接介面為一序列先進附件連接介面。

17. 如申請專利範圍第 13 項所述的記憶體儲存裝置，其中該訊號輸出接腳配置於該主機系統的一電源供應連接介面中，且該訊號輸出接腳輸出一 3.3 伏特電壓。

18. 如申請專利範圍第 13 項所述的記憶體儲存裝置，其中該記憶體控制電路單元更用以在進入該休眠模式後，偵測該裝置休

眠訊號接腳上之電位訊號是否從該第一邏輯電位改變為該第二邏輯電位，

其中倘若偵測到該裝置休眠訊號接腳上之電位訊號從該第一邏輯電位改變為該第二邏輯電位時，該記憶體控制電路單元更用以從該休眠模式回復至一運作模式。

19. 如申請專利範圍第 13 項所述的記憶體儲存裝置，其中該連接介面單元更包括一電源連接介面並且該裝置休眠訊號接腳配置於該電源連接介面上。

20. 一種記憶體控制器，用於控制一記憶體儲存裝置，包括：

一主機介面，用以電連接至一主機系統；

一記憶體介面，用以耦接至一可複寫式非揮發性記憶體模組；以及

一記憶體管理電路，耦接至該記憶體介面與該主機介面，並用以透過該主機介面從該主機系統接收到一啟用裝置休眠功能指令，

其中該主機介面具有一資料連接介面及一電源連接介面，該資料連接介面用以接收由一第一傳輸線傳送之至少一組差分訊號，該電源連接介面用以接收由一第二傳輸線傳送之至少一輸入電源，該第一傳輸線與該第二傳輸線彼此獨立，

其中當透過該主機介面從該主機系統接收到該啟用裝置休眠功能指令時，該記憶體管理電路判斷該電源連接介面的一第一接腳上之電位訊號是否處於一預定邏輯電位，

倘若判斷該第一接腳上之電位訊號處於該預定邏輯電位時，該記憶體管理電路開啟該記憶體儲存裝置的一裝置休眠功能，

其中在開啟該記憶體儲存裝置的該裝置休眠功能之後，該記憶體管理電路更用以偵測該裝置休眠訊號接腳上之電位訊號是否為一第一邏輯電位，

倘若偵測到該裝置休眠訊號接腳上之電位訊號為該第一邏輯電位時，該記憶體管理電路開始進入該休眠模式。

21. 如申請專利範圍第 20 項所述的記憶體控制器，該第一接腳不同於該電源連接介面的該裝置休眠訊號接腳。

22. 如申請專利範圍第 20 項所述的記憶體控制器，其中倘若該第一接腳上之電位為 3.3 伏特時，則該記憶體管理電路不開啟該記憶體儲存裝置的該裝置休眠功能。

23. 如申請專利範圍第 20 項所述的記憶體控制器，其中該預定邏輯電位不同於該第一邏輯電位。

圖式

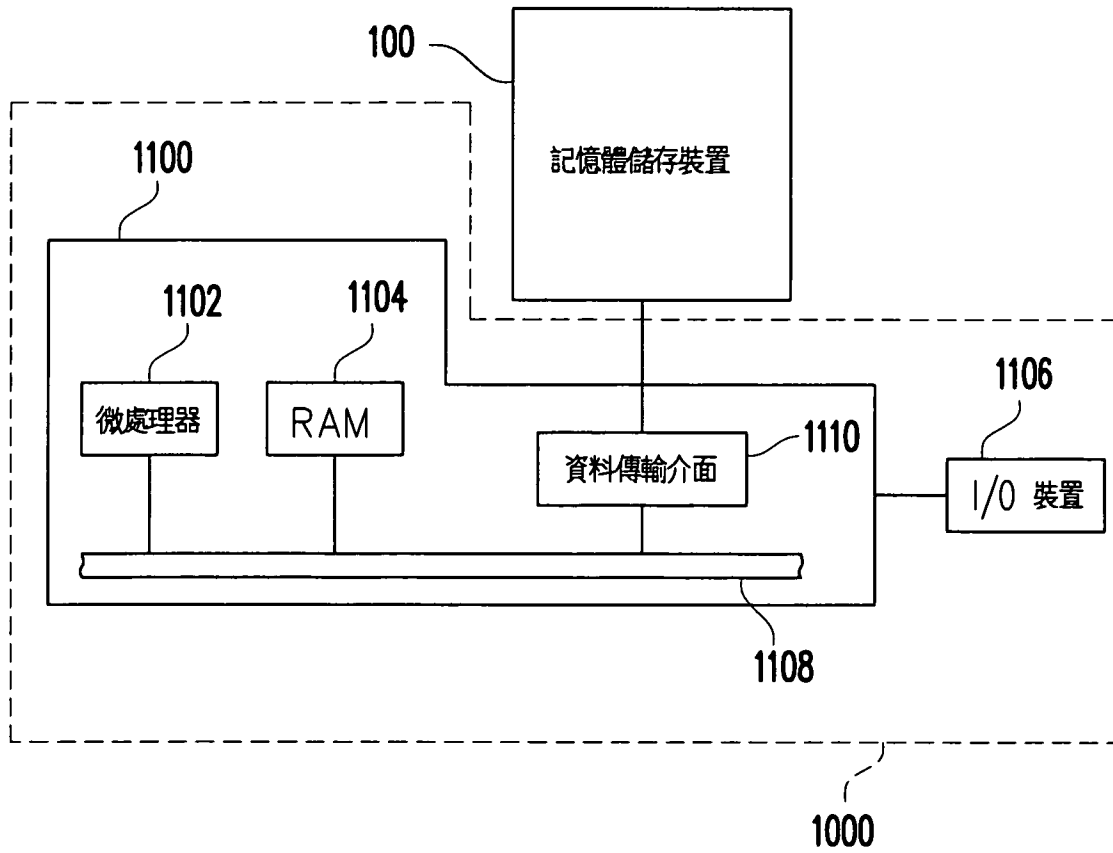


圖 1

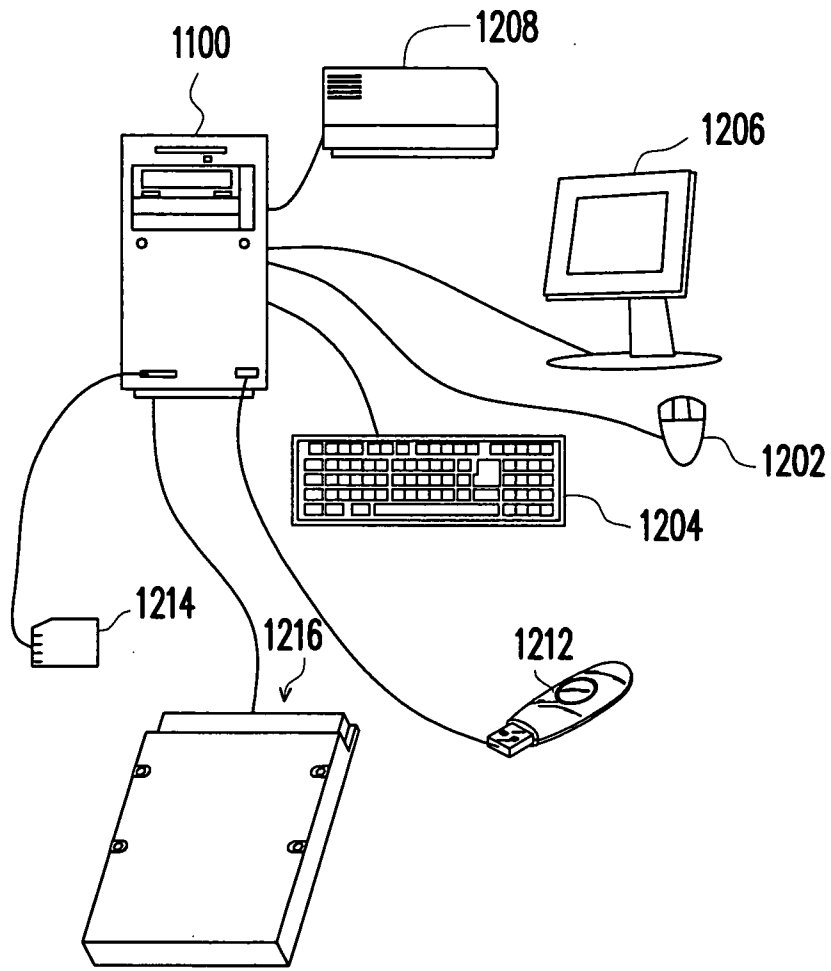


圖 2

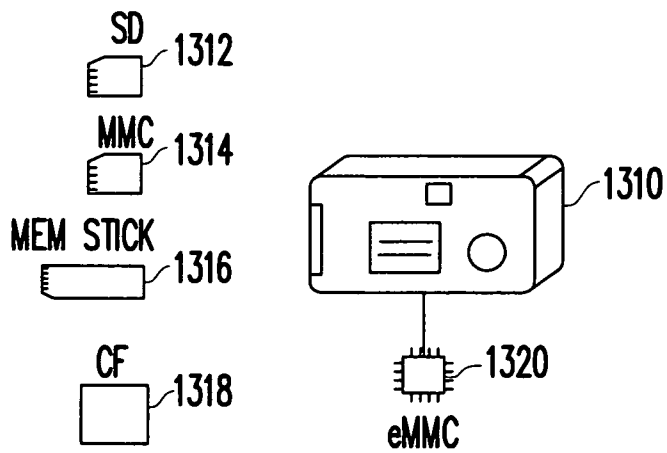


圖 3

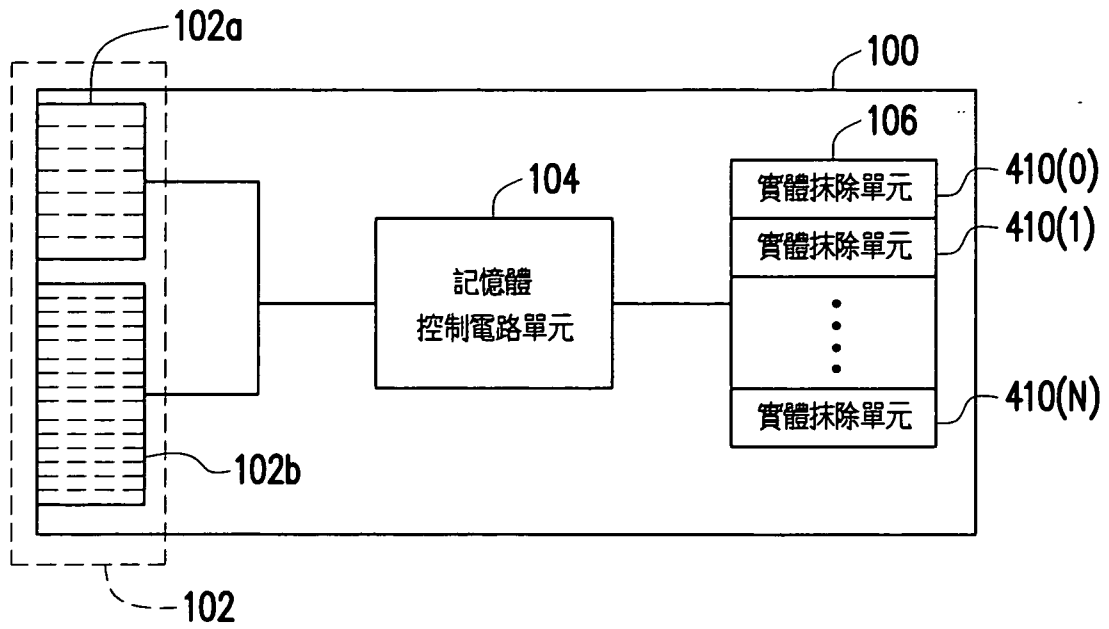


圖 4

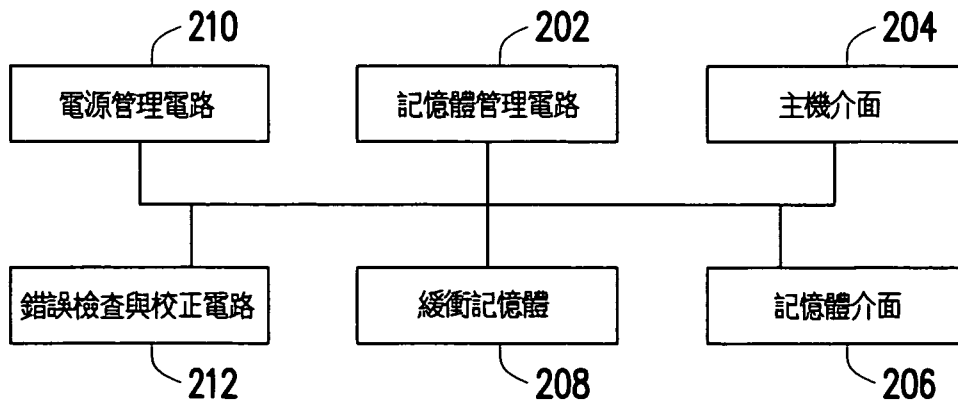


圖 5

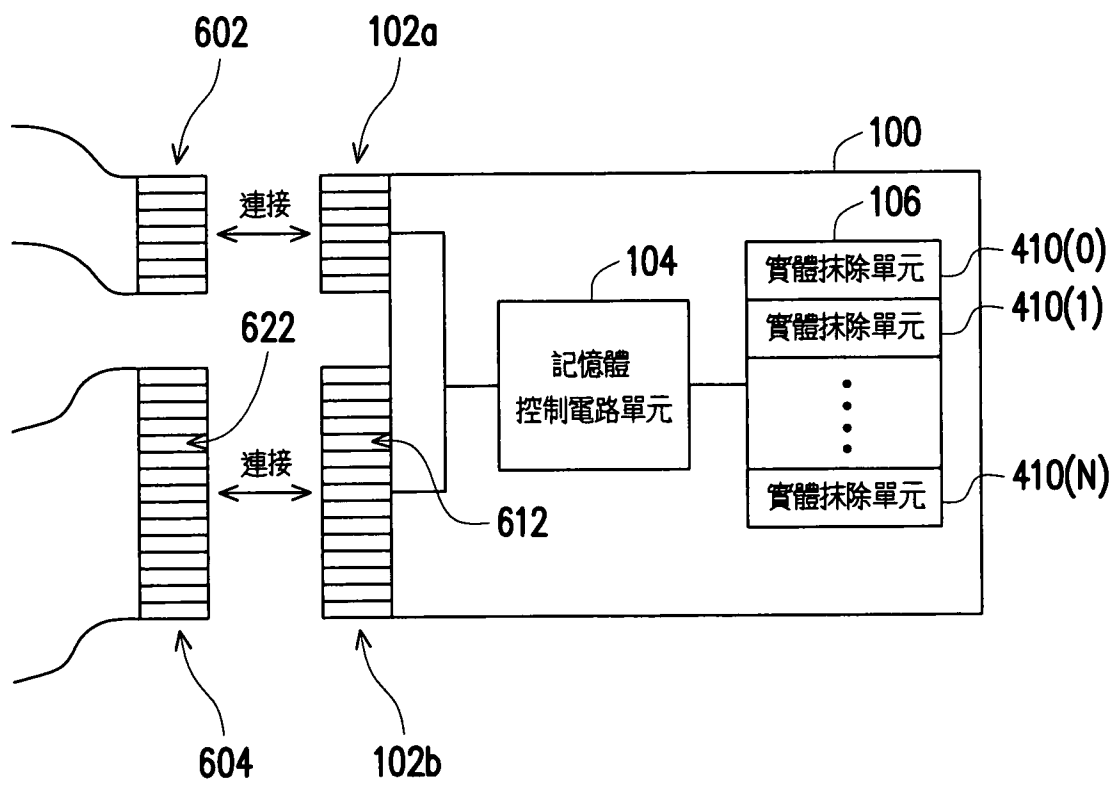


圖 6

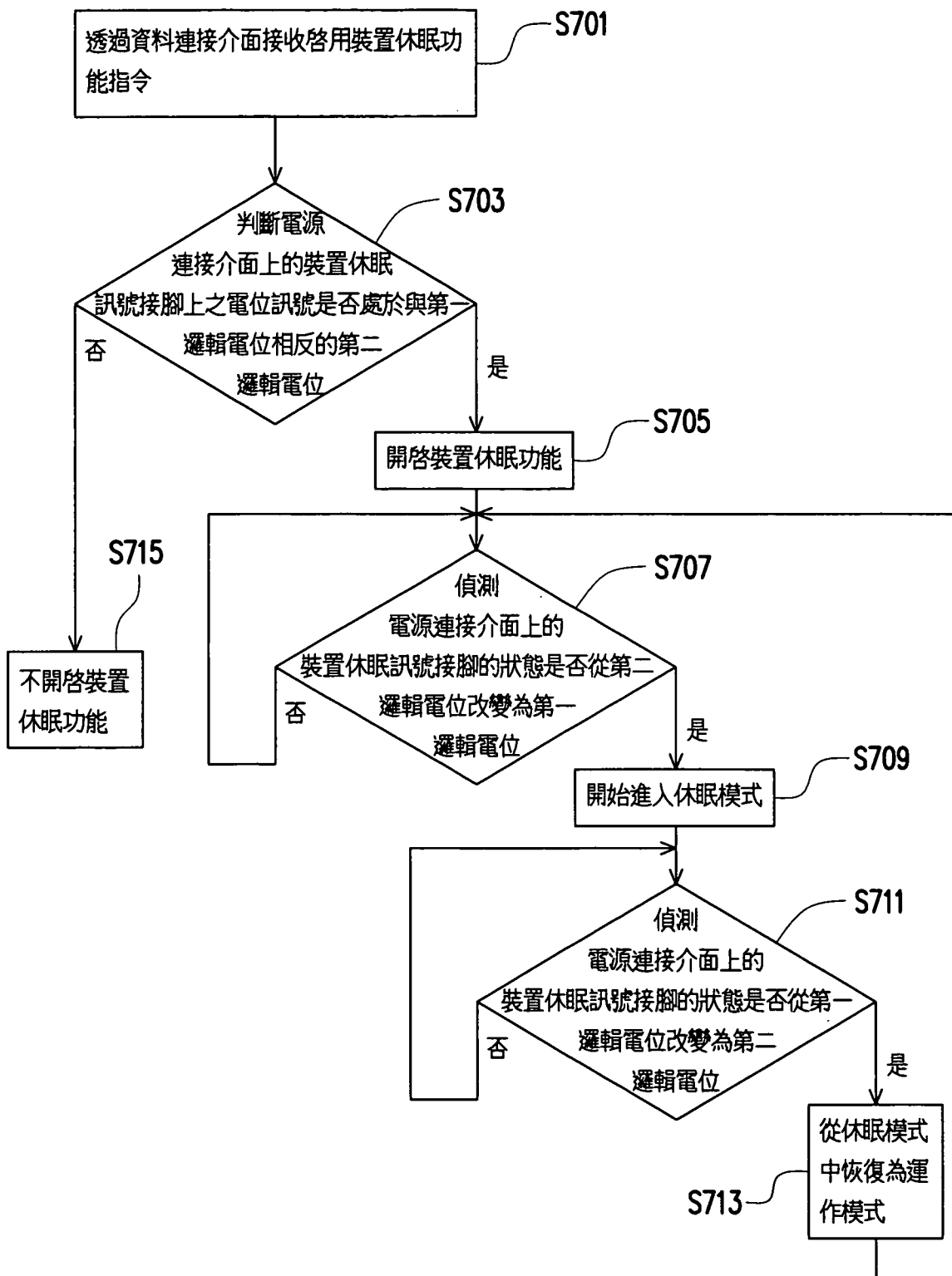


圖 7