

發明專利說明書 200401194

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：G06F 01/00

※申請日期：92.7.7 ※IPC 分類：G06F 13/00

壹、發明名稱：(中文/英文)

無須中斷處理機運作即可判斷處理機狀態之方法與裝置

METHOD AND APPARATUS FOR DETERMINING A PROCESSOR STATE WITHOUT INTERRUPTING PROCESSOR OPERATION

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

高級微裝置公司/ADVANCED MICRO DEVICES, INC.

代表人：(中文/英文) 德瑞克 保羅 S /DRAKE, PAUL S

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453·桑尼威·第1AMD區·M/S 68·郵政信箱 3453 號

One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, CA 94088-3453, USA

國籍：(中文/英文) 美國/U. S. A.

參、發明人：(共2人)

姓名：(中文/英文)

1. 伍德 堤摩西 J /WOOD, TIMOTHY J

2. 懷特 史考特 A /WHITE, SCOTT A.

住居所地址：(中文/英文)

1. 美國·德州 78737·奧斯丁·路易士山道·8105 號

8105 Lewis Mountain Drive, Austin, TX 78737, USA

2. 美國·德州 78739·奧斯丁·北京灣·3803 號

3803 Baggins Cove, Austin, TX 78739, USA

國籍：(中文/英文) 美國/U. S. A.

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 2002年7月11日 10/193,836 （主張優先權）

2.

3.

4.

5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明

[發明所屬之技術領域]

本發明係有關處理器，尤係有關一種決定一處理器的狀態之方法及裝置。

[先前技術]

在設計新的電腦系統及系統軟體時，可採用各種技術來決定各種硬體機構在一系統處理器執行指令期間將如何表現。決定系統硬體的表現之一概念涉及決定程式執行的各階段之處理器狀態。決定處理器狀態可能涉及將資料傳送到處理器而查詢該處理器。該處理器接收的資料然後可能起作用，並產生用來指示處理器狀態的額外資料。此種資料可包括暫存器內容及指令保留區等的資料。然後可自該處理器傳送該額外資料，以便觀察。此外，亦可將一處理器之組態設定成將資料定期地傳送到一外部來源，且可在該外部來源中利用該資料來決定一處理器狀態或其他的資訊。

現在已開發出各種工具程式，用以查詢一處理器，以便決定該處理器的狀態。這些工具程式可將測試資料輸入到處理器，並回應該處理器接收到該測試資料而產生狀態資料，且自該處理器傳送該狀態資料以供觀察。此種工具程式的一個缺點涉及要在查詢處理器的期間執行指令。此種工具程式通常要求在處理器查詢期間中斷該處理器的作業。可能必須中斷該處理器正在執行的一指令流，以便：輸入測試資料，產生狀態資料，並輸出狀態資料。測試資

料的輸入及狀態資料的輸出可能需要使用現有的處理器輸入及輸出埠，因而中斷了其他資料對該處理器的輸入及輸出。此外，測試資料的輸入可能使該處理器切換到一替代的服務常式，因而可能造成目前正在執行的指令流之暫停。這些因素可能造成難以確定某些常式在處理器中執行的速度。此外，變換到一替代的服務常式可能造成無法利用處理器查詢來決定真實的處理器狀態。

[發明內容]

本發明揭示一種決定一主處理器的狀態之方法及裝置。在一實施例中，一服務處理器可輪詢該主處理器中之一接收器的暫存器中儲存之一有效位元。於判定該有效位元被清除時，該服務處理器可將測試資料載入一輸出暫存器，並將測試資料傳送到該主處理器，且於完成該傳送時設定該有效位元。可回應該主處理器決定該有效位元是設定的，而自該接收器的該暫存器接收該測試資料。可回應該測試資料而產生用來指示該主處理器的狀態之狀態資料。該主處理器可輪詢其輸出埠中之一傳送器的暫存器中之一有效位元，且可回應偵測到該有效位元是清除的，而將資料存放到該傳送器的該暫存器中。然後可將該資料傳送到該服務處理器的該接收器，且可回應該傳送而設定該有效位元。可在無須中斷指令的執行之情形下，執行將資料傳送到該主處理器以及自該主處理器擷取資料之作業。此外，該主處理器可以相互獨立之方式進行資料之傳送及接收。

主處理器的該輸出埠傳送到該服務處理器的該輸入埠無關。此外，在各實施例中，可按照固定的期間將資料傳送進出處理器，或者可回應一個別的查詢而自處理器傳送資料。

[實施方式]

現在請參閱第 1 圖，圖中示出一處理器(10)的一實施例之方塊圖。其他的實施例也是可行的，也可考慮使用。如第 1 圖中所示，處理器(10)包含一預先提取/預先解碼單元(12)、一分支預測單元(14)、一指令快取記憶體(16)、一指令對準單元(18)、複數個解碼單元(20A 至 20C)、複數個指令保留區(22A 至 22C)、複數個功能單元(24A 至 24C)、一載入/儲存單元(26)、一資料快取記憶體(28)、一暫存器檔(30)、一重新排序緩衝區(32)、一 MROM 單元(34)、及一匯流排介面單元(37)。將具有一特定代號加上一字母的各元件整體地標示為該代號。例如，將解碼單元(20A 至 20C)整體地稱為解碼單元(20)。

預先提取/預先解碼單元(12)耦合而自匯流排介面單元(37)接收指令，且進一步耦合到指令快取記憶體(16)及分支預測單元(14)。同樣地，分支預測單元(14)係耦合到指令快取記憶體(16)。此外，分支預測單元(14)耦合到各解碼單元(20)及各功能單元(24)。指令快取記憶體(16)進一步耦合到 MROM 單元(34)及指令對準單元(18)。指令對準單元(18)又耦合到各解碼單元(20)。每一解碼單元(20A 至 20C)係耦合到載入/儲存單元(26)，且耦合到各別的指令保留區(22A

在一實施例中，該主處理器包含一輸入埠及一輸出埠。該主處理器的該輸入埠之組態可組構成耦合到該服務處理器的一輸出埠，而該輸出埠之組態可設定成耦合到該服務處理器的一輸入埠。該主處理器及服務處理器的該等輸入埠及輸出埠可分別包含一組態設定成儲存若干位元之暫存器。每一暫存器之組態可設定成儲存一有效位元，而當該有效位元被設定時，可指示所儲存的資料是有效的。該等輸入埠中之暫存器的組態可設定成當該有效位元被清除時該等暫存器只可接收資料。當將資料自一輸出埠傳送到一輸入埠時，可在該輸入埠的暫存器中設定該有效位元。該主處理器及服務處理器之組態可設定成：可回應偵測到該有效位元被設定而自其個別的輸入埠之暫存器擷取資料。

在該服務處理器的一實施例中，可經由符合 IEEE 1149.1 標準的邊界掃描測試存取埠 (Test Access Port; 簡稱 TAP)，而將資料載入輸出埠的暫存器，或自該輸入埠擷取資料。可經由一測試資料輸入 (Test Data In; 簡稱 TDI) 接腳，而將資料循序載入該服務處理器輸出埠之該暫存器。同樣地，可經由一測試資料輸出 (Test Data Out; 簡稱 TDO) 接腳，而將資料循序移出該服務處理器輸入埠中之該暫存器。

在各實施例中，輸入埠及輸出埠的各組合之作業可以相互獨立之方式工作。換言之，該服務處理器的該輸出埠將資料傳送到該主處理器的該輸入埠係與將任何資料自該

至 22C)。指令保留區(22A 至 22C)進一步耦合到各別的功能單元(24A 至 24C)。此外，各解碼單元(20)及各指令保留區(22)耦合到暫存器檔(30)及重新排序緩衝區(32)。各功能單元(24)也耦合到載入/儲存單元(26)、暫存器檔(30)、及重新排序緩衝區(32)。資料快取記憶體(28)耦合到載入/儲存單元(26)及匯流排介面單元(37)。匯流排介面單元(37)進一步耦合到 L2 快取記憶體的 L2 快取記憶體介面、及一匯流排。最後，MROM 單元(34)係耦合到各解碼單元(20)。

指令快取記憶體(16)是用來儲存指令的高速快取記憶體。自指令快取記憶體(16)提取指令，並將指令派發到各解碼單元(20)。在一實施例中，指令快取記憶體(16)之組態設定成以一種具有 64 位元組快取線(一位元組包含 8 個二進位位元)的 2 路組關聯(2 way set associative)結構之方式儲存多達 64 千位元組的指令。在替代實施例中，亦可採用任何其他所需的組態及大小。例如，請注意，可將指令快取記憶體(16)實施為完全關聯式(fully associative)、組關聯式(set associative)、或直接對映式(direct mapped)組態。

預先提取/預先解碼單元(12)將指令儲存到指令快取記憶體(16)。可根據一指令預先提取機制，而在指令快取記憶體(16)要求指令之前，先預先提取指令。預先提取/預先解碼單元(12)可採用各種指令預先提取機制。當預先提取/預先解碼單元(12)將指令傳送到指令快取記憶體(16)時，預先提取/預先解碼單元(12)可產生與該等指令對應的

預先解碼資料。例如，在一實施例中，預先提取/預先解碼單元(12)為該等指令的每一位元組產生三個預先解碼位元：一起始位元、一終止位元、及一功能位元。該等預先解碼位元構成用來指示每一指令的邊界之標記。該等預先解碼標記亦載有諸如解碼單元(20)是否可將一特定指令直接解碼、或是否藉由呼叫一受 MROM 單元(34)控制的微碼程序而執行該指令等的額外資訊。此外，可將預先提取/預先解碼單元(12)之組態設定成：偵測分支指令，並將對應於該等分支指令的分支預測資訊儲存到分支預測單元(14)。其他的實施例可視需要而採用任何適當的預先解碼機制，或不採用任何預先解碼機制。

然後將說明對採用一可變位元組長度指令集的處理器(10)實施例的預先解碼標記之編碼。可變位元組長度指令集是一種不同的指令可佔用不同數目的位元組之指令集。一處理器(10)實施例所採用的例示可變位元組長度指令集是 x86 指令集。

在該例示的編碼中，如果一特定的位元組是指令的第一位元組，則設定該位元組的起始位元。如果該位元組是指令的最後一個位元組，則設定該位元組的終止位元。將解碼單元(20)可直接解碼的指令稱為“快速路徑”指令。根據一實施例，將其餘的 x86 指令稱為 MROM 指令。對於快速路徑指令而言，設定該指令中包含的每一前置位元組之功能位元，並清除其他位元組之功能位元。在替代實施例中，對於 MROM 指令而言，清除每一前置位元組的功能位

元，並設定其他位元組的功能位元。檢查與終止位元組對應的功能位元，即可決定指令的類型。如果該功能位元被清除，則該指令是一快速路徑指令。相反地，如果該功能位元被設定，則該指令是一 MROM 指令。一指令的運算碼因而可位於解碼單元(20)可直接解碼的一指令內，作為與該指令中第一個被清除的功能位元相關聯之位元組。例如，包含兩個前置位元組、一 Mod R/M 位元組、及一立即位元組的快速路徑指令將具有下列所示的起始位元、終止位元、及功能位元：

起始位元	10000
終止位元	00001
功能位元	11000

MROM 指令是判定為太過複雜而無法由解碼單元(20)解碼的指令。係呼叫 MROM 單元(34)，而執行 MROM 指令。更具體而言，當碰到一 MROM 指令時，MROM 單元(34)剖析該指令，並將該指令發出到一子集的若干界定之快速路徑指令，以便完成所需之運算。MROM 單元(34)將該子集的快速路徑指令派發到解碼單元(20)。

處理器(10)採用分支預測，以便猜測地提取在條件分支指令之後的若干指令。設有分支預測單元(14)，以便執行分支預測作業。在一實施例中，分支預測單元(14)採用一分支目標緩衝區，該分支目標緩衝區緩衝儲存指令快取記憶體(16)中一快取線的每一 16 位元組部分的多達兩個

之分支目標位址及對應的採取/不採取預測。該分支目標緩衝區可諸如包含 2048 個資料項或任何適當數目的資料項。預先提取/預先解碼單元(12)在將一特定的快取線預先解碼時決定起始分支目標。可能因一快取線內的各指令之執行而發生對與該快取線對應的分支目標之後續更新。指令快取記憶體(16)提供了被提取的指令位址之一指示，使分支預測單元(14)可針對形成一分支預測而決定要選擇哪些分支目標位址。解碼單元(20)及功能單元(24)將更新資訊提供給分支預測單元(14)。解碼單元(20)偵測並未被分支預測單元(14)預測到的分支指令。功能單元(24)執行該等分支指令，並決定該預測分支方向是否為錯誤的。可“採取”該分支方向，此時自該分支指令的目標位址提取後續的指令。相反地，可以“不採取”該分支方向，此時自與該分支指令接續的各記憶位置提取後續的指令。當偵測到一錯誤預測的分支指令時，處理器(10)的各單元即捨棄該錯誤預測的分支後之指令。在一替代組態中，可將分支預測單元(14)耦合到重新排序緩衝區(32)，而非耦合到解碼單元(20)及功能單元(24)，並且可自重新排序緩衝區(32)接收分支錯誤預測資訊。分支預測單元(14)可採用各種適用的分支預測演算法。

將自指令快取記憶體(16)提取的指令傳送到指令對準單元(18)。當自指令快取記憶體(16)提取指令時，掃描對應的預先解碼資料，以便將與正在提取的指令有關之資訊提供給指令對準單元(18)(及 MROM 單元(34))。指令對準單

元(18)利用該掃描資料來將一指令對準每一解碼單元(20)。在一實施例中，指令對準單元(18)將來自三組的八個指令位元組之指令對準解碼單元(20)。解碼單元(20A)接收先於由解碼單元(20B)及(20C)同時接收的指令之一指令(按照程式順序)。同樣地，解碼單元(20B)接收按照程式順序先於由解碼單元(20C)同時接收的指令之一指令。在某些實施例(例如採用固定長度指令集的實施例)中，可省略掉指令對準單元(18)。

解碼單元(20)之組態設定成將自指令對準單元(18)接收的指令解碼。偵測暫存器運算元資訊，並將該暫存器運算元資訊傳送到暫存器檔(30)及重新排序緩衝區(32)。此外，如果指令需要執行一個或多個記憶體作業，則解碼單元(20)將該等記憶體作業派發到載入/儲存單元(26)。每一指令被解碼成一組用於功能單元(24)的控制值，且這些控制值連同該指令中可能包含的運算元位址資訊及位移或立即運算資料被派發到指令保留區(22)。在一特定實施例中，每一指令最多被解碼成兩個作業，且係由功能單元(24A至24C)分別執行該等作業。

處理器(10)支援非循序執行，且因而採用重新排序緩衝區(32)來追蹤暫存器讀取及寫入作業的原始程式順序，以便執行暫存器更名，而可進行推測式指令執行及分支錯誤預測的回復，並可有助於精確的異常狀況處理。於將涉及一暫存器的更新之指令解碼時，保留重新排序緩衝區(32)內的暫時性儲存位置，以便因而儲存推測的暫存器狀態。

如果一分支預測是錯誤的，則可在該緩衝區中先使推測式執行的指令之結果連同錯誤預測的路徑失效，然後才將該等資訊寫入暫存器檔(30)。同樣地，如果一特定指令造成一異常狀況，則可捨棄在該特定指令之後的各指令。在此種方式下，異常狀況是“精確的”(亦即，在異常狀況之前，並未完成造成該異常狀況的特定指令之後的各指令)。請注意，如果係在按照程式順序排在一特定指令之前的各指令之前先執行了該特定指令，則係以推測方式執行了該特定指令。排在前面的指令可能是一分支指令或一造成異常狀況的指令，在此種情形中，重新排序緩衝區(32)可捨棄推測式執行的結果。

將解碼單元(20)輸出端上提供的解碼後指令直接傳送到個別的指令保留區(22)。在一實施例中，每一指令保留區(22)可存放多達六個等候發送到對應的功能單元的待發送指令之指令資訊(例如解碼後的指令以及運算元值、運算元標記、及(或)立即運算資料)。請注意，對於第 1 圖所示之實施例而言，每一指令保留區(22)係與一專用的功能單元(24)相關聯。因此，各指令保留區(22)及功能單元(24)構成了三個專用的“發出部分”。換言之，指令保留區(22A)及功能單元(24A)構成了發出部分 0。各指令係對準到且派發到指令保留區(22A)，且由功能單元(24A)執行。同樣地，指令保留區(22B)及功能單元(24B)構成了發出部分 1；以及指令保留區(22C)及功能單元(24C)構成了發出部分 2。

在將一特定指令解碼時，如果一必須的運算元是一暫

存器位置，則將暫存器位址資訊同時傳送到重新排序緩衝區(32)及暫存器檔(30)。暫存器檔(30)包含處理器(10)所實施的指令集中包含的每一架構暫存器之儲存位置。暫存器檔(30)內可包含額外的儲存位置，以供 MROM 單元(34)使用。重新排序緩衝區(32)包含會改變這些暫存器的內容之暫時性儲存位置，因而可進行非循序執行。將重新排序緩衝區(32)的一暫時性儲存位置保留給解碼時判定會修改其中一個真實暫存器的內容之每一指令。因此，在執行一特定程式期間的各時點上，重新排序緩衝區(32)可以有一個或多個位置，該等位置包含了一特定暫存器的推測式執行內容。如果在將一特定指令解碼之後決定重新排序緩衝區(32)具有被指定給用來作為該特定指令的一運算元的一暫存器之一個或多個先前位置，則重新排序緩衝區(32)將下列資料傳送到對應的指令保留區：(1)最近被指定的位置中之值；或(2)該最近被指定的位置之一標記，而傳送該標記之前提為最終將執行先前指令的功能單元尚未產生(1)中所述之該值。如果重新排序緩衝區(32)具有保留給一特定暫存器的一位置，則並非自暫存器檔(30)而是自重新排序緩衝區(32)提供運算元值(或重新排序緩衝區標記)。如果並未將任何位置保留給重新排序緩衝區(32)中之一所需暫存器，則直接自暫存器檔(30)取得該值。如果該運算元對應於一記憶位置，則將該運算元值經由載入/儲存單元(26)而提供給該指令保留區。

在一特定實施例中，重新排序緩衝區(32)之組態設定

成以一單位之方式儲存並操作若干同時被解碼的指令。本文中將把該組態稱為“線導向”(“line-oriented”)。可藉由一起操作數個指令，而簡化重新排序緩衝區(32)內採用硬體。例如，本實施例中包含的一線導向重新排序緩衝區分配有在解碼單元(20)派發一個或多個指令時足以儲存與三個指令(各指令係來自每一解碼單元(20))有關的指令資訊之儲存位置。相較之下，在傳統的重新排序緩衝區中，係根據實際派發的指令數目而分配可變數量的儲存位置。可能需要較大數目的邏輯閘來分配可變數量的儲存位置。當執行了每一同時被解碼的指令之後，即將該等指令結果同時儲存到暫存器檔(30)。然後空出儲存位置，以便分配給另一組同時被解碼的指令。此外，每一指令所用的控制邏輯電路量減少了，這是因為係將控制邏輯分攤到數個同時被解碼的指令。可將用來識別一特定指令的一重新排序緩衝區標記分成兩個欄位：一線標記及一偏移量標記。該線標記識別其中包括該特定指令的一組同時被解碼的指令，且該偏移量標記識別該組內的哪一指令對應於該特定指令。請注意，係將指令結果儲存到暫存器檔(30)並空出對應的儲存位置稱為使指令“退休”(“retiring”)。進一步請注意，在處理器(10)的各種實施例中可採用任何的重新排序緩衝區組態。

如前文所述，指令保留區(22)儲存指令，直到由對應的功能單元(24)執行該等指令為止。如果符合下列條件則選擇一指令以供執行：(i)已提供了該指令的運算元；以及

(ii)尚未提供在相同指令保留區(22A至22C)內且其程式順序先於該指令的各指令之運算元。請注意，當由其中一個功能單元(24)執行一指令時，在傳送該指令的結果以便更新重新排序緩衝區(32)的同時，將該指令的結果直接傳送到正在等候該結果的任何指令保留區(22)(通常將該技術稱為“結果轉送”(“result forwarding”)。於轉送相關聯的結果之時脈週期中，可選擇一指令以供執行，並將該指令傳送到一功能單元(24A至24C)。在此種情形中，指令保留區(22)將該轉送的结果傳送到該功能單元(24)。在可將若干指令解碼為將由各功能單元(24)執行的多個作業之實施例中，可以相互獨立之方式安排該等作業之執行時程。

在一實施例中，係將每一功能單元(24)之組態設定成執行加法及減法的整數算術運算、以及移位、旋轉、邏輯運算、及分支作業。係回應由解碼單元(20)為一特定指令解碼的控制值而執行該等作業。請注意，亦可採用一浮點單元(圖中未示出)來提供浮點運算。該浮點單元可以一輔助處理器之方式作業，自MROM單元(34)或重新排序緩衝區(32)接收指令，然後與重新排序緩衝區(32)溝通，以便完成該等指令。此外，可將功能單元(24)之組態設定成為載入/儲存單元(26)執行的載入及儲存記憶體作業而執行位址產生。在一特定實施例中，每一功能單元(24)可包含用來產生位址之一位址產生單元、以及用來執行其餘的功能之一執行單元。在一時脈週期中，這兩個單元可獨立地對不同的指令或作業進行作業。

每一功能單元(24)亦將與條件分支指令的執行有關之資訊提供給分支預測單元(14)。如果一分支預測是錯誤的，則分支預測單元(14)清除在該錯誤預測的分支之後且已進入指令處理管線的各指令，並自指令快取記憶體(16)或主記憶體提取所需的指令。請注意，在此種情形中，捨棄了原始程式序列中在該錯誤預測的分支指令之後發生的指令結果，其中包括被以推測方式執行且暫時地儲存在載入/儲存單元(26)及重新排序緩衝區(32)的那些指令之結果。進一步請注意，功能單元(24)可將分支執行結果提供給重新排序緩衝區(32)，而重新排序緩衝區(32)可向功能單元(24)指示分支的錯誤預測。

如果正在更新一暫存器值，則將功能單元(24)所產生的結果傳送到重新排序緩衝區(32)，且如果改變了一記憶位置的內容，則將該結果傳送到載入/儲存單元(26)。如果該結果將要儲存在一暫存器中，則當指令被解碼時，重新排序緩衝區(32)將結果儲存在保留給暫存器值的位置。設有複數個結果匯流排(38)，用以傳送來自功能單元(24)及載入/儲存單元(26)的結果。結果匯流排(38)傳送所產生的結果、以及用來識別被執行的指令之重新排序緩衝區標記。

載入/儲存單元(26)提供功能單元(24)與資料快取記憶體(28)間之一介面。在一實施例中，載入/儲存單元(26)之組態設定成具有：第一載入/儲存緩衝區，該緩衝區具有並未存取資料快取記憶體(28)的待處理載入或儲存作業的資料及位址資訊之儲存位置；以及第二載入/儲存緩衝區，該

緩衝區具有已存取資料快取記憶體(28)的載入及儲存作業的資料及位址資訊之儲存位置。例如，該第一緩衝區可包含 12 個位置，且該第二緩衝區可包含 32 個位置。解碼單元(20)仲裁對載入/儲存單元(26)的存取。當該第一緩衝區已滿時，解碼單元必須等候到載入/儲存單元(26)有可供待處理的載入或儲存要求資訊之空間為止。載入/儲存單元(26)也執行載入記憶體作業對待處理的儲存記憶體作業之相依性檢查，以便確保維持了資料一致性。記憶體作業是處理器(10)與主記憶體子系統間之資料的轉移(但是亦可在資料快取記憶體(28)中完成該資料轉移)。記憶體作業可以是使用記憶體中儲存的一運算元的指令之結果，也可以是造成資料轉移但並未造成其他作業的載入/儲存指令之結果。

資料快取記憶體(28)是一種用來暫時地儲存在載入/儲存單元(26)與主記憶體子系統之間轉移的資料之高速快取記憶體。在一實施例中，資料快取記憶體(28)具有在雙路組關聯結構中最多可儲存 64 千位元組的資料之一容量。我們當了解，可以其中包括一組關聯組態、一完全關聯組態、一直接對映組態的各種特定記憶體組態、以及任何其他組態的任何適當容量來實施資料快取記憶體(28)。

匯流排介面單元(37)之組態設定成經由一匯流排而在電腦系統的處理器(10)與其他組件之間溝通訊息。例如，該匯流排可與 Digital Equipment Corporation 所開發的 EV-6 匯流排相容。在替代實施例中，可使用任何適當的連

線結構，其中包括封包式單向或雙向鏈路等。亦可用一選擇性使用的 L2 快取記憶體介面，用以連接到第二階快取記憶體。

請注意，雖然第 1 圖所示之實施例是一超純量 (superscalar) 實施例，但是其他的實施例亦可採用純量實施例。此外，功能單元的數目可隨著各實施例而有所變化。其他的實施例可使用一集中式指令保留區，而不是使用第 1 圖所示之若干個別的指令保留區。此外，其他的實施例可採用一中央排程器，而不是使用第 1 圖所示之指令保留區及重新排序緩衝區。

處理器 (10) 可包含圖中示為郵件信箱埠 (100) 之一埠，而在執行一指令流期間可查詢該郵件信箱埠 (100)。可將郵件信箱埠 (100) 之組態設定成耦合到在處理器 (10) 外部的一服務處理器或一除錯處理器。可經由郵件信箱埠 (100) 而接收用來查詢處理器 (10) 的狀態之測試資料。同樣地，可將該查詢所得到的用來指示處理器 (10) 的狀態之狀態資料自郵件信箱埠 (100) 傳送到該服務處理器或除錯處理器。可將郵件信箱埠 (100) 耦合到處理器 (10) 的一個或多個單元，例如耦合到解碼單元 (20A 至 20C)、暫存器檔 (30)、指令快取記憶體 (16)、及功能單元 (24A 至 24C) 等單元。可將資訊傳送到郵件信箱埠 (100)，或自郵件信箱埠 (100) 接收資訊。

現在請參閱第 2 圖，圖中示出用來決定一處理器的狀態的一系統實施例之方塊圖。在所示之實施例中，可將處理器 (10) (後文中將稱為主處理器 (10)) 耦合到服務處理器

(140)。在某些實施例中，服務處理器(140)可位於另一電腦系統中，而該另一電腦系統可耦合到實施主處理器(10)的一電腦系統。在其他的實施例中，服務處理器(140)可位於被插入主處理器(10)所在的電腦系統的周邊裝置插槽之一電路板上，或者甚至可將服務處理器(140)安裝到與主處理器(10)相同的電路板上。

如前文所述，主處理器(10)包含一郵件信箱埠(100)。郵件信箱埠(100)可包含郵件信箱輸入埠(102)及郵件信箱輸出埠(104)。可將郵件信箱輸入埠(102)之組態設定成耦合到服務處理器(140)的互補輸出埠(152)。同樣地，可將郵件信箱輸出埠(104)之組態設定成耦合到服務處理器(140)的互補輸入埠(154)。

主處理器(10)的郵件信箱輸入埠(102)接收自服務處理器(140)傳送的測試資料。可將該測試資料自服務處理器(140)的輸出埠(152)傳送到主處理器(10)的郵件信箱輸入埠(102)。同樣地，可將服務處理器(140)之組態設定成自主處理器(10)接收狀態資料。可將該狀態資料自主處理器(10)的郵件信箱輸出埠(104)傳送到服務處理器(140)的輸入埠(154)。每一該等互補的輸入/輸出埠對可以相互獨立之方式工作。換言之，輸出埠(152)可將測試資料傳送到郵件信箱輸入埠(102)，而該傳送係與將狀態資料自郵件信箱輸出埠(104)傳送到輸入埠(154)之任何行為無關。

可經由一測試資料輸入(TDI)接腳將測試資料串列地載入服務處理器(140)的一輸出埠(152)，而該 TDI 接腳是

一測試存取埠(TAP)的一部分。該測試存取埠可以是符合IEEE 標準 1149.1 的一邊界掃描埠。同樣地，可經由一測試資料輸出(TDO)接腳而將狀態資料串列地自輸入埠(154)移出。下文中將說明自服務處理器(140)載入測試資料並將狀態資料解載之額外細節。

現在請參閱第 3 圖，該方塊圖示出被耦合到一服務處理器輸出埠的主處理器輸入埠之一實施例。在所示實施例中，主處理器(10)的郵件信箱輸入埠(102)係耦合到服務處理器(140)的郵件信箱輸出埠(152)。郵件信箱輸入埠(102)包含若干輸入暫存器(112)。輸入暫存器(112)之組態設定成接收並儲存測試資料。可自位於輸出埠(152)的輸出暫存器(162)接收該測試資料。輸出暫存器(162)及輸入暫存器(112)可以有各種容量。在一實施例中，輸出暫存器(162)及輸入暫存器(112)之組態設定成儲存 32 個資料位元及一個有效位元。具有不同暫存器容量以及多個暫存器(對於郵件信箱輸入埠及郵件信箱輸出埠)的其他實施例也是可行的，且可考慮採用該等實施例。

為了決定主處理器(10)的狀態，必須查詢輸入暫存器(112)的有效位元，然後將測試資料載入輸出暫存器(162)。如前文所述，可經由一符合 IEEE 1149.1 標準的邊界掃描 TAP 將資料載入郵件信箱輸出埠(152)。在所示的實施例中，輸出暫存器(162)係耦合到一 TDI 接腳。可經由該 TDI 接腳而將測試資料串列地移入輸出暫存器(162)。除了該測試資料之外，亦可經由該 TDI 接腳將一有效位元設定在該

輸出暫存器。

為了將測試資料傳送到輸入暫存器(112)，首先可能必須要輪詢該有效位元，以便確定該有效位元是被清除的。因為該位元屬於主處理器的時脈領域，所以首先必須使該位元與服務處理器的時脈領域同步。同步後的該有效位元被擷取到輸出暫存器(162)，且被串列地移出以供檢查。當該有效位元被串列地移出以供檢查時，可將測試資料串列地載入輸出暫存器(162)。

如果在輪詢輸入暫存器(112)的有效位元期間決定該有效位元是已設定的，則可能是測試資料已被載入郵件信箱輸入埠(102)但尚未被主處理器(10)所擷取的一指示。因此，當設定該有效位元時，可禁止將測試資料載入輸出暫存器(162)及接續地將該測試資料傳送到輸入暫存器(112)。在擷取到該測試資料時，主處理器可自輸入暫存器(112)清除該有效位元。輸出埠(152)回應偵測到儲存在輸入暫存器(112)中的該有效位元被清除了，而可開始將該測試資料傳送到輸入暫存器(112)。在該實施例中，係將一獨立的 TAP 指令用來設定該有效位元。使用該指令時，可以同步方式將該資料自輸出暫存器(162)載入輸入暫存器(112)(請參閱第 3 圖中之“A”)。

主處理器(10)的一處理器核心亦可輪詢輸入暫存器(112)中之有效位元。在偵測到該有效位元的設定而指示成功地將測試資料載入輸入暫存器(112)時，該處理器核心可擷取該測試資料。然後可利用該測試資料來產生將要傳送

回服務處理器的狀態資料，下文中將進一步詳細說明其中之情形。

各輸入埠與輸出埠間之傳送及接收協定可以與主處理器(10)及服務處理器(140)所用的協定相同。下表 1 示出一輸入埠/輸出埠組合的一實施例之協定。

傳送器	接收器
1.輪詢主處理器之有效位元，直到被清除。	1.輪詢主處理器之有效位元，直到被設定。
2.將資料存放在暫存器。	2.擷取資料。
3.設定主處理器的有效位元。	3.清除主處理器的有效位元。

表 1

一般而言，該系統中之一傳送器(亦即一輸出埠)在將資料傳送到一接收器之前，必須先輪詢主處理器的有效位元。在偵測到主處理器有效位元是清除的時候，可將資料存放到輸出暫存器，並將資料傳送到接收器的輸入暫存器。可設定輸入暫存器中之有效位元，而指示成功地將資料自傳送器傳送到接收器。該系統中之一接收器(亦即一輸入埠)可輪詢主處理器的有效位元，直到該有效位元被設定為止。主處理器的有效位元之設定指示有效資料出現在輸入暫存器，因而可讓接收器擷取該資料。在擷取資料之後，可清除處理主處理器的有效位元。

在各實施例中，服務處理器中之接收器可定期自其輸入暫存器移出資料，並在該移出之後隨即檢查有效位元(因為該有效位元是被移出資料的一部分)，以便決定該資料是

否為有效的。

第 4 圖是耦合到一服務處理器輸入埠的主處理器輸出埠的一實施例之方塊圖。在所示實施例中，係將主處理器(10)的郵件信箱輸出埠(104)耦合到服務處理器(140)的輸入埠(154)。郵件信箱輸出埠(104)包含一輸出暫存器(114)，該輸出暫存器(114)之組態係設定成儲存自主處理器(10)的處理器核心接收之狀態資料。可回應先前輸入的測試資料，而產生被接收到輸出暫存器(114)的狀態資料。郵件信箱輸出埠(104)包含輸出暫存器(114)，而輸入埠(154)包含輸入暫存器(164)。

在進行將資料傳送到輸出暫存器(114)的任何傳送之前，必須先輪詢輸出暫存器(114)中儲存的有效位元，以便決定該有效位元是否為被清除的。在決定該有效位元是被清除的時，郵件信箱輸出埠(104)可將狀態資料存放在輸出暫存器(114)，然後設定輸出暫存器(114)中之有效位元。服務處理器(140)開始將資料傳送到輸入暫存器(164)。係在 TAP 控制器的 Capture-DR 狀態中執行上述的步驟。一旦已將狀態資料及有效位元傳送到輸入暫存器(164)之後，即可檢查該有效位元，並可經由測試資料輸出(TDO)接腳將該資料移出，而擷取該資料。如果該有效位元被設定，則服務處理器(140)決定已連同有效位元而被移出的資料是可行的(亦即有效資料)。

可針對服務處理器及主處理器而以若干組指令來分別控制將資料傳送進出郵件信箱輸入及輸出埠。在一實施例

中，用於服務處理器的 TAP 指令是：MBOXIN、MBOXINSETV、MBOXOUT、及 MBOXOUTCLR。服務處理器(140)可使用 MBOXIN 指令來實現將測試資料自輸出埠(152)傳送到郵件信箱輸入埠(102)。服務處理器(140)可回應測試資料的傳送，而執行 MBOXINSETV 指令，因而設定輸入暫存器(112)中之有效位元，以便將出現了有效資料的訊息向主處理器(10)指示。可執行 MBOXOUT 指令，以便開始將狀態資料自主處理器(10)傳送到服務處理器(140)。可執行 MBOXOUTCLR 指令，以便清除輸出暫存器(114)中儲存的有效位元。

主處理器(10)執行的指令可包括特定模式暫存器(Model Specific Register；簡稱 MSR)讀取及寫入助憶符號 UC_SPREG_MBOX_IN 及 UC_SPREG_MBOX_OUT。UC_SPREG_MBOX_IN 的一 MSR 讀取可開始對郵件信箱輸入暫存器(112)的一存取，以便自該暫存器擷取測試資料。可利用 UC_SPREG_MBOX_IN 的一 MSR 寫入來清除有效位元。UC_SPREG_MBOX_OUT 的一 MSR 寫入可開始對郵件信箱輸出暫存器(114)的存取，以便存放狀態資料，或設定有效位元。可利用 UC_SPREG_MBOX_OUT 的一 MSR 讀取來偵測該有效位元是否被清除。

請注意，與各指令相關聯的助憶符號用於一特定實施例的例示說明。具有用來描述配合輸入及輸出埠而使用的特定指令之其他助憶符號之實施例也是可行的，且可考慮採用這些實施例。

請注意，服務處理器(140)的輸出暫存器(162)及輸入暫存器(164)可以是 TDI 接腳與 TDO 接腳間之 TAP 中之任何移位暫存器，該移位暫存器包含可儲存測試/狀態資料及至少一個有效位元的一足夠數目之位元位置。亦請注意，經由前文所述的 TAP 以外之其他機制載入測試資料並擷取狀態資料的服務處理器(140)之其他實施例也是可行的，且可考慮採用這些實施例。此外，在本說明中，術語服務處理器及除錯處理器可交換使用，這是因為一除錯處理器可替代一服務處理器，且可根據本文之說明而設定該除錯處理器之組態。

現在請參閱第 5A 圖，圖中示出查詢一主處理器的方法實施例之流程圖。方法(500)開始時係於步驟(502)中輪詢一主處理器的輸入暫存器中之有效位元。在輪詢期間，於步驟(504)中決定有效位元是被清除還是被設定。如果有效位元被設定，繼續輪詢。一設定的有效位元可指示主處理器的輸入暫存器包含尚未被擷取的有效資料。可如前文所述之方式經由一 TDI 接腳串列地載入測試資料。以平行的方式載入測試資料的其他實施例也是可行的，且可考慮採用這些實施例。在將測試資料載入輸出暫存器之後，在步驟(508)中，服務處理器的輸出埠可將資料傳送到主處理器的輸入暫存器，並在步驟(510)中設定有效位元。主處理器的輸入暫存器中之有效位元的設定可將出現了有效資料且已可準備好擷取該有效資料的訊息向處理器指示。在步驟(512)中，主處理器可回應偵測到有效位元的設定，而擷取

測試資料，並根據該測試資料而產生狀態資料。在主處理器擷取了測試資料之後，主處理器可清除郵件信箱輸入埠的輸入暫存器中儲存的有效位元。

第 5B 圖是自一主處理器輸出狀態資料的方法實施例之流程圖。可根據第 5A 圖中所述之方法及第 1 至 4 圖中所示之機制而產生狀態資料。方法(550)開始時係在步驟(552)中輪詢主處理器的輸出暫存器之有效位元。在步驟(554)中，與參照第 5A 圖所述之方法類似，係持續輪詢該有效位元，直到決定該有效位元被清除為止。一旦決定了該有效位元被清除之後，主處理器可在步驟(556)中將狀態資料存放在其郵件信箱輸出埠的輸出暫存器。在將狀態資料載入該輸出暫存器之後，主處理器在步驟(560)中設定該輸出暫存器中之有效位元。服務處理器可傳送資料及於 Capture-DR 狀態中之有效位元，然後在步驟(562)中將該資料及有效位元自輸入暫存器中移出。如果所傳送的有效位元係設定的，則亦知道該資料是有效的。回應自該輸入暫存器擷取到狀態資料，而可清除主處理器的有效位元，因而可自主處理器傳送額外的狀態資料。請務必注意，可以與參照第 5A 圖所述的作業無關之方式發生參照第 5B 圖所述的作業。

請注意，在本文的用法中，術語“測試資料”意指可輸入主處理器(10)以便接收所需回應的任何類型之資料。同樣地，術語“狀態資料”意指可用來提供與主處理器(10)的作業有關的資訊的任何類型之資料。此外，請注意，載入

測試資料及(或)擷取狀態資料可以是回應處理器的個別查詢之作業，或者可以是按照固定時間間隔而執行的作業。輪詢有效位元及傳送資料的特定順序可不同於本文所述的順序之替代實施例也是可行的，且可考慮採用這些實施例。

雖然已參照特定實施例而說明了本發明，但是我們當了解，該等實施例係舉例說明，且本發明的範圍不會因而受到限制。對本文所述該等實施例的任何變化、修改、增添、及改良都是可行的。這些變化、修改、增添、及改良仍係在最後申請專利範圍所詳述的本發明之範圍內。

[圖式簡單說明]

若參閱前文中之詳細說明，並配合各附圖，將可易於了解本發明的其他方面，這些附圖有：

第 1 圖是處理器的一實施例之方塊圖；

第 2 圖是用來決定一處理器的狀態的一系統實施例之方塊圖；

第 3 圖是耦合到一服務處理器輸出埠的主處理器輸入埠的一實施例之方塊圖；

第 4 圖是耦合到一服務處理器輸入埠的主處理器輸出埠的一實施例之方塊圖；

第 5A 圖是查詢一主處理器的一方法實施例之流程圖；以及

第 5B 圖是自主處理器輸出狀態資料的一方法實施例之流程圖。

10	處理器		
12	預先提取／預先解碼單元		
14	分支預測單元	16	指令快取記憶體
18	指令對準單元	20,20A至20C	解碼單元
22,22A至22C	指令保留區	24,24A至24C	功能單元
26	載入／儲存單元	28	資料快取記憶體
30	暫存器檔	32	重新排序緩衝區
34	MROM 單元	37	匯流排介面單元
38	結果匯流排	100	郵件信箱埠
102	郵件信箱輸入埠	104	郵件信箱輸出埠
112,164	輸入暫存器	114,162	輸出暫存器
140	服務處理器	152	互補輸出埠
154	互補輸入埠		

雖然本發明易於作出各種修改及替代形式，但是該等圖式中係以舉例方式示出本發明的一些特定實施例，且已在本文中詳細說明了這些特定實施例。然而，我們當了解，該等圖式及本文對該等圖式的說明之用意並非將本發明限制在所揭示的特定形式，相反地，本發明將涵蓋最後的申請專利範圍所界定的本發明的精神及範圍內之所有修改、等效物、及替代。

伍、中文發明摘要：

本發明揭示一種決定一主處理器的內部狀態之方法及裝置。可將測試資料載入一服務處理器的一輸出埠。該服務處理器可輪詢該主處理器中儲存之一有效位元。於判定該有效位元被清除時，該服務處理器可將測試資料傳送到該主處理器，並設定該有效位元。可回應該測試資料而產生狀態資料。可將該狀態資料寫入該主處理器的輸出埠。該服務處理器可自該主處理器的該輸出埠接收該資料。可在無須中斷該主處理器中之指令的執行之情形下，執行決定該主處理器的狀態之作業。

陸、英文發明摘要：

A method and apparatus for determining an internal state of a host processor. Test data may be loaded into an output port of a service processor. The service processor may poll a valid bit stored in the host processor. Upon determining that the valid bit is clear, the service processor may transmit the test data to the host processor, and set the valid bit. State data may be generated responsive to the test data. The state data may be written into output port of the host processor. The service processor may receive the data from the output port of the host processor. The operation of determining the state of the host processor is performed without interrupting the execution of instructions in the host processor.

拾、申請專利範圍：

1. 一種判斷主處理器的狀態之方法，該方法包含下列步驟：

輪詢第一輸入暫存器中之第一有效位元，直到該第一有效位元被清除為止，其中該第一輸入暫存器係位於該主處理器中；

將測試資料載入第一輸出暫存器，該第一輸出暫存器係位於一服務處理器中；

將該測試資料自該第一輸出暫存器傳送到該第一輸入暫存器；

於完成該傳送時，設定該第一有效位元；以及

回應偵測到該第一有效位元的設定，而自該第一輸入暫存器擷取該測試資料；

其中該載入步驟、該輪詢步驟、該傳送步驟、該設定步驟、及該擷取步驟並不會中斷在該主處理器中執行的指令流。

2. 如申請專利範圍第 1 項之方法，進一步包含下列步驟：

根據該測試資料而決定主處理器狀態；以及

將狀態資料輸出到該服務處理器，該狀態資料指示了主處理器狀態，其中係以與主處理器時脈不同步之方式執行該決定步驟及該輸出步驟。

3. 如申請專利範圍第 2 項之方法，其中該輸出步驟包含下列步驟：

輪詢第二輸出暫存器中之第二有效位元，直到該第

二有效位元是被清除的為止，其中該第二輸出暫存器係位於該主處理器；

將狀態資料載入該第二輸出暫存器；

將該狀態資料自該第二輸出暫存器傳送到第二輸入暫存器，該第二輸入暫存器係位於該服務處理器；以及

自該第二輸入暫存器輸出該狀態資料。

4. 如申請專利範圍第 1 項之方法，其中係回應該擷取該測試資料而清除該第一有效位元。
5. 如申請專利範圍第 3 項之方法，其中係在載入該第二輸入暫存器之後，設定該第二有效位元。
6. 如申請專利範圍第 3 項之方法，其中該輸出步驟包含下列步驟：經由一測試資料輸出(TDO)接腳而自該第二輸入暫存器捕獲並串列地移出該狀態資料。
7. 如申請專利範圍第 6 項之方法，進一步包含下列步驟：回應完成該移出該狀態資料而清除該第二有效位元。
8. 如申請專利範圍第 3 項之方法，其中每一該第一及第二輸出暫存器以及每一該第一及第二輸入暫存器的長度都是 33 位元，且其中每一該第一及第二輸出暫存器以及第一及第二輸入暫存器之組態都係設定成儲存 32 個資料位元及一個有效位元。
9. 如申請專利範圍第 3 項之方法，進一步包含下列步驟：在將該狀態資料自該第二輸出暫存器傳送到該第二輸入暫存器之前，先使該第二有效位元與一測試時脈

(TCK)領域同步。

- 10.如申請專利範圍第3項之方法，其中係回應一個別的查詢而執行該輸出步驟。
- 11.如申請專利範圍第3項之方法，其中係按照固定的時間間隔而執行該輸出步驟。
- 12.如申請專利範圍第1項之方法，其中該載入步驟包含下列步驟：經由一測試資料輸入(TDI)接腳而將該測試資料串列地移入該第一輸出暫存器。
- 13.如申請專利範圍第1項之方法，進一步包含下列步驟：回應該擷取而清除該第一有效位元。
- 14.如申請專利範圍第1項之方法，進一步包含下列步驟：在將該測試資料自該第一輸出暫存器傳送到該第一輸入暫存器之前，先使該第一有效位元與一主處理器時脈領域同步。
- 15.一種判斷主處理器狀態之系統，包含：
 - 一主處理器及一服務處理器，其中該主處理器及該服務處理器分別包含第一輸入暫存器及第一輸出暫存器，且其中該主處理器及服務處理器進一步分別包含第二輸出暫存器及第二輸入暫存器；
 - 其中該服務處理器之組態設定成決定該主處理器的狀態，而該決定包含下列步驟：
 - 輪詢該第一輸入暫存器中之第一有效位元，直到該第一有效位元是清除的為止；
 - 將測試資料載入該第一輸出暫存器；

將該測試資料自該第一輸出暫存器傳送到該第一輸入暫存器；

於完成該傳送時，設定該第一有效位元；

其中該主處理器之組態係設定成回應該第一有效位元的設定而自該第一輸入暫存器擷取該測試資料；以及

其中該載入步驟、該輪詢步驟、該傳送步驟、該設定步驟、及該擷取步驟並不會中斷在該主處理器中執行的指令流。

16. 如申請專利範圍第 15 項之系統，其中該主處理器之組態進一步係設定成執行下列步驟：

根據該測試資料而決定一主處理器狀態；以及

將狀態資料輸出到該服務處理器，該狀態資料指示了一主處理器狀態，其中係以與主處理器時脈不同步之方式執行該決定步驟及該輸出步驟。

17. 如申請專利範圍第 16 項之系統，其中該主處理器之組態進一步係設定成執行下列步驟：

輪詢該第二輸出暫存器中之第二有效位元，直到該第二有效位元被清除為止；

將狀態資料存放在該第二輸出暫存器；

將該狀態資料自該第二輸出暫存器傳送到第二輸入暫存器；

且其中該服務處理器之組態設定成輸出由該第二輸入暫存器所接收的狀態資料。

25. 如申請專利範圍第 17 項之系統，其中該主處理器之組態係設定成按照固定的時間間隔而將狀態資料輸出到該服務處理器。
26. 如申請專利範圍第 15 項之系統，其中該服務處理器之組態係設定成經由一測試資料輸入(TDI)接腳而將資料串列地移入該第一輸出暫存器。
27. 如申請專利範圍第 15 項之系統，其中該主處理器之組態係設定成回應自該第一輸入暫存器擷取該測試資料而清除該第一有效位元。
28. 如申請專利範圍第 15 項之系統，其中該系統之組態係設定成：在將該測試資料自該第一輸出暫存器傳送到該第一輸入暫存器之前，先使該第一有效位元與一主處理器時脈領域同步。
29. 一種主處理器，包含：
- 一輸入埠，該輸入埠之組態設定成耦合到一服務處理器的輸出暫存器，該輸入埠包含一暫存器，用以儲存其中包括第一有效位元的複數個位元；以及
 - 一輸出埠，該輸出埠之組態設定成耦合到一服務處理器的輸入暫存器；
- 其中該輸入埠之組態係設定成回應該服務處理器偵測到該第一有效位元是被清除的而自該輸出暫存器接收測試資料，且其中係回應接收到該測試資料而設定該第一有效位元；
- 其中該輸出埠之組態設定成回應該主處理器偵測

18. 如申請專利範圍第 17 項之系統，其中該主處理器之組態設定成回應擷取該測試資料而清除該第一有效位元。
19. 如申請專利範圍第 17 項之系統，其中該主處理器之組態設定成回應將狀態資料存放在該第二輸出暫存器而設定該第二有效位元。
20. 如申請專利範圍第 17 項之系統，其中該服務處理器之組態設定成經由一測試資料輸出(TDO)接腳而自該第二輸入暫存器串列地移出該狀態資料。
21. 如申請專利範圍第 20 項之系統，其中該服務處理器之組態設定成回應自該第二輸入暫存器串列地移出該狀態資料而清除該第二有效位元。
22. 如申請專利範圍第 17 項之系統，其中每一該第一及第二輸出暫存器以及每一該第一及第二輸入暫存器的長度都是 33 位元，且其中每一該第一及第二輸出暫存器以及第一及第二輸入暫存器之組態都被設定成儲存 32 個資料位元及一個有效位元。
23. 如申請專利範圍第 17 項之系統，其中該系統之組態係設定成：在將該狀態資料自該第二輸出暫存器傳送到該第二輸入暫存器之前，先使該第二有效位元與一測試時脈(TCK)領域同步。
24. 如申請專利範圍第 17 項之系統，其中該主處理器之組態係設定成回應來自該服務處理器的一查詢而輸出狀態資料。

到第二有效位元是被清除的而將狀態資料傳送到該輸入暫存器，該狀態資料指示該主處理器的狀態，且係回應該主處理器接收到該測試資料而產生該狀態資料，其中該主處理器之組態設定成回應該輸出暫存器接收到該狀態資料而設定該第二有效位元；以及

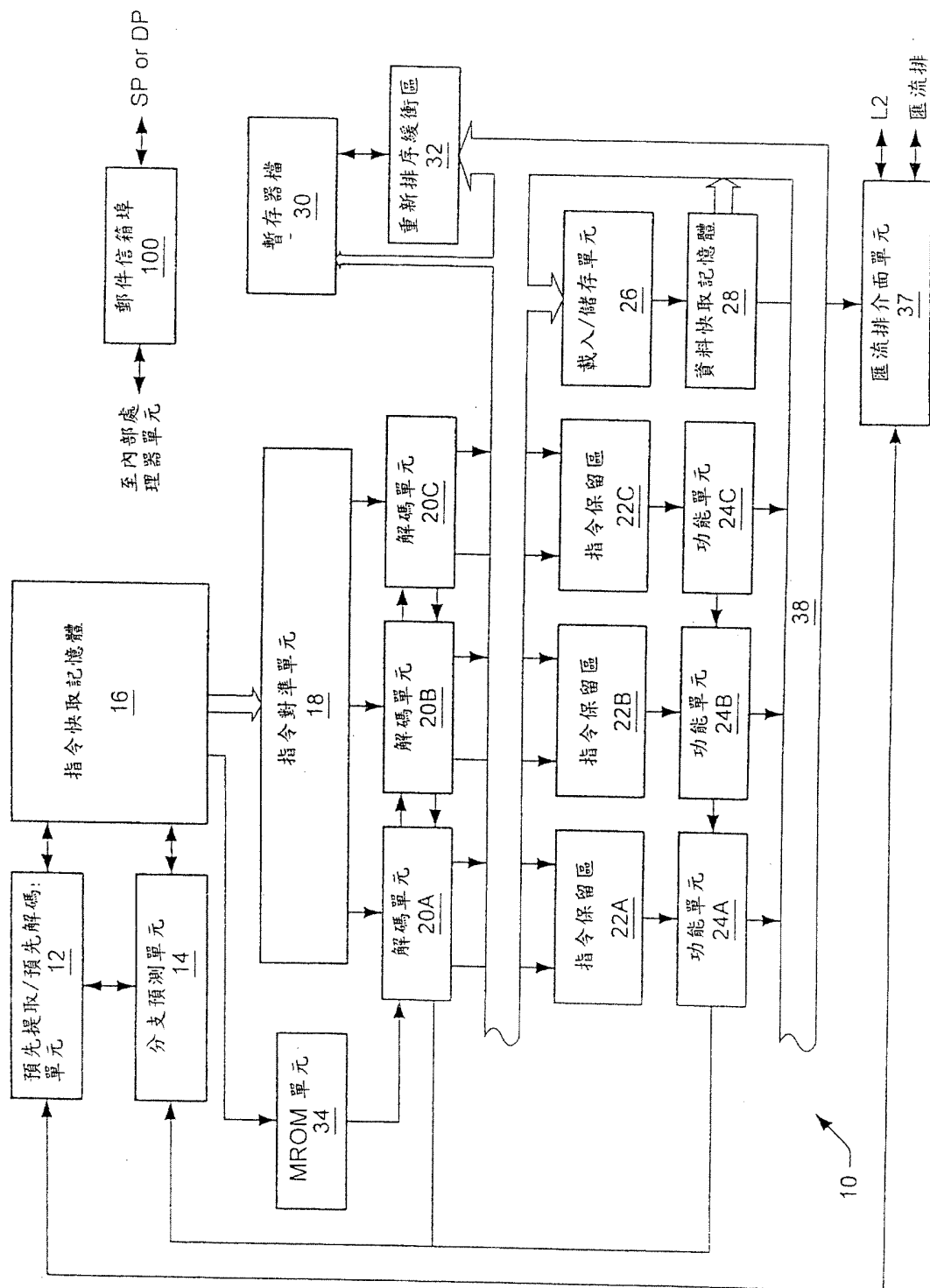
其中係在不會中斷在該主處理器中執行的指令流之情形下，執行將測試資料傳送到該主處理器、產生狀態資料、及將狀態資料傳送到該輸入暫存器。

30. 如申請專利範圍第 29 項之主處理器，其中該主處理器之組態設定成在傳送該狀態資料之前先輪詢該第二有效位元，其中該第二有效位元係儲存在該輸出埠。
31. 如申請專利範圍第 29 項之主處理器，其中該主處理器之組態設定成：自該輸入埠擷取該測試資料，且係回應擷取到該測試資料而清除該第一有效位元。
32. 如申請專利範圍第 29 項之主處理器，其中該輸入埠之組態設定成自該服務處理器接收 32 位元的測試資料及該第一有效位元。
33. 如申請專利範圍第 29 項之主處理器，其中該輸出埠之組態設定成將 32 位元的狀態資料及該第二有效位元傳送到該服務處理器。
34. 如申請專利範圍第 29 項之主處理器，其中在自該服務處理器的該輸出暫存器接收測試資料之前，先使該第一有效位元與該主處理器的一時脈領域同步。
35. 如申請專利範圍第 29 項之主處理器，其中在將該狀態

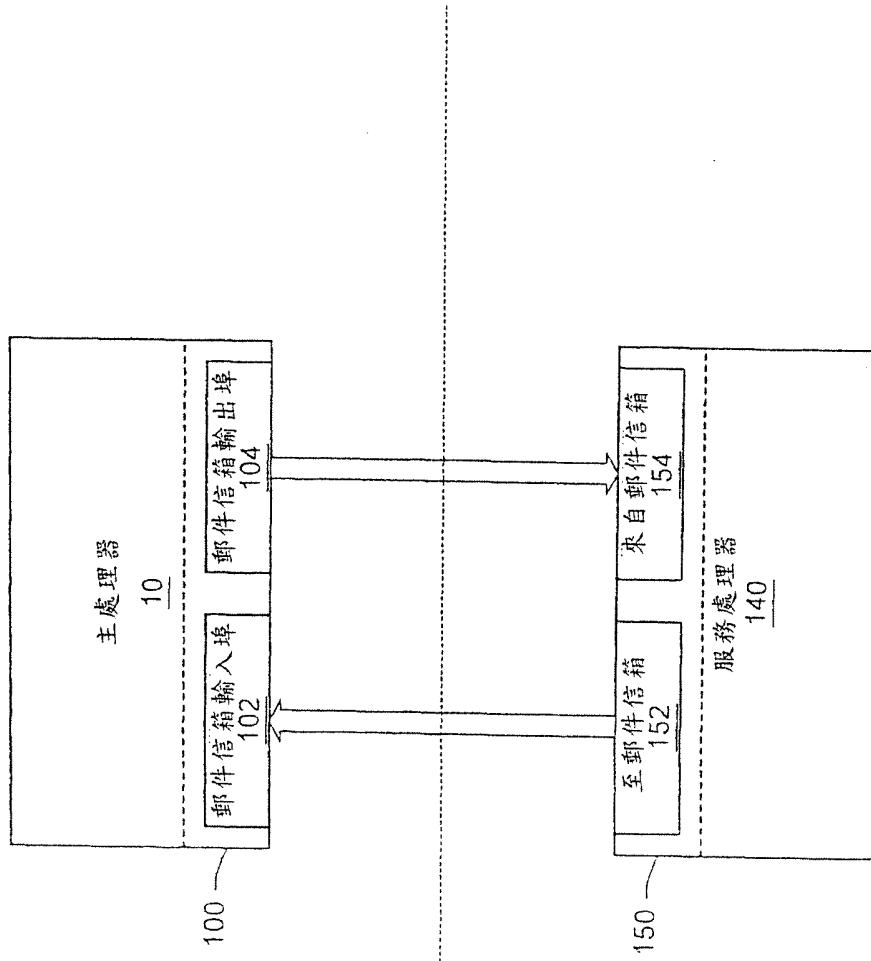
資料傳送到該輸入暫存器之前，先使該第二有效位元與該服務處理器中之一測試時脈(TCK)領域同步。

36.如申請專利範圍第 29 項之主處理器，其中該主處理器之組態設定成回應來自該服務處理器的一查詢而將狀態資料傳送到該服務處理器。

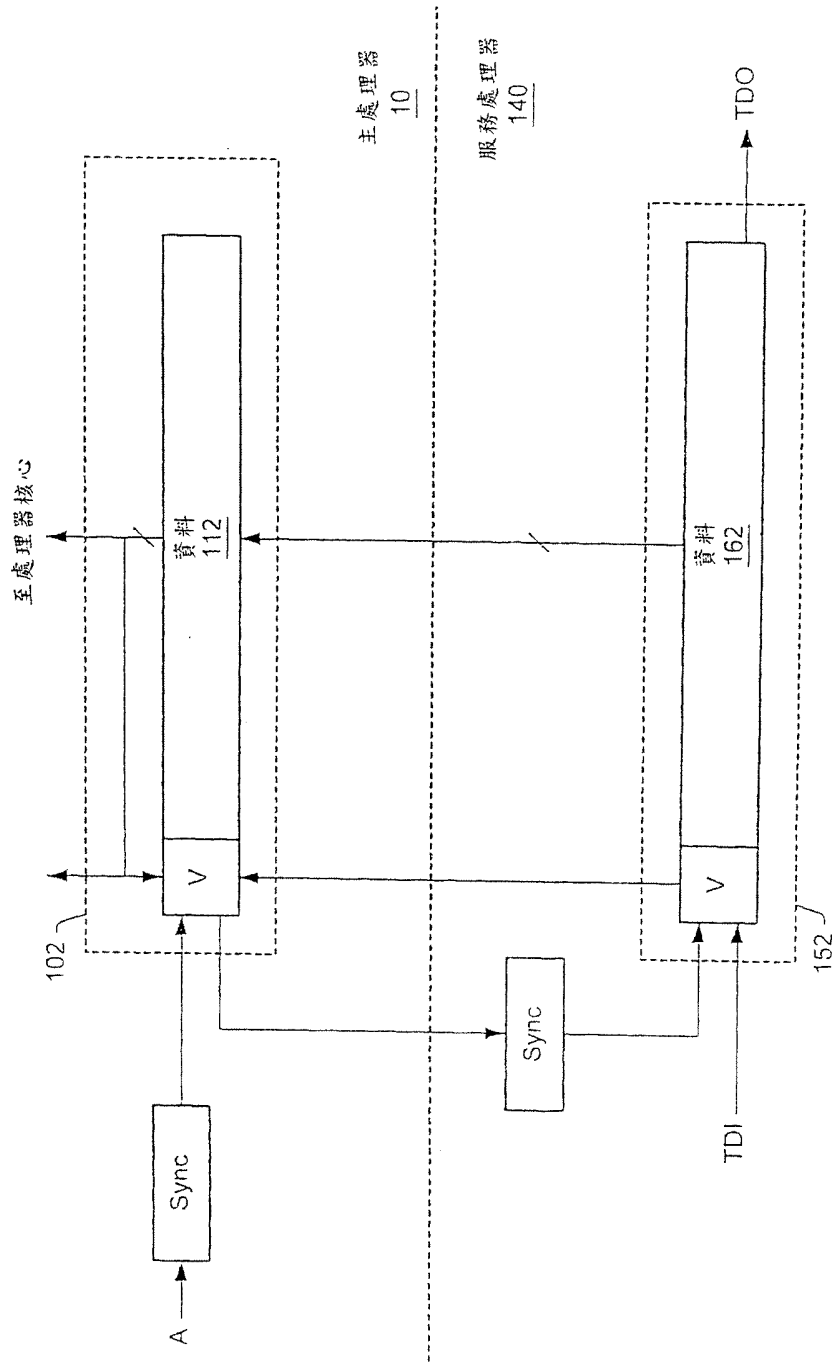
37.如申請專利範圍第 29 項之主處理器，其中該主處理器之組態設定成按照固定的時間間隔將狀態資料傳送到該服務處理器。



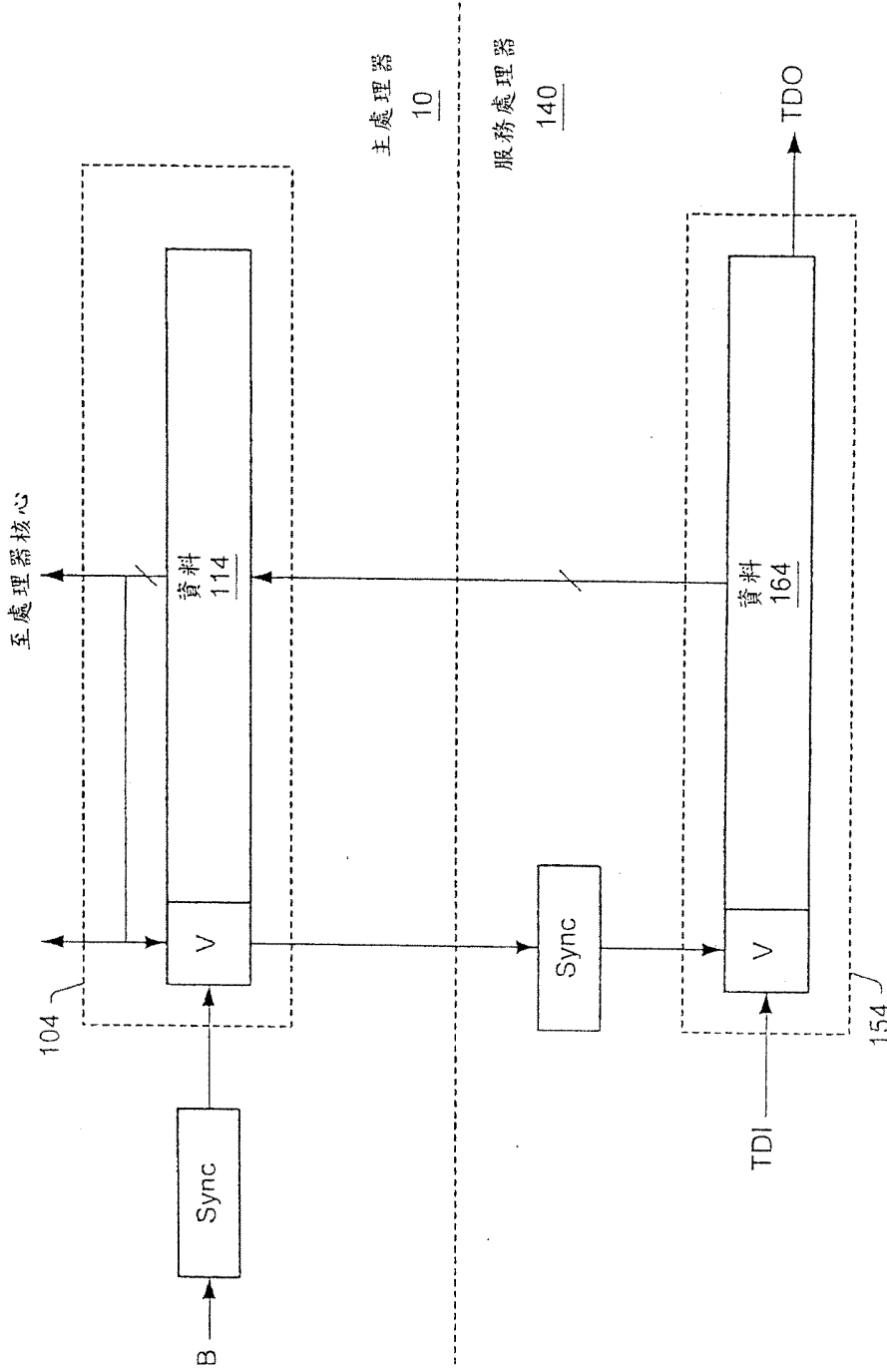
第1圖



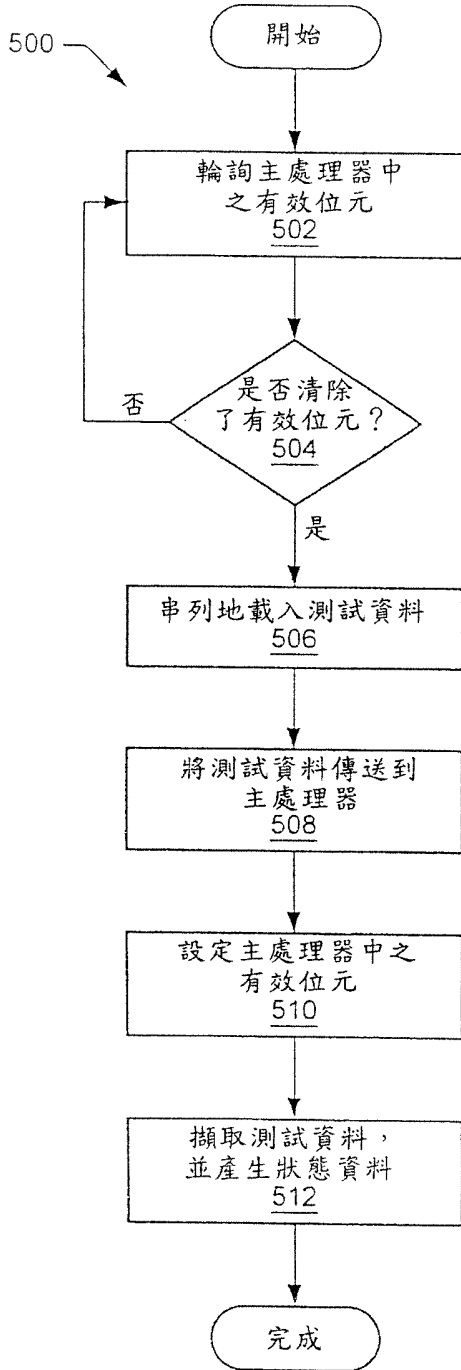
第2圖



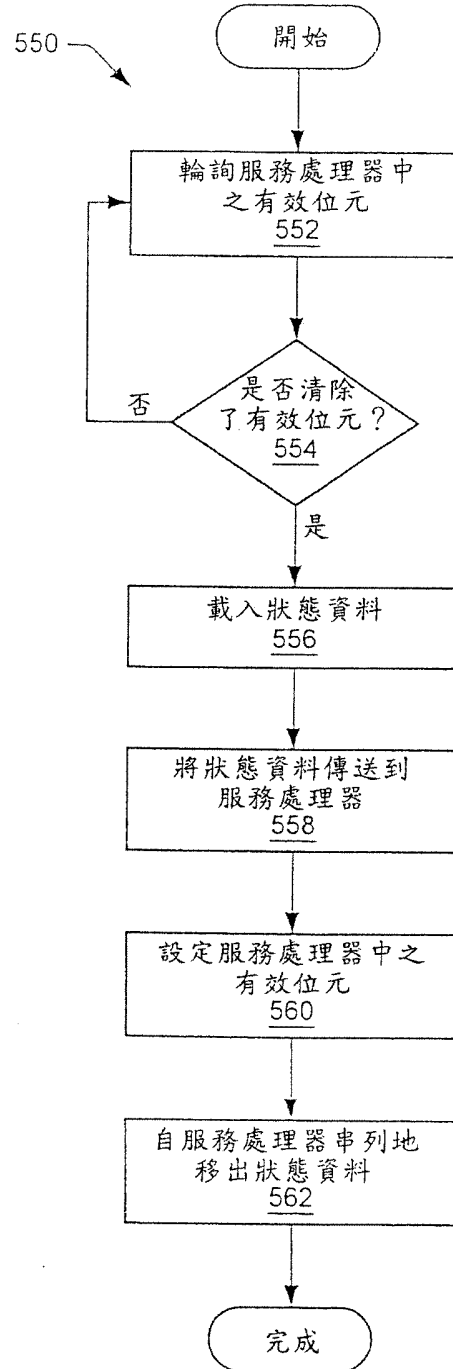
第3圖



第4圖



第5A圖



第5B圖

柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

10	處理器		
12	預先提取／預先解碼單元		
14	分支預測單元	16	指令快取記憶體
18	指令對準單元	20,20A 至 20C	解碼單元
22,22A 至 22C	指令保留區	24,24A 至 24C	功能單元
26	載入／儲存單元	28	資料快取記憶體
30	暫存器檔	32	重新排序緩衝區
34	MROM 單元	37	匯流排介面單元
38	結果匯流排	100	郵件信箱埠

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：