



(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2013 109 683.2**

(22) Anmeldetag: **05.09.2013**

(43) Offenlegungstag: **03.04.2014**

(51) Int Cl.: **H03M 1/38 (2006.01)**

(30) Unionspriorität:
13/631,949 **29.09.2012** **US**

(71) Anmelder:
Intel Corporation, Santa Clara, Calif., US

(74) Vertreter:
Viering, Jentschura & Partner, 01099, Dresden, DE

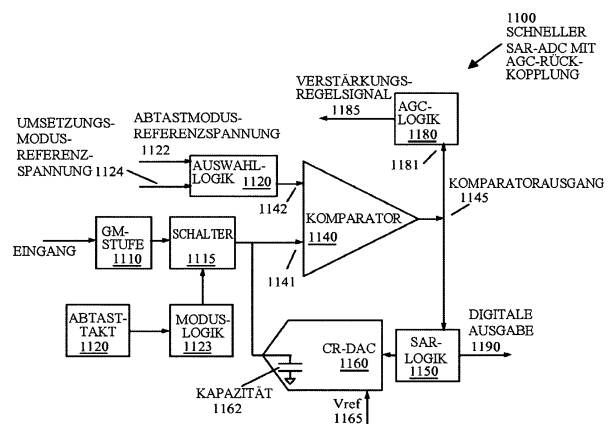
(72) Erfinder:
**Cowley, Nicholas P., Wroughton, Wiltshire, GB;
Ali, Isaac, Bristol, GB; Pinson, Keith, Swindon,
Wiltshire, GB; Suetinov, Viacheslav I., Swindon,
Wiltshire, GB**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Verfahren und Anordnungen für schnelle Analog-Digital-Umsetzung**

(57) Zusammenfassung: Ausführungsformen können Logik wie etwa Hardware und/oder Code zur schnellen Analog-Digital-Umsetzung eines Signals umfassen. Viele Ausführungsformen empfangen ein Analogsignal als Eingangssignal eines Abtastempfängers. Der Abtastempfänger kann einen Analog-Digital-Umsetzer bzw. ADC mit Register der sukzessiven Approximation bzw. SAR implementieren, um die digitale Ausgabe zu produzieren. Ausführungsformen können einen Komparator des SAR-ADC während eines Abtastmodus umbauftragen, um eine digitale Komparatorausgabe zu erzeugen, die einen Vergleich einer Spannung der Ladung auf einer Kapazität des DAC mit einer Schwellenreferenzspannung repräsentiert. Bei weiteren Ausführungsformen wird die digitale Komparatorausgabe an den Eingang von Logik zur automatischen Verstärkungsregelung bzw. AGC angelegt. Die AGC-Logik empfängt das digitale Komparatorsignal, das einen Abtastwert eines Abtastzyklus mit mehreren Abtastwerten repräsentiert, wodurch die AGC-Logik ein Verstärkungsregelsignal erzeugen kann, das sowohl auf insgesamt zusammengesetzte Durchschnitts- als auch auf Spitzenamplituden reagiert.



Beschreibung

STAND DER TECHNIK

[0001] Die vorliegende Offenbarung betrifft allgemein das Gebiet der Kommunikationstechnologien und insbesondere automatische Verstärkungsregelungsrückkopplung aus einem Digital-Analog-Umsetzer mit Ladungsumverteilung in einem Analog-Digital-Umsetzer mit Register der sukzessiven Approximation zur Ermöglichung von schneller Analog-Digital-Umsetzung.

Kurze Beschreibung der Zeichnungen

[0002] Fig. 1 zeigt eine Ausführungsform eines Netzwerks, das mehrere Kommunikationseinrichtungen, darunter drahtlose Kommunikationseinrichtungen, umfasst;

[0003] Fig. 1A zeigt eine Ausführungsform einer Vorrichtung für einen Analog-Digital-Umsetzer mit Register der sukzessiven Approximation des in Fig. 1 dargestellten schnellen Analog-Digital-Umsetzers;

[0004] Fig. 1B zeigt eine Ausführungsform eines zeitverschachtelten Analog-Digital-Umsetzers mit Register der sukzessiven Approximation des in Fig. 1 dargestellten schnellen Analog-Digital-Umsetzers;

[0005] Fig. 1C zeigt eine Ausführungsform eines differentiellen Analog-Digital-Umsetzers mit Register der sukzessiven Approximation des in Fig. 1 dargestellten schnellen Analog-Digital-Umsetzers;

[0006] Fig. 1D zeigt eine Ausführungsform eines Graphen, der die Amplituden von Abtastwerten von Spannungen aus einer Kapazität eines Digital-Analog-Umsetzers mit Ladungsumverteilung durch Perioden von vier Abtastwerten darstellt;

[0007] Fig. 2 zeigt eine Ausführungsform einer Vorrichtung mit schneller Analog-Digital-Umsetzung von Signalen;

[0008] Fig. 3 zeigt eine Ausführungsform eines Flussdiagramms für schnelle Analog-Digital-Umsetzung von Signalen wie in Fig. 1A dargestellt.

AUSFÜHRLICHE BESCHREIBUNG
VON AUSFÜHRUNGSFORMEN

[0009] Es folgt eine ausführliche Beschreibung neuartiger Ausführungsformen, die in den beigefügten Zeichnungen abgebildet sind. Der Grad an gebotenen Detail soll jedoch nicht erwartete Varianten der beschriebenen Ausführungsformen beschränken; im Gegenteil sollen die Ansprüche und ausführliche Beschreibung alle Modifikationen, Äquivalente und Al-

ternativen wie durch die angefügten Ansprüche definiert abdecken. Die nachfolgenden ausführlichen Beschreibungen sind dafür bestimmt, solche Ausführungsformen Durchschnittsfachleuten verständlich und offensichtlich zu machen.

[0010] Im Allgemeinen werden hier Ausführungsformen zur schnellen Analog-Digital-Umsetzung von Signalen beschrieben. Ausführungsformen können Logik wie Hardware und/oder Code zur schnellen Analog-Digital-Umsetzung eines Signals umfassen. Viele Ausführungsformen empfangen ein Analogsignal als Eingabe für einen Abtast-Empfänger. Der Abtast-Empfänger kann einen Analog-Digital-Umsetzer bzw. ADC mit Register der sukzessiven Approximation bzw. SAR implementieren, um die digitale Ausgabe zu erzeugen. Bei bestimmten Ausführungsformen kann der SAR-ADC asymmetrisch sein. Bei weiteren Ausführungsformen kann der SAR-ADC einen Differenz-Digital-Analog- bzw. DAC-Entwurf oder einen verschachtelten SAR-ADC-Entwurf implementieren.

[0011] Ausführungsformen können einen Komparator des SAR-ADC während eines Abtastmodus umbefragen, um eine digitale Komparatorausgabe zu erzeugen, die einen Vergleich der Ladung auf einer Kapazität des DAC mit einer Schwellenreferenzspannung repräsentiert. Bei vielen Ausführungsformen kann die Schwellenreferenzspannung die maximale Eingangsspannung sein, die an den Eingang des Komparators angelegt und zuverlässig linearen Betrieb des SAR-ADC aufrechterhalten kann.

[0012] Bei weiteren Ausführungsformen wird die digitale Komparatorausgabe an den Eingang von Logik zur automatischen Verstärkungsregelung bzw. AGC angelegt. Die AGC-Logik empfängt das digitale Komparatorsignal, das einen Abtastwert eines Abtastzyklus mit mehreren Abtastwerten repräsentiert, wodurch die AGC-Logik ein Verstärkungsregelsignal erzeugen kann, das sowohl auf gesamte zusammengesetzte Durchschnitts- als auch auf Spitzenamplituden anspricht. Dies erfolgt als Reaktion sowohl auf die gewünschte Signalamplitude als auch insbesondere sowohl auf Amplitude als auch Offsetfrequenz einer etwaigen unerwünschten „Blockierung“-Signalamplitude. Anders ausgedrückt, kann die AGC-Logik jeden Abtastpunkt während eines Abtastzyklus überwachen, so dass die AGC-Logik das Verstärkungsregelsignal auf der Anzahl genommener Abtastwerte sowie dem bestimmten Teil des Abtastzyklus basieren lassen kann. Bei vielen Ausführungsformen kann die AGC-Logik die Verstärkungsregelung erzeugen, um die verschiedenen Spitzen und Täler während jedes der Abtastwerte an verschiedenen Punkten des Abtastzyklus zu justieren.

[0013] Es können verschiedene Ausführungsformen entworfen werden, um mit verschiedenen techni-

schen Problemen umzugehen, die bei schnellen Analog-Digital-Umsetzungen auftreten. Zum Beispiel können viele Ausführungsformen dafür ausgelegt werden, mit der Amplitudendämpfung von Abtastwerten umzugehen, die sich aus Phasendifferenzen zwischen dem Eingangssignal und dem Abtasttakt ergeben, die sich als Zunahme der Offsetfrequenz des Eingangssignals mit Bezug auf den Abtasttakt sowie der Offsetfrequenz des Eingangssignals mit Bezug auf störende Signal(e) manifestieren. Diese technischen Probleme können sich als Spitzen und Täler in Abtastwerten während des Abtastzyklus, die HF-Filterkurve, die unerwünschte Kanäle mit einer vom Frequenzoffset abhängigen Rate dämpft, und dergleichen manifestieren.

[0014] Durch eine oder mehrere verschiedene Ausführungsformen können verschiedene technische Probleme, wie die oben besprochenen, behandelt werden. Zum Beispiel können bestimmte Ausführungsformen, die dafür ausgelegt sind, die Amplitudenschwankung während der mehreren Abtastwerte zu behandeln, dies durch ein oder mehrere verschiedene technische Mittel erreichen, wie etwa Erzeugung eines digitalen Komparatorsignals, das Amplituden- und Frequenzoffset für jeden Abtastwert angibt, und Erzeugung eines Verstärkungsregelsignals als Reaktion sowohl auf die gesamten zusammengesetzten Durchschnitts- als auch Spitzenamplituden der Abtastwerte während des Abtastzyklus.

[0015] Bestimmte Ausführungsformen können die Allgegenwärtigkeit von Netzwerken der Wireless Fidelity (Wi-Fi) nutzen, wodurch neue Anwendungen ermöglicht werden, die oft neben anderen einzigartigen Eigenschaften sehr geringen Stromverbrauch erfordern. Wi-Fi bezieht sich im Allgemeinen auf Einrichtungen, die IEEE 802.11-2007, den IEEE Standard for Information Technology – Telecommunications and Information Exchange between Systems – Local and Metropolitan Area Networks – Specific Requirements – Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications (<http://standards.ieee.org/getieee802/download/802.11-2007.pdf>) und andere diesbezügliche drahtlose Standards implementieren.

[0016] Mehrere Ausführungsformen umfassen Zugangspunkte (AP), Stationen (STA), Router, Switches, Server, Workstations, Netbooks, mobile Einrichtungen (Laptop, Smartphone, Tablet und dergleichen), drahtlose oder verdrahtete Empfänger, integrierte Abtast-Empfängerschaltungen, Systeme auf Chips (SOC), Chipkapselungen sowie Prüfgeräte, Instrumente, Überwachungsvorrichtungen und dergleichen.

[0017] Hier beschriebene Logik, Module, Einrichtungen und Schnittstellen können Funktionen ausführen, die in Hardware oder Hardware und Code imple-

mentiert werden können. Hardware und/oder Code können Software, Firmware, Mikrocode, Prozessoren, Automaten, Chipsätze oder Kombinationen davon umfassen, die dafür ausgelegt sind, die Funktionalität zu erzielen.

[0018] Bestimmte Ausführungsformen können drahtlose Kommunikation ermöglichen. Bestimmte Ausführungsformen können drahtlos Kommunikation wie Bluetooth®, drahtlose lokale Netzwerke (WLAN), drahtlose städtische Netzwerke (WMAN), drahtlose persönliche Netzwerke (WPAN), Zellulernetze, Kommunikation in Netzwerken, Nachrichtenübermittlungssysteme und Smart-Einrichtungen zur Ermöglichung von Interaktion zwischen solchen Einrichtungen umfassen. Ferner können bestimmte drahtlose Ausführungsformen eine einzige Antenne enthalten, während andere Ausführungsformen mehrere Antennen verwenden können. Zum Beispiel ist MIMO (mehrere Eingänge und mehrere Ausgänge) die Verwendung von Funkkanälen, die Signale über mehrere Antennen sowohl im Sender als auch im Empfänger führen, um die Kommunikationsleistungsfähigkeit zu verbessern.

[0019] Obwohl sich bestimmte der nachfolgend beschriebenen spezifischen Ausführungsformen auf die Ausführungsformen mit spezifischen Konfigurationen beziehen, ist für Fachleute erkennbar, dass Ausführungsformen der vorliegenden Offenbarung vorteilhafterweise mit anderen Konfigurationen mit ähnlichen Herausforderungen oder Problemen implementiert werden können.

[0020] Nunmehr mit Bezug auf **Fig. 1** ist eine Ausführungsform eines Kommunikationssystems **1000** gezeigt. Das Kommunikationssystem **1000** umfasst eine Kommunikationseinrichtung **1010**, die verdrahtet und/oder drahtlos mit einem Netzwerk **1005** verbunden sein kann. Die Kommunikationseinrichtung **1010** kann über das Netzwerk **1005** mit mehreren Kommunikationseinrichtungen **1030**, **1050** und **1055** kommunizieren. Die Kommunikationseinrichtung **1010** kann z. B. einen Wi-Fi-Router oder einen drahtlosen Empfänger für ein Fernsehsignal umfassen. Die Kommunikationseinrichtung **1030** kann eine Kommunikationseinrichtung wie etwa einen Router umfassen, um die drahtlose Kommunikation zu/von den Kommunikationseinrichtungen **1050** und **1055** und von/zu der Kommunikationseinrichtung **1010** zu erfassen und weiter zu senden. Die Kommunikationseinrichtungen **1050** und **1055** können Sensoren, Stationen, Zugangspunkte, Hubs, Switches, Router, Computer, Laptops, Netbooks, Mobiltelefone, Smartphones, PDA (Personal Digital Assistants) oder andere netzwerkfähige Einrichtungen umfassen.

[0021] Bei anderen Ausführungsformen können die Kommunikationseinrichtungen **1010** und **1030** Prüfgeräte in einer Herstellungsanlage oder für diese

zum Prüfen von ultraschneller Kommunikation repräsentieren. Zum Beispiel kann die Kommunikationseinrichtung **1010** einen schnellen Analog-Digital-Umsetzer bzw. ADC **1025** mit Register der sukzessiven Approximation bzw. SAR in einem Empfänger eines Senders/Empfängers **1020** umfassen, um analoge Übertragungen von der Kommunikationseinrichtung **1030** umzusetzen. Die Kommunikationseinrichtung **1030** kann auch einen schnellen SAR-ADC **1045** als Teil eines Empfängers/Senders **1040** umfassen, um schnelle Kommunikation von der Kommunikationseinrichtung **1010** zu empfangen.

[0022] Die Kommunikationseinrichtung **1010** kann damit beginnen, über das Netzwerk **1005** entweder verdrahtet oder drahtlos oder als Alternative durch eine direkte verdrahtete Verbindung zwischen RX/TX **1040** und RX/TX **1020** eine Übermittlung von der Kommunikationseinrichtung **1030** zu empfangen. Der schnelle SAR-ADC **1025** kann in oder nahe bei dem Frontend des Empfängers des RX/TX **1020** angeordnet sein. Bei bestimmten Ausführungsformen kann der schnelle SAR-ADC **1025** ein asymmetrischer Einzel-SAR-DAC sein, der mit einer sehr hohen Taktfrequenz für die Kommunikation von der Kommunikationseinrichtung **1030** arbeitet. Bei vielen Ausführungsformen ist die Umsetzungsrate des schnellen SAR-ADC **1025** eine subharmonische der Trägerfrequenz, wobei das subharmonische Verhältnis mit der Anzahl der Eingangsabtastwerte, die der SAR-ADC bei jeder Umsetzung verarbeitet, zusammenhängen kann.

[0023] Bei vielen Ausführungsformen können mehr als ein SAR-ADC zeitlich verschachtelt sein und können einen Datenkombinierer umfassen, um die Ausgaben jedes der einzelnen SAR-ADC, die parallel arbeiten, zu verschachteln. Bei bestimmten Ausführungsformen kann der schnelle SAR-ADC **1025** einen oder mehrere parallel arbeitende Differenz-SAR-ADC umfassen, um das Analogsignal der Kommunikation in ein Digitalsignal umzusetzen.

[0024] Der schnelle SAR-ADC **1025** kann das Analogsignal als Eingangssignal empfangen. Während des Prozesses der Umsetzung kann ein Digital-Analog-Umsetzer bzw. DAC mit Ladungsumverteilung bzw. CR des schnellen SAR-ADC **1025** in Kapazität des CR-DAC eine Ladung speichern, die der Spannungsamplitude eines Abtastwerts (oder von Abtastwerten) des Eingangssignals äquivalent ist. Ein mit dem CR-DRC gekoppelter Komparator kann die Spannung der in der Kapazität gespeicherten Ladung mit einer Schwellenreferenzspannung, der Abtastmodus-Referenzspannung, für den Komparator vergleichen, um zu bestimmen, ob die Spannung der in Kapazität gespeicherten Ladung kleiner oder größer als die Abtastmodus-Referenzspannung für den Komparator ist. Wenn die Spannung der in der Kapazität gespeicherten Ladung kleiner als die Abtast-

modus-Referenzspannung ist, kann der Komparator ein digitales Komparatorsignal, wie etwa eine logische Null, ausgeben, um zu repräsentieren, dass die Amplitude des Eingangssignals kleiner als die Maximalamplitude für das Eingangssignal ist. Bei vielen Ausführungsformen kann die Abtastmodus-Referenzspannung die Maximalspannung für eine in der Kapazität gespeicherte Ladung sein, die es dem schnellen SAR-ADC **1025** erlaubt, im linearen Betrieb zu bleiben.

[0025] Wenn dagegen die Spannung der in der Kapazität gespeicherten Ladung größer als die Abtastmodus-Referenzspannung ist, kann der Komparator ein digitales Komparatorsignal, wie etwa eine logische Eins, ausgeben, um zu repräsentieren, dass die Amplitude des Eingangssignals größer als die Maximalamplitude für das Eingangssignal ist.

[0026] Eine Logik für automatische Verstärkungsregelung bzw. AGC kann die digitale Komparatorausgabe empfangen und auf der Basis des durch das Signal repräsentierten Abtastwerts sowie zusätzlicher Informationen, die aus digitalen Komparatorsignalen von mehreren Abtastwerten bestimmt werden können, ein Verstärkungsregelsignal erzeugen.

[0027] Als Ergebnis der Verwendung der Ladung aus dem CR-DAC in einem Vergleich mit der optimalen Amplitude für die Eingabe des Komparators, der Akkumulation digitaler Darstellungen mehrerer Abtastwerte mit der bekannten Anzahl von Abtastwerten in einem Abtastzyklus, kann die AGC-Logik insbesondere die Anzahl der in einem Abtastzyklus genommenen Abtastwerte, die Offsetamplituden unerwünschter Signale in dem zusammengesetzten Spektrum, die Spitzenamplituden innerhalb der Abtastwerte des Abtastzyklus und die zusammengesetzten Durchschnittsamplituden über die Abtastwerte und den Abtastzyklus hinweg bestimmen.

[0028] Nachdem der schnelle SAR-ADC **1025** die Übermittlung oder einen Teil davon umsetzt, kann das Signal decodiert werden. Nach dem Decodieren der Übermittlung kann die Kommunikationseinrichtung eine Kommunikationslogik **1018** einer höheren Schicht umfassen, um die Übermittlung aus der Kommunikationseinrichtung **1030** unter Verwendung von im Speicher der Kommunikationseinrichtung **1010** gespeicherten Kommunikationsprotokollen **1012** zu interpretieren.

[0029] Bei der vorliegenden Ausführungsform kann die Kommunikationseinrichtung **1030** ähnliche Hardware, darunter eine Kommunikationslogik **1038**, die die Kommunikationsprotokolle **1032** im Speicher **1031** implementiert, aufweisen, um die Übermittlungen zur Übertragung zu erzeugen und empfangene Übermittlungen zu interpretieren. Der Speicher **1011** und **1031** kann ein Speichermedium wie dynamisch

schen Direktzugriffsspeicher (DRAM), Nurlesespeicher (ROM), Puffer, Register, Cache, Flash-Speicher, Festplattenlaufwerke, Halbleiterlaufwerke oder dergleichen umfassen. Der Speicher **1011** und **1031** kann das eine oder die mehreren Kommunikationsprotokolle, Paketstrukturen, Rahmen, wie etwa die Verwaltungs-, Steuerungs- und Datenrahmen und/oder die Rahmenstrukturen, darunter Felder und/oder dergleichen speichern. Bei bestimmten Ausführungsformen kann der Speicher **1011** und **1031** die Rahmen speichern, die Felder auf der Basis der Struktur der in IEE 802.11 identifizierten Standard-Rahmenstrukturen umfassen.

[0030] Bei weiteren Ausführungsformen kann die Kommunikationseinrichtung **1010** Daten-Offloading ermöglichen. Zum Beispiel können Kommunikationseinrichtungen, die Low-Power-Sensoren sind, ein Daten-Offloading-Schema umfassen, um z. B. über Wi-Fi, eine andere Kommunikationseinrichtung, ein Zellulernetz oder dergleichen zu kommunizieren, um den Stromverbrauch zu verringern, der beim Warten auf Zugang z. B. zu einer Zählstation und/oder erhöhte Verfügbarkeit von Bandbreite verbraucht wird. Kommunikationseinrichtungen, die Daten von Sensoren wie Zählstationen empfangen, können ein Daten-Offloading-Schema umfassen, um z. B. über Wi-Fi, eine andere Kommunikationseinrichtung, ein Zellulernetz oder dergleichen zu kommunizieren, um Stau des Netzwerks **1005** zu verringern.

[0031] Das Netzwerk **1005** kann eine Verbindung einer Anzahl von Netzwerken repräsentieren. Zum Beispiel kann das Netzwerk **1005** mit einem großflächigen Netzwerk wie dem Internet oder einem Intranet gekoppelt sein und kann über einen oder mehrere Hubs, Router oder Switches verdrahtete oder drahtlos verbundene lokale Einrichtungen verbinden. Bei der vorliegenden Ausführungsform koppelt das Netzwerk **1005** kommunikativ die Kommunikationseinrichtungen **1010**, **1030**, **1050** und **1055**.

[0032] Fig. 1 kann eine Anzahl verschiedener Ausführungsformen abbilden, darunter ein MIMO-System (mehrere Eingänge, mehrere Ausgänge) mit z. B. vier räumlichen Strömen, und kann degenerierte Systeme abbilden, bei denen eine oder mehrere der Kommunikationseinrichtungen **1010**, **1030**, **1050** und **1055** einen Empfänger und/oder einen Sender mit einer einzigen Antenne umfassen, darunter ein SISO-System (ein Eingang, ein Ausgang), ein SIMO-System (ein Eingang, mehrere Ausgänge) und ein MISO-System (mehrere Eingänge, ein Ausgang).

[0033] Fig. 1A zeigt eine Ausführungsform eines schnellen SAR-ADC **1100** für den in Fig. 1 dargestellten schnellen SAR-ADC **1025** und **1045**. Es wurden viele Ausführungsformen entwickelt, um Implementierung von sehr schnellen ADC zu ermöglichen, die zum Beispiel in Kommunikationssystemen erfor-

derlich sind. Mehrere Ausführungsformen können besonders für große Kanalbandbreiten vorteilhaft sein, so wie sie zum Beispiel bei hochauflösenden Video- und Audioübertragungen angewandt werden.

[0034] Der schnelle SAR-ADC **1100** kann in zwei Modi arbeiten, einem Abtastmodus und einem Umsetzungsmodus. Und der schnelle SAR-ADC **1100** kann auf der Basis der Frequenz des Abtasttakts **1120** und der Anzahl der während des Abtastmodus gemittelten Abtastwerte zwischen den beiden Betriebsmodi umschalten. Moduslogik **1123** empfängt den Abtasttakt **1120** als Eingabe und koordiniert das Timing von Zyklen zwischen den zwei Betriebsmodi. Zum Beispiel können im Abtastmodus zwei oder mehr Abtastwerte über den Schalter **1115** genommen werden, und im Umsetzungsmodus kann die gespeicherte Ladung/Spannung in ein digitales Wort umgesetzt werden. Dies würde normalerweise über zwei oder mehr Zyklen des Abtasttakts stattfinden.

[0035] Beim Übergang von dem vorherigen Umsetzungs-Betriebsmodus zu dem Abtastbetriebsmodus kann die Auswahllogik **1120** den Zustand des Schalters **1115**, ändern, um das Eingangssignal **1105** an eine Kapazität **1162** anzulegen, die ganz oder teilweise die Kapazität in dem Digital-Analog-Umsetzer mit Ladungsumverteilung bzw. CR-DAC **1160** und nicht die externe Kapazität parallel mit der internen Kapazität des CR-DAC **1160** sein kann. Der Klarheit der vorliegenden Besprechung halber können sich die interne Kapazität **1162** des DAC oder die Kapazität des DAC entweder auf die gesamte interne Kapazität des CR-DAC **1160** oder einen Teil davon beziehen, die bei der Umsetzung mit sukzessiver Approximation teilnimmt, und die „externe Kapazität“ kann sich auf die externe Kapazität beziehen, die verwendet werden kann, um die interne Kapazität **1162** des CR-DAC **1160** zu ergänzen. Außerdem kann beim Übergang von dem vorherigen Umsetzungs-Betriebsmodus die Auswahllogik **1120** Zustände wechseln, um die Abtastmodus-Referenzspannung **1122** an den Eingang **1142** des Komparators **1140** anzulegen.

[0036] Während des Abtastmodus tastet der schnelle SAR-ADC **1100** eine Ladung proportional zu dem Eingangssignal **1105** aus dem Eingangssignal über die GM-Stufe **1110** und den Schalter **1115** ab. Insbesondere kann die GM-Stufe **1110** die Spannung des Eingangssignals **1105** in einen Strom umsetzen, und der Strom kann durch den Schalter **1115** in eine Kapazität **1162** des CR-DAC **1160** fließen, der Ladungen in den Kondensatoren einer inneren Kondensatorbank des CR-DAC **1160** speichern kann. Die Kondensatoren erhalten Ladungen in Bezug auf ihre Kapazität.

[0037] Die durch die Ladung auf der Kapazität **1162** des CR-DAC **1160** erzeugte Spannung kann auch während der Abtastphase mit dem Eingang **1141**

des Komparators **1140** gekoppelt werden. Der Komparator **1140** kann die Abtastmodus-Referenzspannung mit der durch die Ladung auf der Kapazität **1162** des CRC-DAC **1160** erzeugten Spannung vergleichen. Vergleich der Abtastmodus-Referenzspannung mit der durch die Ladung auf der Kapazität **1162** erzeugten Spannung kann bestimmen, ob die Amplitude des Abtastwerts der Eingangsspannung kleiner als die maximal ausgelegte oder festgelegte Eingangsspannung oder größer als die maximal ausgelegte Eingangsspannung für linearen Betrieb ist. Bei Situationen, in denen durch die Ladung auf der Kapazität **1162** des CRC-DAC **1160** erzeugte Spannung kleiner als die maximal ausgelegte Eingangsspannung ist, kann der Komparator **1140** ein digitales Komparatorsignal ausgeben, das die niedrige Spannung am Eingang des SAR-ADC **1100** angibt. Wenn dagegen die durch die Ladung auf der Kapazität **1162** erzeugte Spannung höher als die maximal ausgelegte Eingangsspannung ist, kann der Komparator **1140** ein digitales Komparatorsignal ausgeben, das die hohe Spannung am Eingang des SAR-ADC **1100** angibt.

[0038] Bei vielen Ausführungsformen wird der Ausgang des Komparators **1145** mit einem Eingang **1181** der automatischen Verstärkungsregellogik **1180** gekoppelt. Die automatische Verstärkungsregellogik **1180** kann das geringe Overhead ausnutzen, das erforderlich ist, um ein digitales Signal wie das digitale Komparatorsignal zu benutzen, um ein Verstärkungsregelsignal **1185** zu bestimmen, wodurch die AGC-Logik **1180** bei bestimmten Ausführungsformen volle digitale parametrische Kontrolle über die AGC-Kenngrößen besitzen kann. Bei der vorliegenden Ausführungsform gibt die AGC-Logik **1180** das Verstärkungsregelsignal **1185** als Reaktion auf das digitale Komparatorsignal sowie die gesamte zusammengesetzte Amplitude der in den Komparator **1140** eingegebenen Spannungsamplitude über wiederholte Abtastung hinweg aus.

[0039] Beim nächsten Taktzyklus aus der Moduslogik **1122**, der die Betriebsmodus-Änderung des schnellen SAR-ADC **1100** von dem Abtastmodus zum Umsetzungsmodus abgrenzt, wechselt der Schalter **1115** Zustände, was das Leiten von Abtastwerten der Ladung zu der Kapazität **1162** des CRC-DAC **1160** stoppt, und bei bestimmten Ausführungsformen wird, wenn sich Zustände ändern, der Ausgang des Schalters **1115** von der Kapazität **1162** des CR-DAC **1160** isoliert. Bei der Änderung von Zuständen wechselt die Auswahllogik **1120** Zustände, um die mit dem Eingang **1142** des Komparators **1140** zu koppelnde Umsetzungsmodus-Referenzspannung **1124** auszuwählen. Die Umsetzungsmodus-Referenzspannung kann z. B. die Hälfte der Spannung der Amplitude des Eingangssignals **1105** betragen, und der Komparator **1140** kann ein digitales Komparatorsignal **1145** ausgeben, das ei-

ne logische Eins umfasst, wenn die Ladung auf einem inneren Kondensator des CR-DAC **1160** größer als die Spannung der Umsetzungsmodus-Referenzspannung **1124** ist, oder eine logische Null umfasst, wenn die Ladung auf dem Kondensator kleiner als die Spannung der Umsetzungsmodus-Referenzspannung **1124** ist. Bei vielen Ausführungsformen umfasst die Umsetzungsmodus-Referenzspannung eine Schwellenspannung für Bitentscheidungen.

[0040] Kondensatoren der internen Kondensatorbank des CR-DAC **1160** werden so geschaltet, dass die Ladung auf bestimmten oder allen Kondensatoren am Eingang **1141** des Komparators angelegt wird, wodurch eine Komparatoreingangsspannung gleich einem Negativen der Spannung des abgetasteten Eingangssignals ($-V_{in}$) erzeugt wird. Man beachte, dass der Ladungsfluss in die Kapazität **1162** von dem Schalter **1115** Fluss in bestimmte oder alle der internen Kondensatorbank in dem CR-DAC **1160** umfassen kann und auch Fluss in die externe Kapazität parallel zu der internen Kapazität umfassen kann. Im ersteren Fall können die unbenutzten Elemente der Kondensatorbank vor der Umsetzung mit den benutzten Elementen kurzgeschlossen werden. Im letzteren Fall kann die externe Kapazität vor der Umsetzung von der Kondensatorbank isoliert werden. Zusätzlich kann externe Kapazität nach Isolation und vor dem Rückschalten parallel mit der Kondensatorbank für den nächsten Abtastzyklus kurzgeschlossen werden oder auch nicht.

[0041] Dann schreitet der tatsächliche Umsetzungsprozess voran. Zuerst wird der innere Kondensator für das höchstwertige Bit (MSB) des CR-DAC **1160** auf V_{ref} **1165** geschaltet, was dem Endbereich des SAR-ADC **1100** entspricht. Aufgrund von binärer Gewichtung der Kondensatorbank bildet der MSB-Kondensator ein 1:1 zwischen ihm und dem Rest des Arrays geteilt. Somit beträgt die Eingangsspannung des Komparators $-V_{in}$ plus $V_{ref}/2$. Wenn danach V_{in} größer als $V_{ref}/2$ ist, gibt der Komparator **1140** eine logische Eins als das MSB aus und gibt andernfalls eine logische Null als das MSB aus. Jeder Kondensator, der Ladung aus der GM-Stufe **1110** in der Kondensatorbank des CR-DAC **1160** speichert, wird auf dieselbe Weise geprüft, bis die Eingangsspannung des Komparators **1140** auf eine Offsetspannung konvergiert, oder zumindest so nah wie möglich, angesichts der Auflösung des CR-DAC **1160**. Die Offsetspannung ist die anfängliche Ladung, die vor dem Abtasten des Eingangssignals **1105** auf die Kondensatoren der Kondensatorbank gelegt wird.

[0042] Fig. 1B zeigt eine Ausführungsform eines schnellen verschachtelten SAR-ADC **1200** mit AGC-Rückkopplung für die in Fig. 1 dargestellten schnellen SAR-ADC **1025** und **1045**. Der schnelle verschachtelte SAR-ADC **1200** veranschaulicht schnelle SAR-

ADC **1220** und **1230**, die jeweils ähnliche Merkmale wie die in dem SAR-ADC **1100** in **Fig. 1A** und/oder die in **Fig. 1C** dargestellten umfassen. Die Abbildung zweier paralleler SAR-ADC **1220** und **1230** dient zur Veranschaulichung. Verschachtelte Ausführungsformen können eine beliebige Anzahl von zwei oder mehr zeitverschachtelten SAR-ADC aufweisen, wie etwa die SAR-ADC **1220** und **1230**.

[0043] Bei der vorliegenden Ausführungsform wird das Eingangssignal **1205** in zwei oder mehr parallele Pfade, eingegeben in mehrere Schalter **1210** und **1215**, aufgeteilt, die jeweils mit einem SAR-ADC (**1220** bzw. **1230**) assoziiert sind. Die Schalter **1210** und **1215** können durch Timing-Logik **1207** gesteuert werden, um die Eingangssignale effektiv auf die schnellen SAR-ADC **1220** und **1230** zu multiplexen. Der Abtasttakt **1206** führt der Timing-Logik **1207** eine Referenzfrequenz zu, um die Betriebsmodi der schnellen SAR-ADC **1220** und **1230** zu ändern, und der Datenkombinierer **1240** an den Ausgängen der schnellen SAR-ADC **1220** und **1230** rekombiniert die Ausgangssignale, um ein verschachteltes Ausgangssignal zu erzeugen. Bei anderen Ausführungsformen kann Zeitmultiplexen am Ausgang der schnellen SAR-ADC **1220** und **1230** oder in den schnellen SAR-ADC **1220** und **1230** auftreten. Weitere Ausführungsformen können andere Mittel zum Multiplexen verwenden.

[0044] **Fig. 1C** zeigt eine Ausführungsform eines schnellen Differenz-SAR-ADC **1300** mit AGC-Rückkopplung für die in **Fig. 1** dargestellten schnellen SAR-ADC **1025** und **1045**. Der schnelle Differenz-SAR-ADC **1300** veranschaulicht einen schnellen SAR-ADC, der ähnliche Merkmale wie die in dem SAR-ADC **1100** von **Fig. 1A** umfasst. Zu den Unterschieden gehört, dass der Differenz-DAC **1310** den positiven CR-DAC-Ausgang und den negativen CR-CAC-Ausgang umfasst. Zu den Unterschieden gehört außerdem der DIFF/2 **1320** zwischen den Differenz-CR-DRC-Ausgängen und dem Eingang des Komparators. Der DIFF/2 **1320** bestimmt eine Spannung, die die Hälfte der Differenz zwischen den Spannungen der positiven und negativen Ladungen auf der Kapazität des CR-DAC beträgt, und legt diese zum Vergleich mit der Umsetzungsmodusspannung an den Eingang des Komparators an.

[0045] Alternative Ausführungsformen können einen Differenzkomparator umfassen, um die Spannung der negativen Ladung mit einer negativen Referenz zu vergleichen und die Spannung der positiven Ladung mit einer positiven Spannungsreferenz. Im Umsetzungsmodus kann somit die Auswahllogik eine Negativ-Umsetzungsmodus-Referenzspannung und eine Positiv-Umsetzungsmodus-Referenzspannung an einen negativen bzw. positiven Referenzeingang des Komparators anlegen. Während des Abtastmodus kann die Auswahllogik eine nega-

tive Abtastmodus-Referenzspannung und eine positive Abtastmodus-Referenzspannung an einen negativen bzw. positiven Referenzeingang des Komparators anlegen. Viele Ausführungsformen werden in verschiedenen anderen Differenzanordnungen implementiert.

[0046] **Fig. 1D** zeigt eine Ausführungsform eines Graphen **1400**, der die Amplituden von Abtastwerten von Spannungen aus einer Kapazität eines Digital-Analog-Umsetzers mit Ladungsumverteilung durch vier Abtastperioden darstellt, um das Problem mit Spitzenmomentanleistung zu veranschaulichen, das die AGC-Logik bei der Erzeugung des Verstärkungsregelsignals auf der Basis der digitalen Komparatorsignale für jeden Ladungsabtastwert während der Abtastperiode behandelt. Der Graph **1400** vergleicht die Amplitude eines FIR-HF-Filters (Finite Impulse Response) mit vier Abgriffen (vier Abtastwerten) mit der entsprechenden relativen Spitzenamplitude nach sukzessiven Ladungsabtastperioden. Die x-Achse ist das normierte Frequenzoffset von dem Träger bei 1 Bogenmaß/s, und die Eingangsamplitude ist konstant mit Offset normiert am Ausgang der Filterantwort.

[0047] Bei kleinen Frequenzoffsets zur Mitte des Filterdurchgangsbands nimmt die Amplitude mit der Anzahl der Abtastwerte zu, da die Ladungsabtastwerte effektiv korreliert sind und einen ähnlichen Betrag aufweisen (da die Abtastfrequenz viel höher als das Frequenzoffset ist). Mit zunehmendem Frequenzoffset werden die Abtastwerte ein signifikanter Anteil, und deshalb beginnen sukzessive Abtastwerte, sich gegenseitig aufzuheben, da ein einziger Abtastwert eine kleinere Amplitude als die Summe von zwei oder drei Abtastwerten aufweisen kann, wie zum Beispiel bei einer Offsetfrequenz von 0,225 Bogenmaß/s **1415**, einer Offsetfrequenz von 0,4 Bogenmaß/s **1420**, einer Offsetfrequenz von 0,7 Bogenmaß/s **1430** und einer Offsetfrequenz von 0,8 Bogenmaß/s **1435** zu sehen ist.

[0048] Die Momentanamplitude während der Abtastperiode variiert abtastwertweise, und ferner variiert der der größten Spitzenamplitude entsprechende Abtastzählwert nach Frequenzoffset, und dass die relative Amplitude nach Frequenzoffset variiert. Siehe zum Beispiel die Spitzen bei 0,0 Bogenmaß/s **1410**, 0,5 Bogenmaß/s **1425** und 0,8 Bogenmaß/s **1435**.

[0049] Die digitale Verstärkungsregelschleife, die die Umbeauftragung des Komparators während des Abtastmodus umfasst, um eine digitale Komparatorsignalarückkopplung zu erzeugen, und die Aufnahme der AGC-Logik zur Erzeugung des Verstärkungsregelsignals als Rückkopplung durch Überwachen der Komparatorausgabe können wirken, um die Verstärkung so zu setzen, dass die Referenz- und Spitzenamplitude im Wesentlichen gleich sind. Somit kann die AGC-Logik ein Verstärkungsregelsignal erzeugen.

gen, das die Momentan-Täler, auch wie etwa die Täler **1440**, **1445**, **1450** und **1455** und auch die Spitzen **1410**, **1415**, **1425**, **1430** und **1435** kompensiert. Bewusstsein über die Anwesenheit der Momentan-Spitzen während der Abtastperiode kann es der AGC-Logik erlauben, ein Verstärkungsregelsignal zu erzeugen, das dabei helfen würde, Sättigung zu vermeiden, und daher helfen würde, Verzerrungen aufgrund der Momentanamplitude zu vermeiden.

[0050] Fig. 2 zeigt eine Ausführungsform einer Vorrichtung zum Erzeugen, Übermitteln, Senden, Empfangen, Übermitteln und Interpretieren eines Rahmens mit schneller Analog-Digital-Umsetzung von Signalen. Die Vorrichtung umfasst einen Transceiver **200**. Der Transceiver **200** umfasst einen Empfänger **204** und einen Sender **206**. Der Sender **206** kann einen oder mehrere eines Codierers **208**, eines Modulators **210**, eines OFDM **212** und eines DAC **215** umfassen. Der Codierer **208** des Senders **206** empfängt und codiert Daten, die für Übertragung z. B. von einer MAC-Subschicht mit z. B. binärer Faltungscodierung (BCC), LDPC (Low Density Parity Check Coding) und/oder dergleichen bestimmt sind. Der Modulator **210** kann Daten aus dem Codierer **208** empfangen und die empfangenen Datenblöcke einem Sinus einer gewählten Frequenz auferlegen, indem z. B. die Datenblöcke auf eine entsprechende Menge von diskreten Amplituden des Sinus oder eine Menge von diskreten Phasen des Sinus oder eine Menge diskreter Frequenzverschiebungen relativ zu der Frequenz des Sinus abgebildet werden. Das Ausgangssignal des Modulators **210** wird einem Orthogonal-Frequenzmultiplexer bzw. OFDM **212** zugeführt, der die modulierten Daten aus dem Modulator **210** mehreren orthogonalen Subträgern auferlegt.

[0051] Der OFDM **212** kann digitale Daten auf mehreren Trägerfrequenzen codieren. OFDM ist ein Frequenzmultiplex-Schema, das als digitales Mehrträgermodulationsverfahren verwendet wird. Es wird eine große Anzahl dicht beabstandeter orthogonaler Subträgersignale zum Führen von Daten verwendet. Die Daten werden in mehrere parallele Datenströme oder Kanäle (einen für jeden Subträger) aufgeteilt. Jeder Subträger wird mit einem Modulationsschema mit einer niedrigen Symbolrate moduliert, wobei Gesamtdatenraten ähnlich wie bei herkömmlichen Einzelträger-Modulationsmethoden in derselben Bandbreite aufrechterhalten werden.

[0052] Der DAC **215** kann einen Datenstrom von dem OFDM **212** empfangen und den Datenstrom zur Übertragung über das Antennenarray **218** in ein Analogsignal umsetzen. Der Transceiver **200** kann auch mit der Antenne **218** verbundene Diplexer **216** umfassen. Somit wird bei dieser Ausführungsform eine einzige Antenne sowohl zum Senden als auch zum Empfangen verwendet. Beim Senden durchläuft das Signal die Diplexer **216** und steuert die Antenne

mit dem aufwärts umgesetzten informationstragenden Signal an. Während des Sendens verhindern die Diplexer **216**, dass die zu sendenden Signale in den Empfänger **204** eintreten. Beim Empfangen durchlaufen durch die Antenne empfangene informationstragende Signale die Diplexer **216**, um das Signal aus dem Antennenarray an den Empfänger **204** abzuliefern. Die Diplexer **216** verhindern dann, dass die empfangenen Signale in den Sender **206** eintreten. Somit wirken die Diplexer **216** als Schalter zum abwechselnden Verbinden der Antenne mit dem Empfänger **204** und dem Sender **206**.

[0053] Die Antenne **218** strahlt die informationstragenden Signale in eine zeitlich veränderliche räumliche Verteilung elektromagnetischer Energie ab, die von einer Antenne eines Empfängers empfangen werden kann. Der Empfänger kann die Informationen des empfangenen Signals dann extrahieren.

[0054] Der Transceiver **200** kann einen Empfänger **204** für Empfang, Analog-Digital-Umsetzung, Demodulation und Decodierung von informationstragenden Signalen umfassen. Der Empfänger **204** kann einen oder mehrere eines schnellen SAR-ADC **219**, eines DBF **220**, eines OFDM **222**, eines Demodulators **224** und eines Decoders **226** umfassen. Die empfangenen Signale werden aus den Antennenelementen **218** zugeführt, im SAR-ADC **219** von Analog in Digital umgesetzt. Zum Beispiel kann der SAR-ADC **219** das analoge Eingangssignal empfangen und das analoge Eingangssignal kann geschaltet werden, um zwischen Abtastmodi für eine Kapazität des CR-DAC und Umsetzungsmodi des CR-DAC abzuwechseln. Bei vielen Ausführungsformen kann die Kondensatorbank des CR-DAC während der Abtastzyklen die Spannungseingabe des Eingangssignals als einen Strom empfangen, um die Energie des Eingangssignals in der Kapazität des CR-DAC zu speichern. Während des Umsetzungsmodus wird die Spannung der Ladung der Kapazität des CR-DAC, die ein negatives der Eingangsladung sein kann, an den Eingang eines Komparators angelegt. Und eine SAR-Logik (Register sukzessiver Approximation) kann mit der Umsetzung beginnen.

[0055] Während des Abtastmodus wird die Spannung der Ladung auf der Kapazität des CR-DAC, die der Spannungsamplitude des Eingangssignals äquivalent sein kann, mit einer Abtastmodus-Referenzspannung verglichen, die effektiv die Spannung des Eingangssignals oder einer dazu proportionalen Spannung mit der Maximalspannung vergleicht, bei der der Komparator dafür ausgelegt ist, das Eingangssignal oder eine Spannung zu empfangen, bei dem bzw. bei der der SAR-ADC effizient arbeiten würde, um die Analog-Digital-Umsetzung durchzuführen.

[0056] Der Komparator gibt dann ein digitales Komparatorsignal aus, das angibt, ob die Spannung des Eingangssignals über oder unter der Abtastmodus-Referenzspannung liegt. Und AGC-Logik überwacht das digitale Komparatorsignal, um ein Verstärkungssignalsignal zu erzeugen, das sowohl auf die gesamten zusammengesetzten Durchschnitts- als auch Spitzenamplituden der Spannung des Eingangssignals reagiert.

[0057] Der OFDM **222** extrahiert Signalinformationen aus den mehreren Subträgern, worauf informationstragende Signale moduliert sind. Der Demodulator **224** demoduliert das empfangene Signal, wobei Informationsinhalt aus dem empfangenen Signal extrahiert wird, um ein undemoduliertes Informationssignal zu produzieren. Und der Decoder **226** decodiert die empfangenen Daten aus dem Demodulator **224** und sendet die decodierten Informationen (die MP-DU) zu der MAC-Subschichtlogik **201**.

[0058] Für Fachleute ist erkennbar, dass ein Transceiver zahlreiche in **Fig. 2** nicht gezeigte zusätzliche Funktionen umfassen kann und der Empfänger **204** und der Sender **206** verschiedene Einrichtungen sein können, statt als ein Transceiver gekapselt zu werden. Zum Beispiel können Ausführungsformen eines Transceivers einen dynamischen Direktzugriffsspeicher (DRAM), einen Referenzoszillator, Filterschaltkreise, Synchronisationsschaltkreise, einen Verschachteler und einen Entschachteler, möglicherweise mehrere Frequenzumsetzungsstufen und mehrere Verstärkungsstufen usw. umfassen. Ferner können bestimmte der in **Fig. 2** gezeigten Funktionen integriert sein. Zum Beispiel kann digitale Strahlformung mit Orthogonal-Frequenzmultiplexen integriert werden. Bei bestimmten Ausführungsformen kann der Transceiver **200** zum Beispiel einen oder mehrere Prozessoren und Speicher mit Code zum Ausführen von Funktionen des Senders **206** und/oder Empfängers **204** umfassen.

[0059] **Fig. 3** zeigt eine Ausführungsform eines Flussdiagramms **300** zur schnellen Analog-Digital-Umsetzung von Signalen, wie etwa einem der in Verbindung mit **Fig. 1–Fig. 2** beschriebenen schnellen SAR-ADC. Das Flussdiagramm **300** beginnt mit dem Wechseln vom Umsetzungsmodus zu einem Abtastmodus, wobei ein Eingangssignal für die Dauer des Abtastmodus mit einer Kapazität eines DAC gekoppelt wird, um die Kondensatorbank aufzuladen (Element **305**). Bei vielen Ausführungsformen kann das Koppeln des Eingangssignals mit der Kapazität das Koppeln einer GM-Stufe mit der Kapazität umfassen, um die Spannung des Eingangssignals an der GM-Stufe in einen Strom umzusetzen, so dass die Ladung in die Kapazität fließen kann.

[0060] Viele Ausführungsformen koppeln durch eine Auswahllogik einen Eingang eines Komparators

für eine Dauer des Abtastmodus mit einer Abtastmodus-Referenzspannung, wobei die Abtastmodus-Referenzspannung eine Schwellenspannung für die Spannung auf der Ladung auf der Kapazität am Eingang des Komparators umfasst (Element **310**). Bei bestimmten Ausführungsformen umfasst das Koppeln das Schalten des Referenzspannungseingangs des Komparators in einem asymmetrischen Analog-Digital-Umsetzer mit Register der sukzessiven Approximation. Bei bestimmten Ausführungsformen umfasst das Koppeln das Schalten des Referenzspannungseingangs des Komparators vom Ausgang eines der Differenz-DAC in einem Differenz-Analog-Digital-Umsetzer mit Register der sukzessiven Approximation. Bei weiteren Ausführungsformen umfasst das Koppeln das Schalten des Referenzspannungseingangs des Komparators von der Umsetzungsmodus-Referenzspannung in einem verschachtelten Analog-Digital-Umsetzer mit Register der sukzessiven Approximation.

[0061] Nach dem Koppeln der Referenzspannung mit dem Komparator können viele Ausführungsformen Folgendes umfassen: Vergleichen der Spannung der Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung während des Abtastmodus, um zu bestimmen, ob die Spannung der Ladung größer oder kleiner als die Schwellenspannung ist (Element **315**). Bei bestimmten Ausführungsformen kann die Schwellenspannung die Maximalspannung sein, die für Eingabe in den Komparator für linearen Betrieb des SAR-ADC akzeptabel ist. Bei solchen Ausführungsformen erleichtert die Ladung auf dem Kondensator effektiv den Vergleich der Momentan-Eingangsspannung mit einer Eingangsspannung, für die der Komparator ausgelegt wurde, so dass der Komparator detektieren kann, ob die auf das Eingangssignal angewandte Verstärkung an diesem Abtastpunkt ausreichend ist oder ob die Verstärkung an diesem Abtastpunkt zu groß ist, wodurch verursacht wird, dass die Eingangsspannung die Nenneneingangsspannung für den Komparator übersteigt.

[0062] Nach dem Vergleichen der Ladung mit der Abtastmodus-Referenzspannung kann der Komparator während des Abtastmodus auf der Basis des Vergleichens der Spannung der Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung ein digitales Komparatorsignal ausgeben (Element **320**). Das digitale Komparatorsignal kann die Beziehung zwischen der Nenn- oder spezifizierten Spannung für den Eingang des Komparators und der tatsächlichen Spannung am Eingang für den Abtastwert repräsentieren.

[0063] Das digitale Komparatorsignal kann durch AGC-Logik überwacht werden und die AGC-Logik kann auf der Basis eines Frequenzoffsets zwischen einer Abtasttaktfrequenz des SAR-ADC und ei-

ner Eingangssignalfrequenz des Eingangssignals ein Verstärkungsregelsignal erzeugen (Element **325**). Bei vielen Ausführungsformen kann das Frequenzoffset auf der Basis des digitalen Komparatorsignals bestimmt werden. Bei bestimmten Ausführungsformen umfasst das Erzeugen des Verstärkungsregelsignals durch die automatische Verstärkungsregellogik das Erzeugen des Verstärkungsregelsignals auf der Basis einer Anzahl von während einer Periode eines Abtastzyklus genommenen Abtastwerten. Bei vielen Ausführungsformen umfasst das Erzeugen des Verstärkungsregelsignals durch die automatische Verstärkungsregellogik das Erzeugen des Verstärkungsregelsignals auf der Basis einer Anzahl von Abtastwerten, die an einem Punkt während eines Abtastzyklus bestimmt wurden. Weitere Ausführungsformen können das Erzeugen eines Verstärkungsregelsignals durch eine automatische Verstärkungsregellogik auf der Basis des digitalen Komparatorsignals umfassen, wobei das Verstärkungsregelsignal auf die gesamten zusammengesetzten Durchschnitts- und Spitzenamplituden des Eingangssignals, abgetastet durch den Digital-Analog-Umsetzer, reagiert.

[0064] Die folgenden Beispiele betreffen weitere Ausführungsformen. Ein Beispiel umfasst ein Verfahren zum Erzeugen von Rückkopplung für automatische Verstärkungsregelung. Das Verfahren kann Folgendes umfassen: Schalten eines Analog-Digital-Umsetzers mit Register der sukzessiven Approximation aus einem Umsetzungsmodus, um ein Eingangssignal des Analog-Digital-Umsetzers mit Register der sukzessiven Approximation während eines Abtastmodus mit einer Kapazität des Digital-Analog-Umsetzers zu koppeln, um die Kapazität des Digital-Analog-Umsetzers im Abtastmodus aufzuladen; Koppeln eines Eingangs eines Komparators mit einer Abtastmodus-Referenzspannung für die Dauer des Abtastmodus durch eine Auswahllogik, wobei die Abtastmodus-Referenzspannung eine Schwellenspannung für die Spannung einer Ladung auf der Kapazität des Digital-Analog-Umsetzers am Eingang des Komparators umfasst; Vergleichen einer Spannung der Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung während des Abtastmodus, um zu bestimmen, ob die Spannung der Ladung auf der Kapazität größer oder kleiner als die Schwellenspannung ist; und Ausgeben eines digitalen Komparatorsignals während des Abtastmodus auf der Basis des Vergleichens der Spannung der Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung.

[0065] Bestimmte Ausführungsformen umfassen ferner das Erzeugen eines Verstärkungsregelsignals durch eine automatische Verstärkungsregellogik auf der Basis eines Frequenzoffsets zwischen einer Abtasttaktfrequenz und einer Eingangssignalfrequenz

des Eingangssignals, wobei das Frequenzoffset auf der Basis des digitalen Komparatorsignals bestimmt wird. Bei bestimmten Ausführungsformen umfasst das Erzeugen des Verstärkungsregelsignals durch die automatische Verstärkungsregellogik das Erzeugen des Verstärkungsregelsignals auf der Basis einer Anzahl von während einer Periode eines Abtastzyklus genommenen Abtastwerten. Bei bestimmten Ausführungsformen umfasst das Erzeugen des Verstärkungsregelsignals durch die automatische Verstärkungsregellogik das Erzeugen der Verstärkungsregelung auf der Basis einer Anzahl von Abtastwerten, die an einem Punkt während eines Abtastzyklus bestimmt wurden.

[0066] Bestimmte Ausführungsformen umfassen ferner das Erzeugen eines Verstärkungsregelsignals durch eine automatische Verstärkungsregellogik auf der Basis des digitalen Komparatorsignals, wobei das Verstärkungsregelsignal auf die gesamten zusammengesetzten Durchschnitts- und Spitzenamplituden des Eingangssignals, abgetastet durch den Digital-Analog-Umsetzer, reagiert. Bei bestimmten Ausführungsformen umfasst das Schalten des Eingangs des Komparators auf die Abtastmodus-Referenzspannung das Schalten des Referenzspannungseingangs des Komparators in einem asymmetrischen Analog-Digital-Umsetzer mit Register der sukzessiven Approximation von einer Umsetzungsmodus-Referenzspannung auf eine Abtastmodus-Referenzspannung für eine Dauer des Abtastmodus, wobei die Umsetzungsmodus-Referenzspannung eine Schwellenspannung für Bitentscheidungen umfasst und die Abtastmodus-Referenzspannung eine Schwellenspannung für das Eingangssignal am Eingang des Komparators umfasst. Bestimmte dieser Ausführungsformen umfassen ferner das Schalten des Eingangssignals aus dem Abtastmodus, um das Eingangssignal während des Umsetzungsmodus von dem Digital-Analog-Umsetzer zu trennen, und Schalten des Referenzspannungseingangs des Komparators aus der Abtastmodus-Referenzspannung, um während des Umsetzungsmodus die Umsetzungsmodus-Referenzspannung anzulegen. Bei bestimmten Ausführungsformen umfasst das Koppeln des Eingangs des Komparators mit der Abtastmodus-Referenzspannung das Schalten des Referenzspannungseingangs des Komparators in einem Differenz-Analog-Digital-Umsetzer mit Register der sukzessiven Approximation von einer Differenz-Umsetzungsmodus-Spannungsreferenz auf eine Abtastmodus-Referenzspannung für eine Dauer des Abtastmodus, wobei die Umsetzungsmodus-Referenzspannung eine Schwellenspannung für Bitentscheidungen umfasst und die Abtastmodus-Referenzspannung eine Schwellenspannung für das Eingangssignal am Eingang des Komparators umfasst. Bei bestimmten Ausführungsformen umfasst das Schalten eines Analog-Digital-Umsetzers mit Register der sukzessiven Approximation das Ändern des Zustands eines Schal-

ters, der zwischen das Eingangssignal und den Digital-Analog-Umsetzer gekoppelt ist. Bei bestimmten Ausführungsformen umfasst das Vergleichen der Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung während des Abtastmodus das Vergleichen der Schwellenspannung für einen Eingang des Komparators, wobei die Schwellenspannung eine Spannung ist, die als die Maximalspannung für die Amplitude des Eingangssignals, um den Analog-Digital-Umsetzer mit Register der sukzessiven Approximation im linearen Betrieb zu halten, ausgelegt ist.

[0067] Ein anderes Beispiel umfasst eine Vorrichtung zum Erzeugen von Rückkopplung zur automatischen Verstärkungsregelung. Die Vorrichtung kann Folgendes umfassen: einen Digital-Analog-Umsetzer eines Analog-Digital-Umsetzers mit Register der sukzessiven Approximation; einen Schalter zum Verbinden eines Eingangssignals mit dem Digital-Analog-Umsetzer während eines Abtastmodus und zum Trennen des Eingangssignals von dem Digital-Analog-Umsetzer während eines Umsetzungsmodus; eine zwischen eine Abtastmodus-Referenzspannung und einen zweiten Eingang gekoppelte Auswahllogik zum Koppeln der Abtastmodus-Referenzspannung mit einem Eingang des Komparators während des Abtastmodus und zum Koppeln des zweiten Eingangs mit dem Eingang des Komparators während des Umsetzungsmodus; und den Komparator, der während des Abtastmodus mit dem Digital-Analog-Umsetzer an einem zweiten Eingang gekoppelt ist, um eine Spannung der Ladung auf einer Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung zu vergleichen, wobei der Komparator einen Ausgang umfasst, um während des Abtastmodus ein digitales Komparatorsignal auf der Basis des Vergleichens der Spannung auf der Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung auszugeben.

[0068] Bestimmte Ausführungsformen umfassen ferner automatische Verstärkungsregellogik zur Erzeugung eines Verstärkungsregelsignals auf der Basis eines Frequenzoffsets zwischen einer Abtasttaktfrequenz, mit der der Analog-Digital-Umsetzer mit Register der sukzessiven Approximation zwischen dem Umsetzungsmodus und dem Abtastmodus geschaltet wird, und einer Eingangssignalfrequenz des Eingangssignals, wobei das Frequenzoffset auf der Basis des digitalen Komparatorsignals bestimmt wird. Bei bestimmten Ausführungsformen umfasst die automatische Verstärkungsregellogik Logik zum Erzeugen des Verstärkungsregelsignals auf der Basis einer Anzahl von Abtastwerten, die während einer Periode eines Abtastzyklus genommen werden. Bei bestimmten Ausführungsformen umfasst die automatische Verstärkungsregellogik Logik zum Erzeugen der Verstärkungsregelung auf der Basis einer Anzahl von Abtastwerten,

die an einem Punkt während eines Abtastzyklus bestimmt wurden. Bei bestimmten Ausführungsformen umfasst die automatische Verstärkungsregellogik Logik zum Erzeugen des Verstärkungsregelsignals auf der Basis des digitalen Komparatorsignals, wobei das Verstärkungsregelsignal auf die gesamten zusammengesetzten Durchschnitts- und Spitzenamplituden des Eingangssignals, abgetastet durch den Digital-Analog-Umsetzer, reagiert. Bei bestimmten Ausführungsformen umfasst die Auswahllogik Logik zum Schalten des zweiten Eingangs des Komparators von einer Umsetzungsmodus-Referenzspannung auf eine Abtastmodus-Referenzspannung für eine Dauer des Abtastmodus, wobei die Umsetzungsmodus-Referenzspannung eine Schwellenspannung für Bitentscheidungen umfasst und die Abtastmodus-Referenzspannung eine Schwellenspannung für das Eingangssignal am Eingang des Komparators umfasst, wobei der Analog-Digital-Umsetzer mit Register der sukzessiven Approximation ein asymmetrisches Register der sukzessiven Approximation ist. Bei bestimmten Ausführungsformen ist der Schalter dafür ausgelegt, das Eingangssignal aus dem Abtastmodus zu schalten, um das Eingangssignal während des Umsetzungsmodus von dem Digital-Analog-Umsetzer zu trennen, und die Auswahllogik ist dafür ausgelegt, den Referenzspannungseingang des Komparators aus der Abtastmodus-Referenzspannung zu schalten, um während des Umsetzungsmodus die Umsetzungsmodus-Referenzspannung anzulegen. Bei bestimmten Ausführungsformen ferner mit einem Differenz-Digital-Analog-Umsetzer, wobei die Auswahllogik Logik zum Schalten des zweiten Eingangs des Komparators von einer Differenz-Umsetzungsmodus-Referenzspannung auf die Abtastmodus-Referenzspannung für eine Dauer des Abtastmodus umfasst, wobei die Umsetzungsmodus-Referenzspannung eine Schwellenspannung für Bitentscheidungen umfasst und die Abtastmodus-Referenzspannung eine Schwellenspannung für das Eingangssignal am Eingang des Komparators umfasst, wobei der Analog-Digital-Umsetzer mit Register der sukzessiven Approximation ein Differenz-Analog-Digital-Umsetzer mit Register der sukzessiven Approximation ist. Bei bestimmten Ausführungsformen ist der Schalter mit dem Digital-Analog-Umsetzer gekoppelt, um das Eingangssignal mit dem Digital-Analog-Umsetzer zu verbinden und das Eingangssignal von diesem zu trennen. Bei bestimmten Ausführungsformen ist der Komparator mit dem Digital-Analog-Umsetzer gekoppelt, um während des Abtastmodus die Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung zu vergleichen, wobei die Abtastmodus-Referenzspannung eine Schwellenspannung für den zweiten Eingang des Komparators ist, die dafür ausgelegt ist, den Analog-Digital-Umsetzer mit Register der sukzessiven Approximation im linearen Betrieb zu halten.

[0069] Ein anderes Beispiel umfasst ein System zum Erzeugen von Rückkopplung für automatische Verstärkungsregelung. Das System kann Folgendes umfassen: eine Antenne; und einen mit der Antenne gekoppelten Empfänger, wobei der Empfänger einen Digital-Analog-Umsetzer eines Analog-Digital-Umsetzers mit Register der sukzessiven Approximation umfasst; einen Schalter zum Verbinden eines Eingangssignals mit dem Digital-Analog-Umsetzer während eines Abtastmodus und zum Trennen des Eingangssignals von dem Digital-Analog-Umsetzer während eines Umsetzungsmodus auf der Basis einer Frequenz eines Abtasttakts; eine zwischen einen Abtastmodus-Referenzspannung und einen zweiten Eingang gekoppelte Auswahllogik zum Koppeln der Abtastmodus-Referenzspannung mit einem Eingang eines Komparators während des Abtastmodus und zum Koppeln des zweiten Eingangs mit dem Eingang des Komparators während des Umsetzungsmodus; und den Komparator, der mit dem Digital-Analog-Umsetzer an einem zweiten Eingang während des Abtastmodus gekoppelt ist, um eine Spannung der Ladung auf einer Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung zu vergleichen, wobei der Komparator einen Ausgang umfasst, um während des Abtastmodus ein digitales Komparatorsignal auf der Basis des Vergleichens der Spannung der Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung auszugeben.

[0070] Bestimmte Ausführungsformen umfassen ferner einen Sender zum Senden einer drahtlosen Übermittlung über die Antenne. Bestimmte Ausführungsformen umfassen ferner automatische Verstärkungsregellogik zur Erzeugung eines Verstärkungssignals auf der Basis eines Frequenzoffsets zwischen einer Abtasttaktfrequenz, mit der der Analog-Digital-Umsetzer mit Register der sukzessiven Approximation zwischen dem Umsetzungsmodus und dem Abtastmodus geschaltet wird, und einer Eingangssignalfrequenz des Eingangssignals, wobei das Frequenzoffset auf der Basis des digitalen Komparatorsignals bestimmt wird. Bestimmte Ausführungsformen umfassen ferner einen Differenz-Digital-Analog-Umsetzer, wobei die Auswahllogik Logik zum Schalten des zweiten Eingangs des Komparators von einer Differenz-Umsetzungsmodus-Spannungsreferenz auf die Abtastmodus-Referenzspannung für eine Dauer des Abtastmodus umfasst, wobei die Umsetzungsmodus-Referenzspannung eine Schwellenspannung für Bitentscheidungen umfasst und die Abtastmodus-Referenzspannung eine Schwellenspannung für das Eingangssignal am Eingang des Komparators umfasst, wobei der Analog-Digital-Umsetzer mit Register der sukzessiven Approximation ein Differenz-Analog-Digital-Umsetzer mit Register der sukzessiven Approximation ist. Bei bestimmten Ausführungsformen ist der Schalter mit dem Digital-Analog-Umsetzer ge-

koppelt, um das Eingangssignal mit dem Digital-Analog-Umsetzer zu verbinden und das Eingangssignal von diesem zu trennen. Bei bestimmten Ausführungsformen umfasst die Auswahllogik Logik zum Schalten des zweiten Eingangs des Komparators von einer Umsetzungsmodus-Referenzspannung auf eine Abtastmodus-Referenzspannung für eine Dauer des Abtastmodus, wobei die Umsetzungsmodus-Referenzspannung eine Schwellenspannung für Bitentscheidungen umfasst und die Abtastmodus-Referenzspannung eine Schwellenspannung für das Eingangssignal am Eingang des Komparators umfasst, wobei der Analog-Digital-Umsetzer mit Register der sukzessiven Approximation ein asymmetrisches Register der sukzessiven Approximation ist. Und bei bestimmten Ausführungsformen ist der Komparator mit dem Digital-Analog-Umsetzer gekoppelt, um während des Abtastmodus die Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung zu vergleichen, wobei die Abtastmodus-Referenzspannung für den zweiten Eingang des Komparators ist, die dafür ausgelegt ist, den Analog-Digital-Umsetzer mit Register der sukzessiven Approximation im linearen Betrieb zu halten.

[0071] Bei bestimmten Ausführungsformen können bestimmte oder alle oben und in den Ansprüchen beschriebene Merkmale in einer Ausführungsform implementiert werden. Zum Beispiel können alternative Merkmale als Alternativen in einer Ausführungsform zusammen mit Logik oder auswählbarer Präferenz implementiert werden, um zu bestimmen, welche Alternative zu implementieren ist. Bestimmte Ausführungsformen mit Merkmalen, die sich nicht gegenseitig ausschließen, können auch Logik oder eine auswählbare Präferenz umfassen, um ein oder mehrere der Merkmale zu aktivieren oder zu deaktivieren. Zum Beispiel können bestimmte Merkmale zum Zeitpunkt der Herstellung ausgewählt werden, indem ein Schaltungspfad oder Transistor hinzugefügt oder entfernt wird. Weitere Merkmale können zum Zeitpunkt des Einsatzes oder nach dem Einsatz über Logik oder eine auswählbare Präferenz, wie etwa einen DIP-Schalter oder dergleichen, ausgewählt werden. Ein Benutzer kann danach über eine auswählbare Präferenz, wie etwa eine Software-Präferenz, einen DIP-Schalter oder dergleichen, weitere Merkmale auswählen.

[0072] Eine andere Ausführungsform wird als Programmprodukt zum Implementieren von mit Bezug auf **Fig. 1–Fig. 3** beschriebenen Vorrichtungen und Verfahren implementiert. Ausführungsformen können die Form einer Durchweg-Hardware-Ausführungsform annehmen oder einer Softwareausführungsform, die über Vielzweckhardware implementiert wird, wie etwa einen oder mehrere Prozessoren oder Speicher, oder eine Ausführungsform, die sowohl Spezialhardware als auch Softwareelemente enthält. Eine Ausführungsform wird in Software

oder Code implementiert, die bzw. der, aber ohne Beschränkung darauf, Firmware, residente Software, Mikrocode oder andere Arten von ausführbaren Anweisungen umfasst.

[0073] Weiterhin können Ausführungsformen die Form eines Computerprogrammprodukts annehmen, zugänglich aus einem maschinenzugänglichen, computerbenutzbaren oder computerlesbaren Medium, das Programmcode zur Verwendung durch einen Computer, eine mobile Einrichtung oder ein beliebiges anderes Anweisungsausführungssystem oder in Verbindung damit bereitstellt. Für die Zwecke der vorliegenden Beschreibung ist ein maschinenzugängliches, computerbenutzbares oder computerlesbares Medium eine beliebige Vorrichtung oder ein beliebiger Herstellungsartikel, die bzw. der das Programm zur Verwendung durch das Anweisungsausführungssystem oder die Vorrichtung oder in Verbindung damit enthalten, Speichern, Übermitteln, Ausbreiten oder Transportieren kann.

[0074] Das Medium kann ein elektronisches, magnetisches, optisches, elektromagnetisches oder Halbleitersystemmedium umfassen. Beispiele für ein maschinenzugängliches, computerbenutzbares oder computerlesbares Medium wären Speicher wie etwa flüchtiger Speicher und nichtflüchtiger Speicher. Speicher kann z. B. einen Halbleiter- oder Festkörperspeicher wie Flash-Speicher, Magnetband, eine wechselbare Computerdiskette, einen Direktzugriffsspeicher (RAM), einen Nurlesespeicher (ROM), eine starre magnetische Platte und/oder einen optischen Datenträger umfassen. Aktuelle Beispiele für optische Datenträger wären CD-ROM (Compact Disc – Read Only Memory), CD-R/W (Compact Disc – Read/Write Memory), DVD-ROM (Digital Video Disc (DVD) – Read Only Memory), DVD-RAM (DVD-Random Access Memory), DVD-R (DVD-Recordable Memory) und DVD-R/W (DVD-Read/Write Memory).

[0075] Ein Anweisungsausführungssystem, das zum Speichern und/oder Ausführen von Programmcode geeignet ist, kann mindestens einen Prozessor umfassen, der direkt oder indirekt durch einen Systembus mit Speicher gekoppelt ist. Der Speicher kann während der tatsächlichen Ausführung des Codes verwendeten lokalen Speicher, Massenspeicherung wie dynamischen Direktzugriffsspeicher (DRAM) und Cache-Speicher, die vorübergehende Speicherung mindestens bestimmten Codes bereitstellen, um die Anzahl von Malen zu verringern, wie oft Code während der Ausführung aus Massenspeicherung abgerufen werden muss, umfassen.

[0076] Eingabe-/Ausgabe- bzw. E/A-Einrichtungen (darunter, aber ohne Beschränkung darauf, Tastaturen, Displays, Zeigereinrichtungen usw.) können entweder direkt oder durch dazwischentretende E/A-Steuerungen mit dem Anweisungsausführungssystem

gekoppelt werden. Außerdem können Netzwerkadapter mit dem Anweisungsausführungssystem gekoppelt werden, damit das Anweisungsausführungssystem durch dazwischentretende private oder öffentliche Netzwerke mit anderen Anweisungsausführungssystemen oder entfernten Druckern oder Speichereinrichtungen gekoppelt werden kann. Modem-, Bluetooth™-, Ethernet-, Wi-Fi- und WiDi-Adapterkarten sind nur einige wenige der zur Zeit verfügbaren Arten von Netzwerkadaptern.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Nicht-Patentliteratur

- IEEE 802.11-2007 [0015]
- <http://standards.ieee.org/getieee802/download/802.11-2007.pdf> [0015]

Patentansprüche

1. Verfahren, wobei das Verfahren Folgendes umfasst:

Schalten eines Analog-Digital-Umsetzers mit Register der sukzessiven Approximation aus einem Umsetzungsmodus, um ein Eingangssignal des Analog-Digital-Umsetzers mit Register der sukzessiven Approximation während eines Abtastmodus mit einer Kapazität eines Digital-Analog-Umsetzers zu koppeln, um die Kapazität des Digital-Analog-Umsetzers im Abtastmodus aufzuladen;

Koppeln eines Eingangs eines Komparators mit einer Abtastmodus-Referenzspannung durch eine Auswahllogik für eine Dauer des Abtastmodus, wobei die Abtastmodus-Referenzspannung eine Schwellenspannung für die Spannung einer Ladung auf der Kapazität des Digital-Analog-Umsetzers am Eingang des Komparators umfasst;

Vergleichen einer Spannung der Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung während des Abtastmodus, um zu bestimmen, ob die Spannung der Ladung auf der Kapazität größer oder kleiner als die Schwellenspannung ist; und

Ausgeben eines digitalen Komparatorsignals während des Abtastmodus auf der Basis des Vergleichens der Spannung der Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung.

2. Verfahren nach Anspruch 1, ferner umfassend das Erzeugen eines Verstärkungsregelsignals durch eine automatische Verstärkungsregellogik auf der Basis eines Frequenzoffsets zwischen einer Abtasttaktfrequenz und einer Eingangssignalfrequenz des Eingangssignals, wobei das Frequenzoffset auf der Basis des digitalen Komparatorsignals bestimmt wird.

3. Verfahren nach Anspruch 2, wobei das Erzeugen des Verstärkungsregelsignals durch die automatische Verstärkungsregellogik das Erzeugen des Verstärkungsregelsignals auf der Basis einer Anzahl von Abtastwerten, die während einer Periode eines Abtastzyklus genommen werden, umfasst.

4. Verfahren nach Anspruch 2, wobei das Erzeugen des Verstärkungsregelsignals durch die automatische Verstärkungsregellogik das Erzeugen des Verstärkungsregelsignals auf der Basis einer Anzahl von Abtastwerten, die an einem Punkt während eines Abtastzyklus bestimmt wurden, umfasst.

5. Verfahren nach Anspruch 1, ferner umfassend das Erzeugen eines Verstärkungsregelsignals durch eine automatische Verstärkungsregellogik auf der Basis des digitalen Komparatorsignals, wobei das Verstärkungsregelsignal auf die gesamten zusammengesetzten Durchschnitts- und Spitzenamplituden

des Eingangssignals, abgetastet durch den Digital-Analog-Umsetzer, reagiert.

6. Verfahren nach Anspruch 1, wobei das Schalten des Eingangs des Komparators auf die Abtastmodus-Referenzspannung das Schalten des Referenzspannungseingangs des Komparators in einem asymmetrischen Analog-Digital-Umsetzer mit Register der sukzessiven Approximation von einer Umsetzungsmodus-Referenzspannung auf eine Abtastmodus-Referenzspannung für eine Dauer des Abtastmodus umfasst, wobei die Umsetzungsmodus-Referenzspannung eine Schwellenspannung für Bitentscheidungen umfasst und die Abtastmodus-Referenzspannung eine Schwellenspannung für das Eingangssignal am Eingang des Komparators umfasst.

7. Verfahren nach Anspruch 6, ferner umfassend: Schalten des Eingangssignals aus dem Abtastmodus, um das Eingangssignal während des Umsetzungsmodus von dem Digital-Analog-Umsetzer zu trennen, und

Schalten des Referenzspannungseingangs des Komparators aus der Abtastmodus-Referenzspannung, um während des Umsetzungsmodus die Umsetzungsmodus-Referenzspannung anzulegen.

8. Verfahren nach Anspruch 1, wobei das Koppeln des Eingangs des Komparators mit der Abtastmodus-Referenzspannung Schalten des Referenzspannungseingangs des Komparators in einem Differenz-Analog-Digital-Umsetzer mit Register der sukzessiven Approximation von einer Differenz-Umsetzungsmodus-Spannungsreferenz auf eine Abtastmodus-Referenzspannung für eine Dauer des Abtastmodus umfasst, wobei die Umsetzungsmodus-Referenzspannung eine Schwellenspannung für Bitentscheidungen umfasst und die Abtastmodus-Referenzspannung eine Schwellenspannung für das Eingangssignal am Eingang des Komparators umfasst.

9. Verfahren nach Anspruch 1, wobei das Schalten eines Analog-Digital-Umsetzers mit Register der sukzessiven Approximation das Ändern eines Zustands eines Schalters, der zwischen das Eingangssignal und den Digital-Analog-Umsetzer gekoppelt ist, umfasst.

10. Verfahren nach Anspruch 1, wobei das Vergleichen der Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung während des Abtastmodus das Vergleichen der Schwellenspannung für einen Eingang des Komparators umfasst, wobei die Schwellenspannung eine Spannung ist, die als die Maximalspannung für die Amplitude des Eingangssignals ausgelegt ist, um den Analog-Digital-Umsetzer mit Register der sukzessiven Approximation im linearen Betrieb zu halten.

11. Vorrichtung, umfassend:

einen Digital-Analog-Umsetzer eines Analog-Digital-Umsetzers mit Register der sukzessiven Approximation;

einen Schalter zum Verbinden eines Eingangssignals mit dem Digital-Analog-Umsetzer während eines Abtastmodus und zum Trennen des Eingangssignals von dem Digital-Analog-Umsetzer während eines Umsetzungsmodus;

eine zwischen eine Abtastmodus-Referenzspannung und einen zweiten Eingang gekoppelte Auswahllogik zum Koppeln der Abtastmodus-Referenzspannung mit einem Eingang eines Komparators während des Abtastmodus und zum Koppeln des zweiten Eingangs mit dem Eingang des Komparators während des Umsetzungsmodus; und

den Komparator, der während des Abtastmodus mit dem Digital-Analog-Umsetzer an einem zweiten Eingang gekoppelt ist, um eine Spannung der Ladung auf einer Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung zu vergleichen, wobei der Komparator einen Ausgang umfasst, um während des Abtastmodus ein digitales Komparatorsignal auf der Basis des Vergleichens der Spannung der Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung auszugeben.

12. Vorrichtung nach Anspruch 11, die ferner automatische Verstärkungsregellogik zum Erzeugen eines Verstärkungsregelsignals auf der Basis eines Frequenzoffsets zwischen einer Abtasttaktfrequenz, mit der der Analog-Digital-Umsetzer mit Register der sukzessiven Approximation zwischen dem Umsetzungsmodus und dem Abtastmodus geschaltet wird, und einer Eingangssignalfrequenz des Eingangssignals umfasst, wobei das Frequenzoffset auf der Basis des digitalen Komparatorsignals bestimmt wird.

13. Vorrichtung nach Anspruch 12, wobei die automatische Verstärkungsregellogik Logik zum Erzeugen des Verstärkungsregelsignals auf der Basis einer Anzahl von Abtastwerten, die während einer Periode eines Abtastzyklus genommen werden, umfasst.

14. Vorrichtung nach Anspruch 12, wobei die automatische Verstärkungsregellogik Logik zum Erzeugen der Verstärkungsregelung auf der Basis einer Anzahl von Abtastwerten, die an einem Punkt während eines Abtastzyklus bestimmt wurden, umfasst.

15. Vorrichtung nach Anspruch 12, wobei die automatische Verstärkungsregellogik Logik zum Erzeugen des Verstärkungsregelsignals auf der Basis des digitalen Komparatorsignals umfasst, wobei das Verstärkungsregelsignal auf die gesamten zusammengesetzten Durchschnitts- und Spitzenamplituden des Eingangssignals, abgetastet durch den Digital-Analog-Umsetzer, reagiert.

16. Vorrichtung nach Anspruch 11, wobei die Auswahllogik Logik zum Schalten des zweiten Eingangs des Komparators von einer Umsetzungsmodus-Referenzspannung auf eine Abtastmodus-Referenzspannung für eine Dauer des Abtastmodus umfasst, wobei die Umsetzungsmodus-Referenzspannung eine Schwellenspannung für Bitentscheidungen umfasst und die Abtastmodus-Referenzspannung eine Schwellenspannung für das Eingangssignal am Eingang des Komparators umfasst, wobei der Analog-Digital-Umsetzer mit Register der sukzessiven Approximation ein asymmetrisches Register der sukzessiven Approximation ist.

17. Vorrichtung nach Anspruch 16, wobei der Schalter dafür ausgelegt ist, das Eingangssignal aus dem Abtastmodus zu schalten, um das Eingangssignal während des Umsetzungsmodus von dem Digital-Analog-Umsetzer zu trennen, und die Auswahllogik dafür ausgelegt ist, den Referenzspannungseingang des Komparators aus der Abtastmodus-Referenzspannung zu schalten, um während des Umsetzungsmodus die Umsetzungsmodus-Referenzspannung anzulegen.

18. Vorrichtung nach Anspruch 11, die ferner einen Differenz-Digital-Analog-Umsetzer umfasst, wobei die Auswahllogik Logik zum Schalten des zweiten Eingangs des Komparators von einer Differenz-Umsetzungsmodus-Referenzspannung auf die Abtastmodus-Referenzspannung für eine Dauer des Abtastmodus umfasst, wobei die Umsetzungsmodus-Referenzspannung eine Schwellenspannung für Bitentscheidungen umfasst und die Abtastmodus-Referenzspannung eine Schwellenspannung für das Eingangssignal am Eingang des Komparators umfasst, wobei der Analog-Digital-Umsetzer mit Register der sukzessiven Approximation ein Differenz-Analog-Digital-Umsetzer mit Register der sukzessiven Approximation ist.

19. Vorrichtung nach Anspruch 11, wobei der Schalter mit dem Digital-Analog-Umsetzer gekoppelt ist, um das Eingangssignal mit dem Digital-Analog-Umsetzer zu verbinden und das Eingangssignal von diesem zu trennen.

20. Vorrichtung nach Anspruch 11, wobei der Komparator mit dem Digital-Analog-Umsetzer gekoppelt ist, um während des Abtastmodus die Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung zu vergleichen, wobei die Abtastmodus-Referenzspannung eine Schwellenspannung für den zweiten Eingang des Komparators ist, die dafür ausgelegt ist, den Analog-Digital-Umsetzer mit Register der sukzessiven Approximation im linearen Betrieb zu halten.

21. System, umfassend:
eine Antenne; und

einen mit der Antenne gekoppelten Empfänger, wobei der Empfänger Folgendes umfasst:

einen Digital-Analog-Umsetzer eines Analog-Digital-Umsetzers mit Register der sukzessiven Approximation;

einen Schalter zum Verbinden eines Eingangssignals mit dem Digital-Analog-Umsetzer während eines Abtastmodus und zum Trennen des Eingangssignals von dem Digital-Analog-Umsetzer während eines Umsetzungsmodus auf der Basis einer Frequenz eines Abtasttakts;

eine zwischen eine Abtastmodus-Referenzspannung und einen zweiten Eingang gekoppelte Auswahllogik zum Koppeln der Abtastmodus-Referenzspannung mit einem Eingang eines Komparators während des Abtastmodus und zum Koppeln des zweiten Eingangs mit dem Eingang des Komparators während des Umsetzungsmodus; und

den Komparator, der während des Abtastmodus mit dem Digital-Analog-Umsetzer an einem zweiten Eingang gekoppelt ist, um eine Spannung der Ladung auf einer Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung zu vergleichen, wobei der Komparator einen Ausgang umfasst, um während des Abtastmodus ein digitales Komparatorsignal auf der Basis des Vergleichens der Spannung der Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung auszugeben.

22. System nach Anspruch 21, das ferner einen Sender zum Senden einer drahtlosen Übermittlung über die Antenne umfasst.

23. System nach Anspruch 21, das ferner mit dem Schalter gekoppelte Moduslogik umfasst, um eine Frequenz des Schaltens zwischen dem Abtastmodus und dem Umsetzungsmodus festzulegen.

24. System nach Anspruch 21, das ferner automatische Verstärkungsregellogik zum Erzeugen eines Verstärkungsregelsignals auf der Basis eines Frequenzoffsets zwischen einer Abtasttaktfrequenz, mit der der Analog-Digital-Umsetzer mit Register der sukzessiven Approximation zwischen dem Umsetzungsmodus und dem Abtastmodus geschaltet wird, und einer Eingangssignalfrequenz des Eingangssignals zu erzeugen, wobei das Frequenzoffset auf der Basis des digitalen Komparatorsignals bestimmt wird.

25. System nach Anspruch 21, das ferner einen Differenz-Digital-Analog-Umsetzer umfasst, wobei die Auswahllogik Logik zum Schalten des zweiten Eingangs des Komparators von einer Differenz-Umsetzungsmodus-Spannungsreferenz auf die Abtastmodus-Referenzspannung für eine Dauer des Abtastmodus umfasst, wobei die Umsetzungsmodus-Referenzspannung eine Schwellenspannung für Bitentscheidungen umfasst und die Abtastmodus-Referenzspannung eine Schwellenspannung für das Eingangssignal am Eingang des Komparators umfasst, wobei der Analog-Digital-Umsetzer mit Register der sukzessiven Approximation ein asymmetrisches Register der sukzessiven Approximation ist.

26. System nach Anspruch 21, wobei der Schalter mit dem Digital-Analog-Umsetzer gekoppelt ist, um das Eingangssignal mit dem Digital-Analog-Umsetzer zu verbinden und das Eingangssignal von diesem zu trennen.

27. System nach Anspruch 21, wobei die Auswahllogik Logik zum Schalten des zweiten Eingangs des Komparators von einer Umsetzungsmodus-Referenzspannung auf eine Abtastmodus-Referenzspannung für eine Dauer des Abtastmodus umfasst, wobei die Umsetzungsmodus-Referenzspannung eine Schwellenspannung für Bitentscheidungen umfasst und die Abtastmodus-Referenzspannung eine Schwellenspannung für das Eingangssignal am Eingang des Komparators umfasst, wobei der Analog-Digital-Umsetzer mit Register der sukzessiven Approximation ein asymmetrisches Register der sukzessiven Approximation ist.

28. System nach Anspruch 21, wobei der Komparator mit dem Digital-Analog-Umsetzer gekoppelt ist, um während des Abtastmodus die Ladung auf der Kapazität des Digital-Analog-Umsetzers mit der Abtastmodus-Referenzspannung zu vergleichen, wobei die Abtastmodus-Referenzspannung eine Schwellenspannung für den zweiten Eingang des Komparators ist, die dafür ausgelegt ist, den Analog-Digital-Umsetzer mit Register der sukzessiven Approximation im linearen Betrieb zu halten.

Es folgen 6 Seiten Zeichnungen

Anhängende Zeichnungen

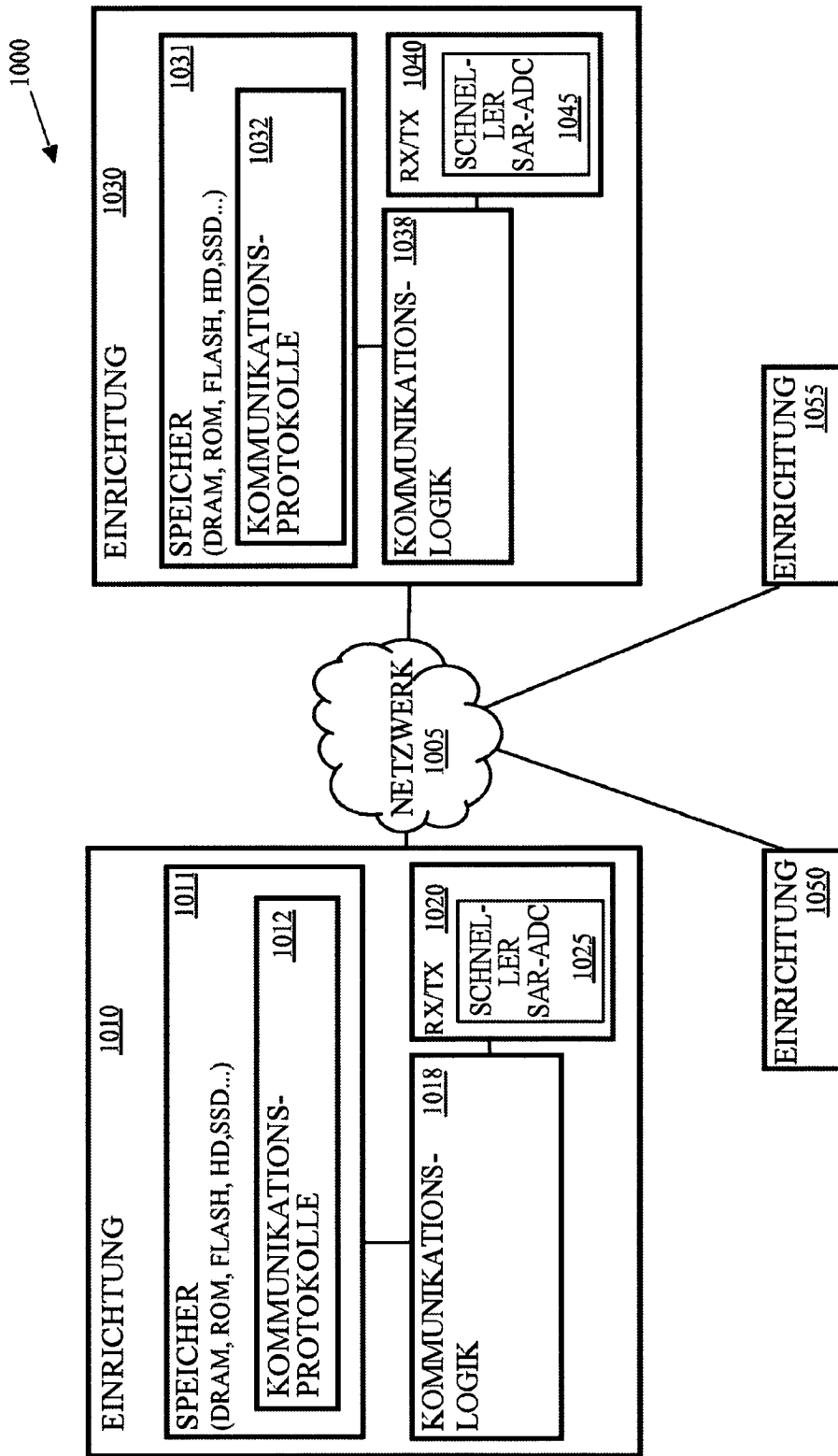


FIG. 1

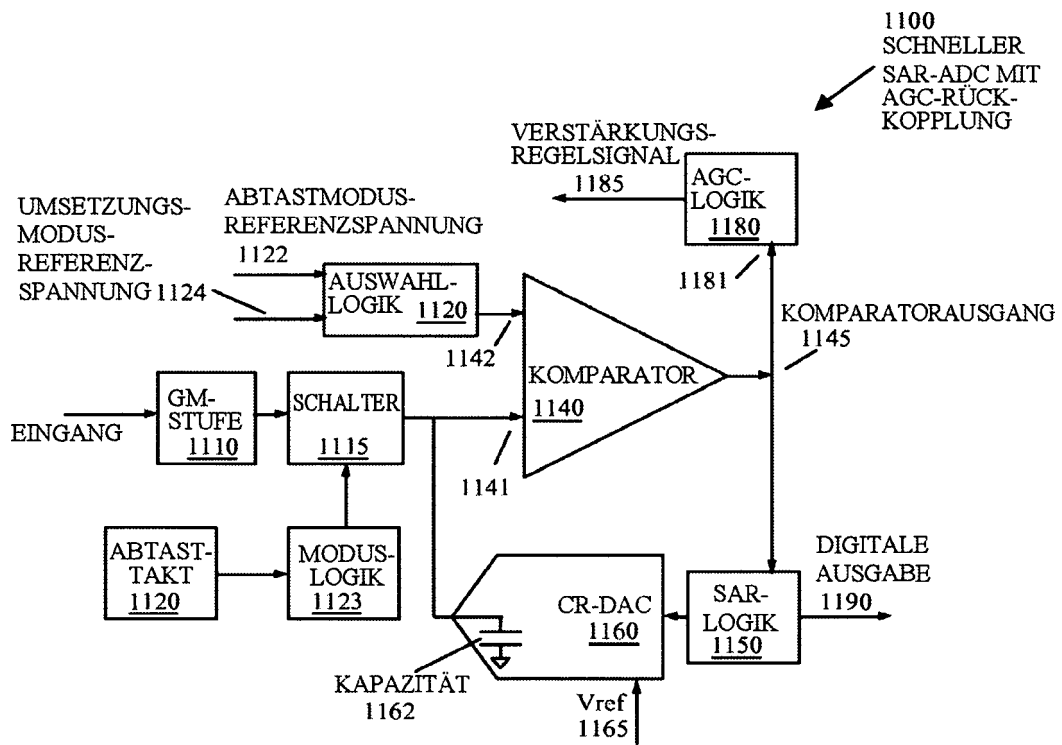


FIG. 1A

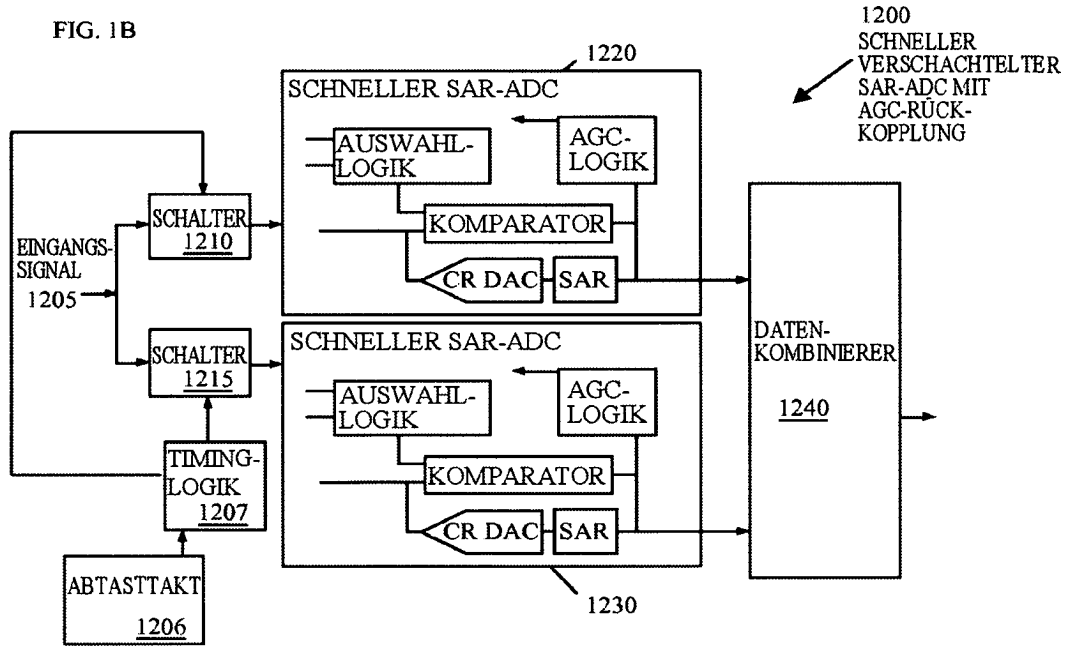
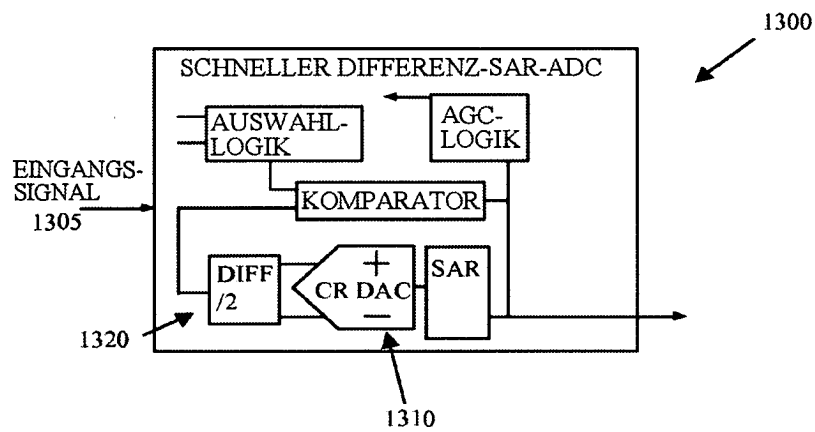
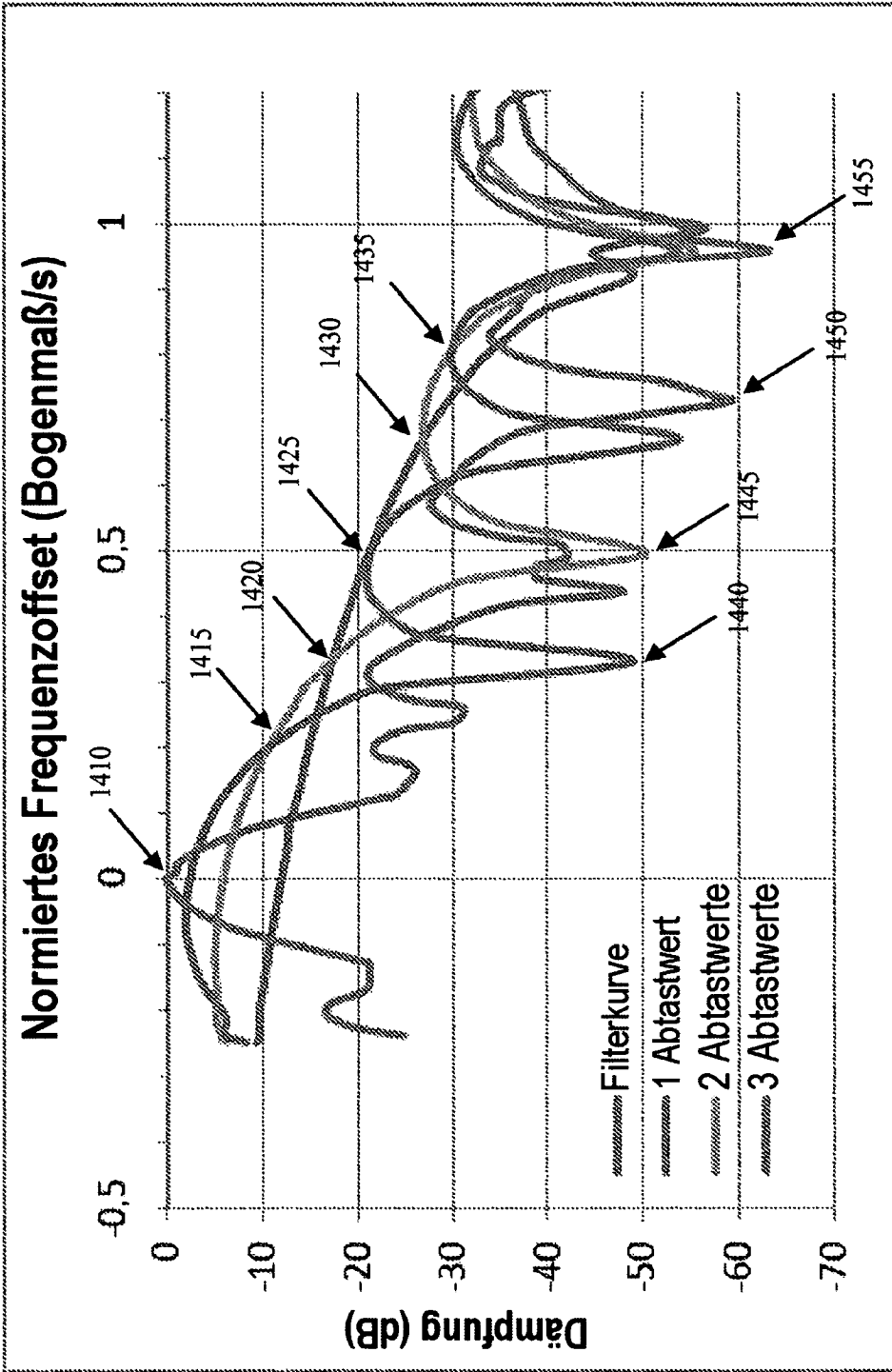


FIG. 1C



1400

FIG. 1D



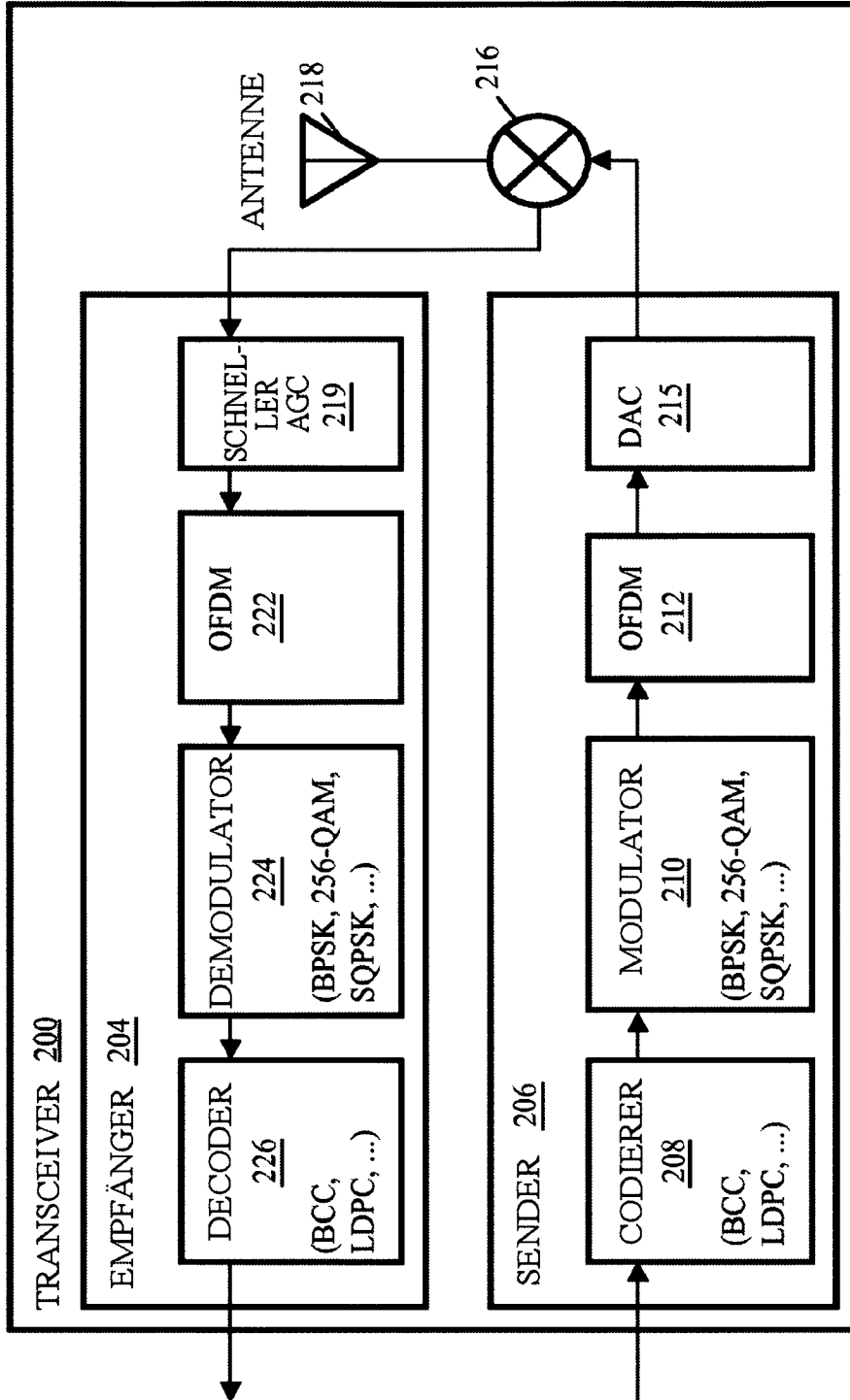


FIG. 2

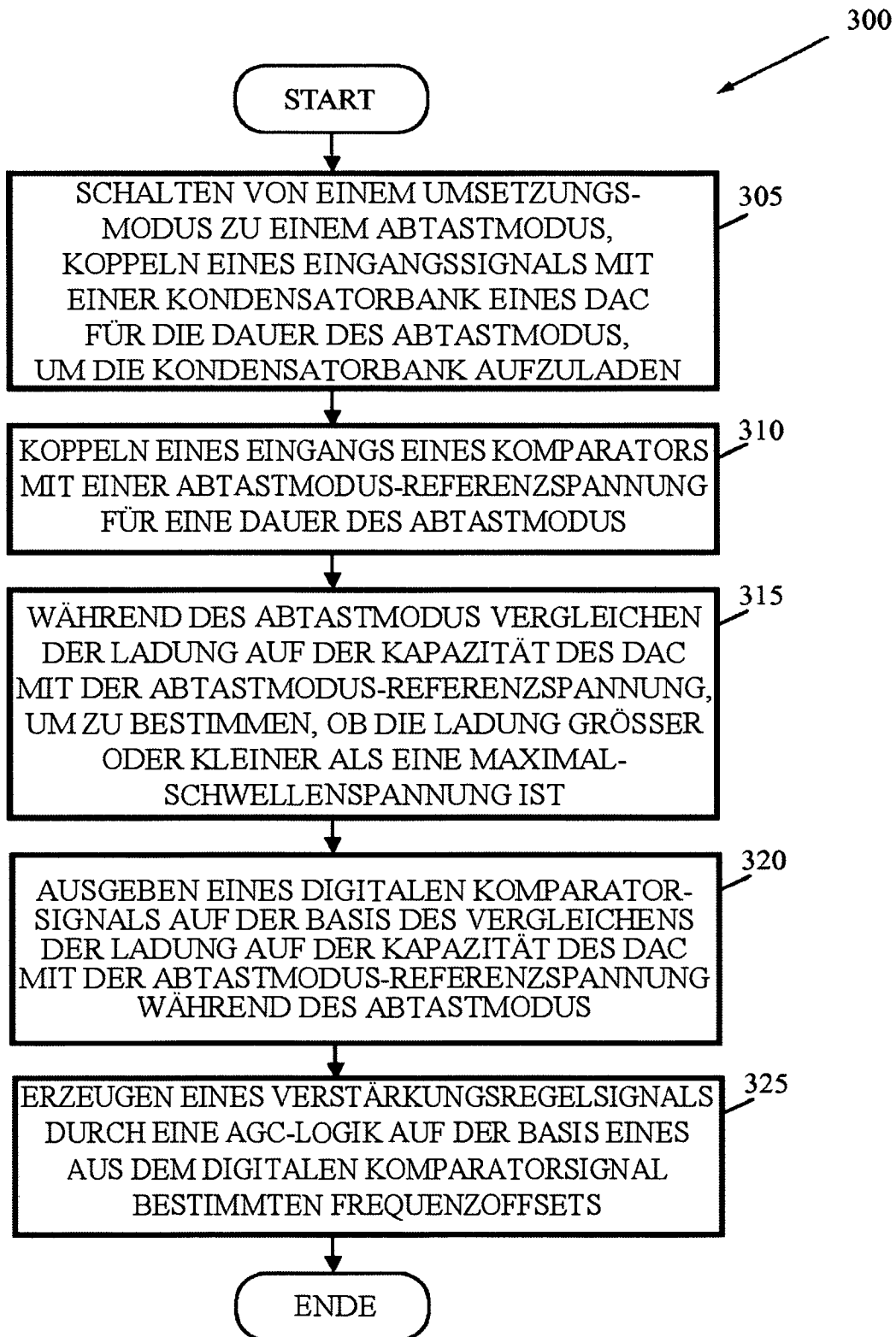


FIG. 3