

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4282101号
(P4282101)

(45) 発行日 平成21年6月17日(2009.6.17)

(24) 登録日 平成21年3月27日(2009.3.27)

(51) Int.Cl. F I
 H O 1 L 21/8242 (2006.01) H O 1 L 27/10 6 2 1 C
 H O 1 L 27/108 (2006.01)

請求項の数 2 (全 15 頁)

<p>(21) 出願番号 特願平9-370189 (22) 出願日 平成9年12月22日(1997.12.22) (65) 公開番号 特開平10-294438 (43) 公開日 平成10年11月4日(1998.11.4) 審査請求日 平成16年11月19日(2004.11.19) (31) 優先権主張番号 033722 (32) 優先日 平成8年12月20日(1996.12.20) (33) 優先権主張国 米国(US)</p> <p>前置審査</p>	<p>(73) 特許権者 590000879 テキサス インストルメンツ インコーポ レイテッド アメリカ合衆国テキサス州ダラス、ノース セントラルエクスプレスウェイ 135 〇〇 (73) 特許権者 000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号 (74) 代理人 100066692 弁理士 浅村 皓 (74) 代理人 100072040 弁理士 浅村 肇 (74) 代理人 100094673 弁理士 林 拓三</p>
--	--

最終頁に続く

(54) 【発明の名称】 自己整合式多クラウン記憶コンデンサ及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

平坦化絶縁層及び該平坦化絶縁層上に形成されたエッチングストップ層からなるベース層と、

該ベース層内に形成されたビアと、

該ビア内に形成された第1のクラウン・ベース、及び、該第1のクラウン・ベースに隣接すると共に、前記ビアの上方に略円筒状の伸長部を形成する第1のクラウンを備えた第1の導電層と、

前記ビア内に形成されると共に、前記第1のクラウン・ベースを覆う少なくとも1つの周囲クラウン・ベース、及び、前記少なくとも1つの周囲クラウン・ベースに接続されると共に、前記第1のクラウンから離隔して該第1のクラウンを取り囲む前記ベース層の上部の略円筒状の伸長部を形成する少なくとも1つの周囲クラウンを備えた少なくとも1つの周囲導電層と、

を具備した半導体記憶セル構造。

【請求項2】

半導体メモリデバイスに使用する自己整合式多クラウン記憶セルの形成方法において、平坦化絶縁層及び該平坦化絶縁層上に形成されたエッチングストップ層からなるベース層を設ける段階と、

該ベース層上に第1のサクリフェイス層を形成する段階と、

前記ベース層及び前記第1のサクリフェイス層を貫通したコンタクト・ビアをパターンニ

ング形成する段階と、

前記パターンニング形成したビア及び前記第1のサクリファイス層上に第1の導電層を被着する段階と、

該第1の導電層をエッチングして前記第1のサクリファイス層を露出させる段階と、

該第1のサクリファイス層を除去する段階と、

前記第1の導電層でコートされパターンニング形成されたビア上及び前記ベース層上に第2の導電層を被着する段階と、

該第2の導電層上に第2のサクリファイス層を被着して前記ビアを充填する段階と、

前記第2のサクリファイス層をエッチングして前記第2の導電層の一部を露出させる段階と、

該第2の導電層の露出された部分及び残存する前記第2のサクリファイス層上に第3の導電層を被着する段階と、

該第3の導電層のエッチングを行って前記ベース層の一部を露出させる段階と、

前記第2のサクリファイス層の残存する部分を除去してダブルクラウン記憶セル構造を形成する段階と、

を具備する方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に、半導体デバイス及びその製造方法に関し、特に、メモリデバイスに使用する自己整合式多クラウン記憶セル、及び該自己整合式多クラウン記憶セルの製造方法に関する。

【0002】

【従来の技術及びその課題】

半導体装置の寸法を低減することは、半導体製造における一般に望ましい目標である。このことは、ダイナミック・ランダム・アクセス・メモリ(DRAM: Dynamic Random Access Memory)等の半導体メモリデバイスに対して当てはまる。半導体メモリデバイスの寸法が微細化し続けると共に、対応する集積密度が4×ルールによって増大し続けるにつれて、要求される蓄積電荷は略同一のままでありながら記憶セルは増々小さくなる。従来のオキシ窒化物(N/OまたはO/N/O)誘電体は、潜在的な高いトンネルリークのために記憶容量を制限する比較的低い単位面積当りの容量(4.5nmの有効酸化物厚に対して、約7.7fF/μm²)を有している。この問題に対処するために、半球粒子状(HSG: hemispherical grain)のこぼこしたポリ、ディスク、フィン及び波形円筒状セル(CCC: corrugated cylindrical cell)を含めて種々の面積増大技術が提案されてきた。しかしながら、これらの面積増大技術は固有の限界を有している。

【0003】

HSG技術は狭い温度ウィンドウ内で複雑な成膜プロセスを必要とする。フィン、ディスク及びCCC形成を組み込んだ記憶セルは、主として、多数の水平方向のフィンから構成される。記憶セルの寸法が一層減少するにつれて、フィンは垂直方向の側壁に比して付加する表面積が小さい。更に、代表的なフィン型の構造物の製造は、ロバストな製造プロセスではなく、このことによって、記憶セルは、特に水平方向のフィン間の酸化物の除去及び微粒子除去の際に機械的安定性に欠けることになる。

【0004】

従来のオキシ窒化物誘電体の限界を克服しようとする別の試みにおいて、Ta₂O₅, Ba_{1-x}Sr_xTiO₃(BST), SrTiO₃及びPb_{1-x}Zr_xTiO₃(PZT)を含めた高誘電率材料が、それらの高い単位面積当りの容量のために記憶用誘電体として提案されてきた。高い単位面積当りの容量は、単純なスタック型記憶セル構造の使用を理論的に許容し得るものである。しかしながら、高誘電率材料は半導体の製造に対して新しいものであり、トランジスタの汚染、ロバストな成膜プロセスの開発、新材料のエッ

10

20

30

40

50

チング，集積化の経験及び信頼性を含めた幾つかの障害が半導体製造の実施に対して存在する。

【 0 0 0 5 】

【課題を解決するための手段】

本発明は、従来の記憶セルシステム及び製造方法に関連する欠点及び諸問題を実質的に除去するかまたは低減する、半導体メモリデバイス記憶セルシステム及びその製造方法を提供するものである。

【 0 0 0 6 】

詳述すると、本発明は、増大した容量を有する記憶用コンデンサをもたらす、半導体メモリデバイスに使用する自己整合式多クラウン記憶セル構造及び該自己整合式多クラウン記憶セルを製造する方法を提供するものである。記憶セル構造の一実施例は、積層された平坦化絶縁層/エッチングストップ層/ハードマスク層にコンタクト・ビアをパターニング形成すると共に、第1の導電層を被着することによって形成することができる。前記第1の導電層及び前記ハードマスク層をエッチングして第1のクラウン及び関連する第1のクラウン・ベースを形成する。前記導電材料でコートされパターニング形成されたビア及びエッチングストップ層上に第2の導電層を被着し、該第2の導電層上に酸化物層を被着する。前記酸化物層をエッチングして、第3の導電層を被着する。前記導電材料をエッチングして、前記エッチングストップ層を露出させることができると共に、残存する酸化物層をエッチングして、記憶セル構造のダブルクラウン実施例における第2のクラウンを形成する。

【 0 0 0 7 】

前記導電性材料でコートされパターニング形成されたビア及び前記エッチングストップ層上に第2の導電層を被着し、該第2の導電層上に酸化物層を被着し、該酸化物層をエッチングし、第3の導電層を被着し、該第3の導電層をエッチングして前記エッチングストップ層を露出させ、残存する酸化物層をエッチングする前記各段階を繰り返すことによって、付加的なクラウンを形成して、3つ以上のクラウンの形成された記憶セル構造をもたらすことができる。

【 0 0 0 8 】

本発明の自己整合式半導体記憶セルは、製造プロセスの際に多数のクラウンを形成することによって、表面積が増加するという技術的利点をもたらすものである。表面積を増大することによって、同等の寸法の従来の記憶セルと比較して記憶容量を増大させることができる。

【 0 0 0 9 】

本発明は幾つかの製造上の利点をもたらすものである。ビア形成を使用することによって、記憶セルの多クラウン形成が真に自己整合され、これによって、記憶セルの形成において1つのフォトマスク段階が除去される。最初のビアから各クラウンを形成する簡略化されたプロセスの流れは、ポリシリコン・ビア形成を助ける。本発明の製造プロセスはまた、簡易なクラウン・プロセス及びでこぼこしたポリの形成プロセスと両立できる。これらの製造上の利点によって、記憶セルを製造する上での複雑さ及びコストが低減される。

【 0 0 1 0 】

本発明の教示によって形成される多クラウン記憶セルは、ビア内に含まれる各クラウンのクラウン・ベースを有する構造を組み込んでいる。この構造は製造の際及び最終的形成のとき双方にて改良された機械的安定性をもたらす。この構造はまた容易に拡張可能であって、比較的小さいセル構造内にクラウンの数を増大することができる。

【 0 0 1 1 】

【発明の実施の形態】

本発明の自己整合式多クラウン記憶セルは、256Mb及び1GbのDRAMを含んだ半導体装置に使用される誘電体を用いて形成される。多クラウン記憶セルは、他の比較的高い誘電率材料は勿論のこと、 N/O 、 O/N/O 、 Ta_2O_5 、BST及びPZT等の誘電率材料を用いて形成することができる。本発明の多クラウン記憶セル構造形成方法論は

10

20

30

40

50

、1つのフォトパターニング（SNパターニング）段階を除去しながら規定された寸法の自己整合式記憶セルの形成を可能にする。本発明は一層ロバストな記憶セル形成プロセス及び優れた機械的安定性を有する記憶セル構造を提供する。

【0012】

図1ないし図11は、ダブルクラウン記憶セル構造に対する自己整合式多クラウン記憶セル形成プロセスを図示している。しかしながら、本発明の形成方法論は3つ以上のクラウンを有する記憶セルを提供できることを了知すべきである。ビアの寸法、ポリシリコンの厚さ及びクラウンの間隔を低減することにより、略同一のメモリアレイ表面積内に3つ以上のクラウンが形成された多クラウン記憶セルを構築することができる。本発明の自己整合式記憶セル製造プロセスは、記憶ノード（SN）パターニング段階を除去すべく、プロセスの流れを変更することによって単一のクラウンセルを形成するのに使用することができることを更に了知すべきである。

10

【0013】

図1は、テトラエチルオキシレンの分解によって形成された酸化物（TEOS酸化物）またはBPSG（boron phosphate silicate glass）等の絶縁材料から成り得るメモリセル平坦化層12を示しており、この平坦化層12はこの層の上に被着された比較的薄いエッチングストップ層14及びこのエッチングストップ層14の上に被着された比較的厚いハードマスク層16を有している。ハードマスク層16は第1のサクリファイス層（first sacrificial layer）である。エッチングストップ層14及びハードマスク層16は、スパッタリングまたは化学的気相成長（CVD：chemical vapor deposition）プロセスを用いて被着することができる。エッチングストップ層14は、ハードマスク層16をエッチングするときのエッチングストップとして用いられる。エッチングストップ層14は Si_3N_4 を含んだ種々の絶縁材料から成り得るのに対し、ハードマスク層16は酸化物（例えば、ドープトまたはノンドープト SiO_2 ）、TiN及びSOG（spin-on-glass）を含む種々のマスク材料から成り得る。図1ないし図6に示す典型的な多クラウン記憶コンデンサ及び形成方法論に対して、エッチングストップ層14は Si_3N_4 から成り、ハードマスク層16はTEOS酸化物から成っている。

20

【0014】

図2に示すように記憶ノードビア18をパターニング形成して、半導体層10内にコンタクトを露出させる。略円筒状断面のビア18は、自己整合式セルの形成後に記憶ノード（SN：storage node）形状にフィットさせるために、平坦化層、エッチングストップ層及びハードマスク層の種々の高さに応じた変化する高さを有する。ハードマスク層16及びエッチングストップ層14の組み合わせられた厚さは、所望する記憶セルのクラウンの高さに応じて決定される。多クラウン記憶セル形成パラメータの1つの典型的なセットを表1にまとめてある。

30

【0015】

【表1】

自己整合式多クラウンセルの容量計算

256M DRAM記憶セルの寸法 (垂直方向の寸法)	SN幅 = 0.38 μm
	SN長さ = 0.92 μm
	SN間隔 = 0.24 μm (フォトパターニング及び エッチングの後)

10

記憶セルを形成するためのパラメータ設定 (単位= μm)			
SN-SN水平方向の分離	=	SNH =	0.1
SN-SN垂直方向の分離	=	SNV =	0.1
SNビアのパターニング幅	=	pw =	0.24
SNビアのパターニング長さ	=	pl =	0.78
SN幅	=	SNW =	0.52
SN長さ	=	SNL =	1.06
導電層材料の厚さ	=	t =	0.05
クラウン間隔	=	cs =	0.04

20

30

【表2】

表1のつづき

SN高さ	=	h	(以下の通り)
ビアの深さ	=	pd	= 0.6
ビアの幅	=	pw	= 0.24
ビアの長さ	=	pl	= 0.78

10

SN高さ (μm)		表面積 (μm ²)	NO誘電体 Teff	
			4.5 nm	3.0 nm
		Cs (fF)		
0.20		2.38	18.25	27.38
0.30		3.16	24.27	36.41
0.40		3.94	30.29	45.44
0.50		4.73	36.31	54.46
0.60		5.51	42.33	63.49
0.70		6.30	48.35	72.52
0.80		7.08	54.37	81.55
0.90		7.86	60.39	90.58
1.00		8.65	66.40	99.61

20

30

ここで

$$\text{表面積} = \pi(pw+2cs+2t)(pw/4+cs/2+t/2+h) + \pi(pw-2t)(h+pd-t) + 2\pi(h-2t)(pw+cs) + (pl-pw)(pw+2cs+8h+2pd-8t).$$

【0016】

普通の丸いビアと比較して本発明の低減されたビアの幅のために、自己整合式ビアエッチング段階を好ましくは用いるべきである。導電層のエッチングは記憶ノードを形成しこれを分離するために、この自己整合式SNエッチングは何らの付加的なフォトリソグラフィング段階を要求するものではない。

40

【0017】

ビア18をパターニングして異方性エッチングを行った後、インシトゥーPドーブト（ISD: in-situ P-doped）ポリシリコン等の導電性材料をビア18の内表面及びハードマスク層16の表面上に被着して、図3に示すように第1の導電層20を形成する。第1の導電層20は、図3に示すように、ビア18の側壁を覆ってビア18内に延びている。多クラウン記憶セル構造を形成すべく本発明のプロセスによって説明された各連続する導電層は、CVDまたはプラズマCVD成膜プロセスの何れかを用いて被着さ

50

れたI S Dポリシリコンから成り得る。

【0018】

図4に示すように適切なエッチングによって第1の導電層20をエッチバックして、導電層20をビア18の垂直な側壁に残すようにする。次に、図5に示すように、ハードマスク層16を除去するエッチングを行う。図3、図4及び図5に示すプロセス段階によって、記憶セルの第1のクラウン22及び第1のクラウン・ベース23が形成される。図5に示すように、第1のクラウン・ベース23はビア18領域内に形成され、一方、第1のクラウン22はビア18の上方に伸長する。第1のクラウン22は、第1のクラウン・ベース23からビア18の上方に伸長する略円筒状の伸長部を形成する。ビア18内に第1のクラウン・ベース23を形成することにより、第1のクラウン22には機械的安定性が与えられる。

10

【0019】

図6に示すように、露出したエッチングストップ層14、ビア18、第1のクラウン22の壁面及び第1のクラウン・ベース23に沿って第2の導電層24を被着して、ビア18の底部、第1のクラウン22及び第2のクラウン30の間にコンタクトをもたらすようにする。第2のサクリファイ層26即ちスペーサ層26を第2の導電層24上に成長させて、ビア18を充填して、連続的なクラウン間のスペーサとして機能するようにする。このスペーサ層26は、CVDまたはプラズマCVD成膜プロセスを用いて被着されたドープトまたはノンドープトSiO₂から成り得る。次いで、スペーサ層26をエッチバックして、図8に示すように特定の領域の第2の導電層24及びスペーサ層26を露出させる。

20

【0020】

次いで、図9に示すように、スペーサ層26及び第2の導電層24の露出部分に沿って第3の導電層28を被着して、第2のクラウン30を形成する。次いで、エッチバック・プロセスを図9の構造に適用して、記憶セルの上面に関連する第3の導電層28及び記憶セル間に関連する底部の導電層(ポリシリコン)をエッチング除去して、図10に示すような第2のクラウン30及び多クラウン記憶セル10を形成する。次に、残存する酸化物スペーサ層26をエッチバックして、図11に示すように、本発明の教示による自己整合式ダブルクラウン記憶セル構造10をもたらす。代替実施例において、導電層エッチバック・プロセスは、スペーサ層26及び第2の導電層24が露出されるまで第3の導電層28

30

について行うことができる。次いで、酸化物スペーサ層26をエッチバックすることができ、引き続き、第2の導電層24のエッチバック及び残存するエッチングストップ層14の除去を行って、ダブルクラウン記憶セル構造10をもたらす。図6ないし図11に説明したプロセスを多数回繰り返して、付加的クラウンを成長させることができる。

40

【0021】

第1のクラウン22と同様に、第3の導電層28は、ビア18の上方に第2のクラウン30を、またビア18内に第2のクラウン・ベース33を形成する。第2のクラウン30は第1のクラウン22の回りを取り囲んで形成されると共に、スペーサ26によって規定される距離だけ第1のクラウン22から離隔している。第2のクラウン・ベース33はビア18内に形成されて、製造の際及び製造の後の双方にて第2のクラウン30の機械的安定性を高める構造をもたらす。

【0022】

図11の実施例の製造されたダブルクラウン記憶セル構造10は、この自己整合式ダブルクラウン記憶セル10が1つのビア及び1つのSNパターンを有するこれまで提案された記憶セルに比して小さいセル分離を有するので、これまで開発された256M記憶セルに比して大きなセル寸法を有する。例えば、図11のダブルクラウン記憶セル10の全表面積は、0.5µmのSN高さにて簡易なスタック型セル(STC:stacked cell)の寸法の略3.2倍であり得る。

【0023】

一実施例において、各導電層をエッチングするのに使用される導電層エッチバック・プロ

50

セスは、各ポリシリコン層の表面を粗くして、平滑なダブルクラウン・セルと比較してダブルクラウン記憶セル10の表面積を増大すべく、AMATP-5000エッチャーを使用することを含み得る。更に、多クラウン記憶セル10の全表面積をより小さなビア及びより幅の狭いスペースを使用することによって増大してトリプルクラウンセルを形成するとすれば、または導電層(例えば、ポリシリコン)エッチング・プロセスによってダブルクラウンセルに関連してでこぼこしたポリシリコン表面が得られれば、この自己整合式多クラウン記憶セル10の使用を1Gb DRAMに拡張することができる。本発明の記憶セル構造は、適切な誘電体の成膜及び上部プレートの形成に基づいて多クラウン型コンデンサを形成するものである。

【0024】

図12は、本発明の2つのダブルクラウン記憶セル構造実施例を組み込んだDRAMセルを示している。図12において、メモリセル平坦化層12は、トランジスタ対が形成された半導体基板100上に形成されている。各トランジスタは、ドレイン領域160及び接続されたビット線200を共有しながら、ソース領域140及びゲート電極180を有している。ビット線200及びドレイン領域160は、フィールド酸化物120によってアクティブ領域及び素子分離領域に分割された半導体基板100のアクティブ領域上に形成されている。絶縁層190を得られた構造体の全表面に渡って形成して、トランジスタ同士を絶縁することができる。平坦化層12は絶縁層190の機能を果たすことができる。次いで、図1ないし図11及び関連する本文で説明したプロセスによって、得られた構造体上に多クラウン記憶セル構造10を形成する。トランジスタは記憶ノード・コンタクトをビット線200に結合している。O/N/Oなどの誘電体材料210が、多クラウン記憶セル構造10の全表面上に被着される。不純物がドーピングされたポリシリコン等の上部プレート材料が誘電体材料210上に被着されて、上部プレート220を形成する。得られたDRAMセル構造は2つのダブルクラウン記憶コンデンサ240, 250を組み込んでいる。

【0025】

要約すると、本発明は、半導体メモリデバイスに使用される自己整合式多クラウン記憶セル構造及びその製造方法を提供して、容量が増大した記憶コンデンサをもたらすものである。一実施例において、積層された平坦化絶縁層/エッチングストップ層/ハードマスク層中にコンタクト・ビアをパターンニング形成し、第1の導電層を被着し、該第1の導電層をエッチングし、前記ハードマスク層をエッチングし、前記導電層がコートされパターンニング形成されたビア及び前記エッチングストップ層上に第2の導電層を被着し、該第2の導電層上に酸化物層を被着し、該酸化物層をエッチングし、第3の導電層を被着し、(ポリシリコン等の)導電層材料をエッチング化して前記エッチングストップ層を露出させ、かつ残りの酸化物層をエッチングすることによって、ダブルクラウン記憶セル構造を形成することができる。最後の幾つかの段階を繰り返して、3つ以上のクラウンを有する記憶セル構造を形成することができる。本発明の自己整合式多クラウン記憶セルは、所定のメモリアレイ表面領域内にて、増大した記憶セル表面積及び増大した電荷蓄積容量をもたらすものである。本発明の製造方法論は、フォトパターンレベルを除去すると共に、一層ロバストな製造プロセス及び機械的安定性が増大した記憶セルをもたらす。

【0026】

以上、本発明を詳細に説明したが、特許請求の範囲によって述べられるこの発明の精神及び範囲にもとること無く、種々の修正、変換及び変更を行い得ることを了知すべきである。

【0027】

以上の説明に関して更に以下の項を開示する。

【0028】

(1) ベース層と、
該ベース層内に形成されたビアと、
該ビア内に形成された第1のクラウン・ベース、及び、該第1のクラウン・ベースに隣接

10

20

30

40

50

すると共に前記ビアの上方に略円筒状の伸長部を形成する第1のクラウンを備えた第1の導電層と、

前記ビア内に形成されると共に前記第1のクラウン・ベースを覆う少なくとも1つの周囲クラウン・ベース、及び、前記少なくとも1つの周囲クラウン・ベースに接続されると共に前記第1のクラウンから離隔して該第1のクラウンを取り囲む前記ベース層の上部の略円筒状の伸長部を形成する少なくとも1つの周囲クラウンを備えた少なくとも1つの周囲導電層と、を具備した半導体記憶セル構造。

【0029】

(2) 前記少なくとも1つの周囲導電層が、前記ビア内に形成されると共に前記第1のクラウン・ベースを覆う第2のクラウン・ベース、及び、該第2のクラウン・ベースに接続されると共に前記第1のクラウンから離隔して該第1のクラウンを取り囲む前記ベース層の上部の略円筒状の伸長部を形成する第2のクラウンを備えた第2の導電層を含む、第1項記載の記憶セル構造。

10

【0030】

(3) 前記少なくとも1つの周囲導電層が第2の導電層及び第3の導電層を含み、第2の導電層が、前記ビア内に形成されると共に、前記第1のクラウン・ベースを覆う第2のクラウン・ベースと、

該第2のクラウン・ベースに接続されると共に、前記第1のクラウンから離隔して該第1のクラウンを取り囲む前記ベース層の上部の略円筒状の伸長部を形成する第2のクラウンと、を備え、

20

前記第3の導電層が、前記ビア内に形成されると共に、前記第2のクラウン・ベースを覆う第3のクラウン・ベースと、

該第3のクラウン・ベースに接続されると共に、前記第2のクラウンから離隔して該第2のクラウンを取り囲む前記ベース層の上部の略円筒状の伸長部を形成する第3のクラウンと、を備えた、第1項記載の記憶セル構造。

【0031】

(4) 前記第1のクラウン及び前記第1のクラウン・ベースが、積層された平坦化絶縁層/エッチング・ストップ層/ハードマスク層中にコンタクト・ビアをパターンニング形成し、

30

前記パターンニング形成されたビア及び前記ハードマスク層上に第1の導電層を被着し、該第1の導電層をエッチングして前記ハードマスク層を露出させ、該ハードマスク層をエッチングして前記エッチングストップ層を露出させる、ことによって形成される、第1項記載の記憶セル構造。

【0032】

(5) 前記ベース層は酸化物で形成された絶縁層を備えた第1項記載の記憶セル構造。

【0033】

(6) 各導電層はポリシリコンを備えた第1項記載の記憶セル構造。

【0034】

40

(7) 各導電層は化学的気相成長法を用いて被着されたポリシリコンを備えた第1項記載の記憶セル構造。

【0035】

(8) 多数のクラウン上に被着された誘電体と、該誘電体及び前記記憶セル構造に渡って被着されて多クラウン記憶コンデンサを形成する上部プレート層と、を更に具備した第1項記載の記憶セル構造。

【0036】

(9) 半導体メモリデバイスに使用する自己整合式多クラウン記憶セルの形成方法において、

平坦化されたベース層を設ける段階と、

50

該ベース層中にコンタクト・ビアをパターンニング形成する段階と、
 前記ベース層上に第1のサクリフェイス層を形成する段階と、
 前記パターンニング形成したビア及び前記第1のサクリフェイス層上に第1の導電層を被着する段階と、
 該第1の導電層をエッチングして前記第1のサクリフェイス層を露出させる段階と、
 該第1のサクリフェイス層を除去する段階と、
 前記導電性材料でコートされパターンニング形成されたビア上及び前記ベース層上に第2の導電層を被着する段階と、
 該第2の導電層上に第2のサクリフェイス層を被着して前記ビアを充填する段階と、
 前記第2のサクリフェイス層をエッチングして前記第2の導電層の一部分を露出させる段階と、
 該第2の導電層の露出された部分及び残存する前記第2のサクリフェイス層上に第3の導電層を被着する段階と、
 前記導電層のエッチングを行って前記ベース層の一部分を露出させる段階と、
 前記第2のサクリフェイス層の残存する部分を除去してダブルクラウン記憶セル構造を形成する段階と、を具備する方法。

10

【0037】

(10) 前記第1のサクリフェイス層及び前記第2のサクリフェイス層の双方は酸化物を備えた第9項記載の方法。

【0038】

(11) 前記ベース層はエッチングストップ層を更に備えた第9項記載の方法。

20

【0039】

(12) 前記導電性材料でコートされパターンニング形成されたビア及び前記ベース層上に第4の導電層を被着する段階と、
 該第4の導電層上に第3のサクリフェイス層を被着する段階と、
 該第3のサクリフェイス層をエッチングして前記第4の導電層の一部分を露出させる段階と、
 該第4の導電層の露出された部分及び残存する前記第3のサクリフェイス層上に第5の導電層を被着する段階と、
 エッチングを行って前記ベース層を露出させる段階と、
 残存する前記第3のサクリフェイス層をエッチングすることによって、3つのクラウンを有する記憶セル構造を形成する段階と、を更に具備した第9項記載の方法。

30

【0040】

(13) 前記導電性材料でコートされパターンニング形成されたビア及び前記ベース層上に第4の導電層を被着する段階と、
 該第4の導電層上に第4のサクリフェイス層を被着する段階と、
 該第4のサクリフェイス層をエッチングして前記第4の導電層の一部分を露出させる段階と、
 該第4の導電層の露出部分及び残存する前記第4のサクリフェイス層上に第5の導電層を被着する段階と、
 導電性材料をエッチングして前記ベース層を露出させる段階と、
 前記残存する第4のサクリフェイス層をエッチングする段階と、
 前記導電性材料でコートされパターンニング形成されたビア及び前記エッチングストップ層上に第6の導電層を被着する段階と、
 該第6の導電層上に第5のサクリフェイス層を被着する段階と、
 該第5のサクリフェイス層をエッチングして前記第6の導電層の一部分を露出させる段階と、
 該第6の導電層の露出部分及び残存する前記第5のサクリフェイス層上に第7の導電層を被着する段階と、
 導電性材料をエッチングして前記ベース層を露出させる段階と、

40

50

前記残存する第5のサクリフェイス層をエッチングすることにより4つのクラウンを有する記憶セル構造を形成する段階と、を更に具備した第9項記載の前記方法。

【0041】

(14) 前記導電性材料をエッチングして前記ベース層を露出させる段階が、前記第3の導電層をエッチングして、残存する前記第2のサクリフェイス層及び前記第2の導電層の一部を露出させる段階と、前記第2の導電層の露出部分をエッチングして、前記ベース層を露出させる段階と、を更に備えた第9項記載の方法。

【0042】

(15) 前記ベース層は酸化物から形成された絶縁層及び該絶縁層上に被着された Si_3N_4 を含むエッチングストップ層を更に備えた第9項記載の方法。 10

【0043】

(16) 各導電層は化学的気相成長法を用いて被着されたポリシリコンを含む第9項記載の方法。

【0044】

(17) 前記第2のサクリフェイス層は化学的気相成長法を用いて被着された SiO_2 を含む第9項記載の方法。

【0045】

(18) 前記記憶セル構造上に誘電体を被着する段階と、該誘電体一面に上部プレートを被着して多クラウン記憶コンデンサを形成する段階と、を更に具備した第9項記載の方法 20

【0046】

(19) 半導体メモリデバイスに使用する多クラウン記憶コンデンサにおいて、酸化物から形成された平坦化絶縁層を備えたベース層と、該ベース層内に形成されたビアと、該ビア内に形成された第1のクラウン・ベース、及び、該第1のクラウン・ベースに隣接すると共に前記ビアの上方に略円筒状の伸長部を形成する第1のクラウンを備えた第1のドーフト導電層と、前記ビア内に形成されると共に前記第1のクラウン・ベースを覆う第2のクラウン・ベース、及び、該第2のクラウン・ベースに接続されると共に前記第1のクラウンから離隔して該第1のクラウンを取り囲む前記ベース層の上部の略円筒状の伸長部を形成する第2の周囲クラウンを備えた第2のドーフト導電層と、前記クラウンの各表面及び前記クラウン・ベースの各表面上に被着された誘電体と、該誘電体を覆ってダブルクラウン記憶コンデンサを形成する上部プレートと、を具備した多クラウン記憶コンデンサ。 30

【0047】

(20) 前記ビア内に形成されると共に前記第2のクラウン・ベースを覆う第3のクラウン・ベース、及び、該第3のクラウン・ベースに接続されると共に前記第2のクラウンから離隔して該第2のクラウンを取り囲む前記ベース層の上部の略円筒形の伸長部を形成する第3の周囲クラウンを備えた第3のPドーフト導電層と、 40
前記第3のクラウン及び前記第3のクラウン・ベース上に被着されて、トリプルクラウン記憶コンデンサを形成する誘電体と、を更に具備した第19項記載の多クラウン記憶コンデンサ。

【0048】

(21) 半導体層と、該半導体層の表面に設けられると共に、第1及び第2のソース/ドレイン領域及びゲートを備えたトランジスタと、前記第1のソース/ドレイン領域に電氣的に結合されたビット線と、メモリデバイス一面に設けられると共に、前記第2のソース/ドレイン領域上にビアを含む絶縁領域と、 50

前記第2のソース/ドレイン領域と接触する記憶ノード構造体であって、前記ビアの内壁に沿って形成されると共に、該ビアから離隔して前記絶縁領域を超えて伸長する第1のクラウン、及び、前記絶縁領域から離隔すると共に前記第1のクラウンから距離を置いて伸長する第2のクラウンを備えた前記記憶ノード構造体と、
 該記憶ノード構造体一面に形成された誘電体層と、
 該誘電体層一面に形成された上部プレート層と、を具備したメモリデバイス。

【0049】

(22) 前記記憶ノード領域が、前記絶縁領域から離隔すると共に前記第2のクラウンから距離を置いて伸長する第3のクラウンを更に備えた第21項記載のメモリデバイス。

【0050】

(23) 前記記憶ノード構造体が、前記絶縁領域から離隔して伸長する複数の付加的なクラウンを更に備え、各クラウンが他の全てのクラウンから距離を置いている、第21項記載のメモリデバイス。

【0051】

(24) 前記各クラウンが導電性材料を含む第21項記載のメモリデバイス。

【0052】

(25) 前記各クラウンがポリシリコンを含む第21項記載のメモリデバイス。

【0053】

(26) 容量が増大した記憶コンデンサをもたらす、半導体メモリデバイスに使用する自己整合式多クラウン記憶セル構造10及びその製造方法。ダブルクラウン記憶セル構造実施例10は、絶縁層12、エッチングストップ層14及びハードマスク層16を含み得る平坦化ベース層にコンタクト・ビア18をパターンニング形成し、第1の導電層20を被着し、第1の導電層20をエッチングし、ハードマスク層16をエッチングし、導電性材料でコートされパターンニング形成されたビア18及びエッチングストップ層14上に第2の導電層24を被着し、第2の導電層24上にサクリファイス(酸化物)層26を被着し、サクリファイス層26をエッチングし、第3の導電層28を被着し、かつ導電性材料及び残存するサクリファイス層26をエッチングすることによって形成することができる。最後の幾つかの段階を繰り返して、3つ以上のクラウンを有する記憶セル構造10を形成することができる。

【図面の簡単な説明】

【図1】絶縁層上に積層されたエッチングストップ層/ハードマスク層の平面的な被着状態を示す断面図である。

【図2】図1の積層された絶縁層/エッチングストップ層/ハードマスク層内のビア領域の形成を示す断面図である。

【図3】図2のビアを有する構造内に記憶ノードをパターン形成すべく導電層を被着した状態を示す断面図である。

【図4】導電性材料をエッチングした後の図3の構造を示す断面図である。

【図5】ハードマスクをエッチングして、本発明による多クラウン記憶セルの第1のクラウンを形成した後の図4の構造を示す断面図である。

【図6】図5の構造一面に第2の導電層を成長させた状態を示す断面図である。

【図7】図6の構造上に酸化物層を被着した状態を示す断面図である。

【図8】酸化物層をエッチングした後の図7の構造を示す断面図である。

【図9】図8の構造上に導電層を被着形成した状態を示す断面図である。

【図10】導電性材料をエッチングした後の図9の構造を示す断面図である。

【図11】酸化物を選択的にエッチングして、本発明による多クラウン記憶セルの一実施例を得た状態を示す断面図である。

【図12】本発明の教示によって2つのダブルクラウン記憶コンデンサを組み込んだDRAMセルを示す断面図である。

【符号の説明】

10 多クラウン記憶セル

10

20

30

40

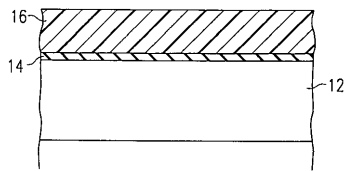
50

- 1 2 平坦化層
- 1 4 エッチングストップ層
- 1 6 ハードマスク層
- 1 8 ピア
- 2 0 第 1 の導電層
- 2 2 第 1 のクラウン
- 2 3 第 1 のクラウン・ベース
- 2 4 第 2 の導電層
- 2 6 第 2 のサクリフェイス層 (スペーサ層)
- 2 8 第 3 の導電層
- 3 0 第 2 のクラウン
- 3 3 第 2 のクラウン・ベース
- 1 0 0 半導体基板
- 1 2 0 フィールド酸化物
- 1 4 0 ソース領域
- 1 6 0 ドレイン領域
- 1 8 0 ゲート電極
- 2 0 0 ビット線
- 2 1 0 誘電体材料
- 2 2 0 上部プレート

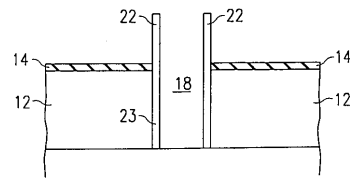
10

20

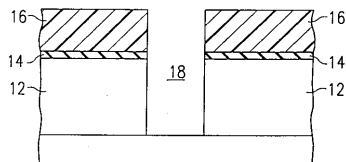
【図 1】



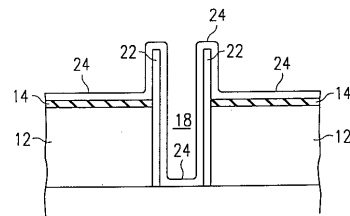
【図 5】



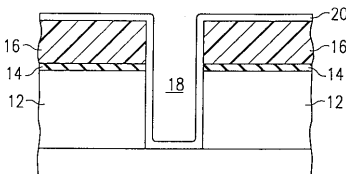
【図 2】



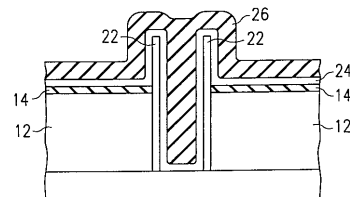
【図 6】



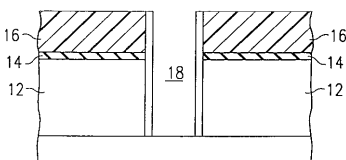
【図 3】



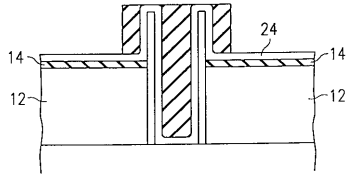
【図 7】



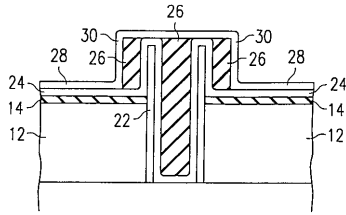
【図 4】



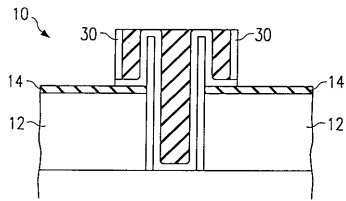
【 8 】



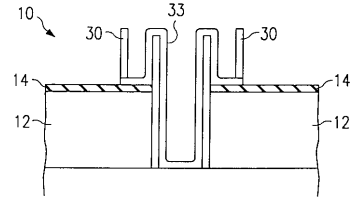
【 9 】



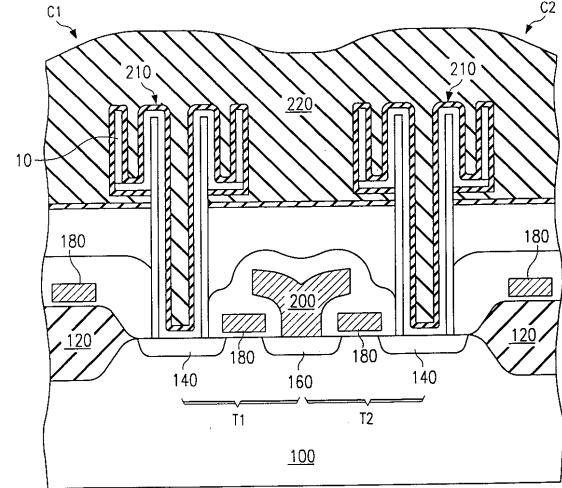
【 10 】



【 11 】



【 12 】



フロントページの続き

(74)代理人 100091339

弁理士 清水 邦明

(72)発明者 ロバート ユン - シー ツー

アメリカ合衆国テキサス州ブラノ, ラバカ ドライブ 4209

(72)発明者 ジン シュー

アメリカ合衆国テキサス州ブラノ, ノルマンディ ドライブ 1810

(72)発明者 浅野 勇

埼玉県入間郡下藤沢ガイア パレス 804

(72)発明者 ジェフリー アラン マッキー

アメリカ合衆国テキサス州グレイブバイン, ラグナ ビスタ ウェイ 1517

審査官 正山 旭

(56)参考文献 特開平05 - 102416 (JP, A)

特開平03 - 174765 (JP, A)

特開平06 - 045552 (JP, A)

特開平02 - 094554 (JP, A)

特開平06 - 021382 (JP, A)

特開平07 - 130873 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

H01L 27/108