

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3823315号  
(P3823315)

(45) 発行日 平成18年9月20日(2006.9.20)

(24) 登録日 平成18年7月7日(2006.7.7)

(51) Int. Cl.		F I	
<b>HO3M 13/29</b>	<b>(2006.01)</b>	HO3M 13/29	
<b>HO3M 13/23</b>	<b>(2006.01)</b>	HO3M 13/23	
<b>HO3M 13/25</b>	<b>(2006.01)</b>	HO3M 13/25	
<b>HO4L 27/18</b>	<b>(2006.01)</b>	HO4L 27/18	B

請求項の数 9 (全 42 頁)

(21) 出願番号	特願2002-131964 (P2002-131964)	(73) 特許権者	000002185
(22) 出願日	平成14年5月7日(2002.5.7)		ソニー株式会社
(65) 公開番号	特開2003-324357 (P2003-324357A)		東京都品川区北品川6丁目7番35号
(43) 公開日	平成15年11月14日(2003.11.14)	(74) 代理人	100082131
審査請求日	平成16年4月13日(2004.4.13)		弁理士 稲本 義雄
		(72) 発明者	横川 峰志
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		(72) 発明者	服部 雅之
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		(72) 発明者	宮内 俊之
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内

最終頁に続く

(54) 【発明の名称】 符号化装置及び符号化方法、並びに復号装置及び復号方法

(57) 【特許請求の範囲】

【請求項1】

入力されたデータに対して縦列連接畳み込み符号化又は縦列連接符号化変調を行う符号化装置であって、

入力されたデータに対して所定の符号化を行う第1の要素符号化手段と、

上記第1の要素符号化手段によって符号化されて生成された第1の符号化データの順序を置換して並べ替えるインターリーブ手段と、

上記インターリーブ手段に縦列に接続し、上記インターリーブ手段によって生成されたインターリーブデータに対して所定の符号化を行い、第2の符号化データを生成する第2の要素符号化手段とを備え、

上記第2の要素符号化手段は、データを記憶する2以上の記憶素子を有し、入力距離が奇数では終結されない上記第2の符号化データを生成すること

を特徴とする符号化装置。

【請求項2】

上記第2の要素符号化手段は、生成行列におけるフィードバック多項式が  $(1 + D^n)$  で表されるものであること

を特徴とする請求項1記載の符号化装置。

【請求項3】

上記第1の要素符号化手段及び上記第2の要素符号化手段は、それぞれ、畳み込み符号化を行うこと

を特徴とする請求項 1 記載の符号化装置。

【請求項 4】

上記第 2 の要素符号化手段によって符号化されて生成された上記第 2 の符号化データを所定の変調方式の伝送シンボルにマッピングするマッピング手段を備えること

を特徴とする請求項 1 記載の符号化装置。

【請求項 5】

上記マッピング手段は、8 相位相変調方式による変調を行うこと

を特徴とする請求項 4 記載の符号化装置。

【請求項 6】

入力されたデータに対して縦列接続畳み込み符号化又は縦列接続符号化変調を行う符号化方法であって、

入力されたデータに対して所定の符号化を行う第 1 の要素符号化工程と、

上記第 1 の要素符号化工程にて符号化されて生成された第 1 の符号化データの順序を置換して並べ替えるインターリーブ工程と、

上記インターリーブ工程にて生成されたインターリーブデータに対して所定の符号化を行い、第 2 の符号化データを生成する第 2 の要素符号化工程とを備え、

上記第 2 の要素符号化工程では、データを記憶する 2 以上の記憶素子が用いられ、入力距離が奇数では終結されない上記第 2 の符号化データが生成されること

を特徴とする符号化方法。

【請求項 7】

入力されたデータに対して所定の符号化を行う第 1 の要素符号化手段と、上記第 1 の要素符号化手段によって符号化されて生成された第 1 の符号化データの順序を置換して並べ替える第 1 のインターリーブ手段と、上記第 1 のインターリーブ手段に縦列に接続し、上記第 1 のインターリーブ手段によって生成されたインターリーブデータに対して所定の符号化を行い、第 2 の符号化データを生成する第 2 の要素符号化手段とを備え、上記第 2 の要素符号化手段は、データを記憶する 2 以上の記憶素子を有し、入力距離が奇数では終結されない上記第 2 の符号化データを生成する符号化装置によって縦列接続畳み込み符号化又は縦列接続符号化変調が施された符号の復号を行う復号装置であって、

上記第 2 の要素符号化手段に対応して備えられ、軟入力とされる受信値及び情報ビットに対する事前確率情報を入力して軟出力復号を行い、各時刻における第 1 の外部情報を生成する第 1 の軟出力復号手段と、

上記第 1 の軟出力復号手段に縦列に接続し、上記第 1 のインターリーブ手段によって並べ替えられた上記インターリーブデータの配列を、上記第 1 の要素符号化手段によって符号化されて生成された上記第 1 の符号化データの配列に戻すように、上記第 1 の軟出力復号手段によって生成された軟入力とされる上記第 1 の外部情報を並べ替えるデインターリーブ手段と、

上記第 1 の要素符号化手段に対応して備えられ且つ上記デインターリーブ手段に縦列に接続し、上記デインターリーブ手段によって生成された軟入力とされる符号ビットに対する事前確率情報と、入力された軟入力とされる情報ビットに対する事前確率情報とを用いて軟出力復号を行い、各時刻における情報ビットに対する事後確率情報及び / 又は第 2 の外部情報を生成する第 2 の軟出力復号手段と、

上記第 1 のインターリーブ手段と同一の置換位置情報に基づいて、上記第 2 の軟出力復号手段によって生成された軟入力とされる上記第 2 の外部情報の順序を置換して並べ替える第 2 のインターリーブ手段とを備え、

上記第 1 の軟出力復号手段は、上記情報ビットに対する事前確率情報として、上記第 2 のインターリーブ手段によって生成された軟入力とされる上記第 2 の外部情報を入力すること

を特徴とする復号装置。

【請求項 8】

上記受信値に基づいて任意のステータスを通過する確率を求め、上記確率を用いて、上記

符号を繰り返し復号すること

を特徴とする請求項7記載の復号装置。

【請求項9】

入力されたデータに対して所定の符号化を行う第1の要素符号化工程と、上記第1の要素符号化工程にて符号化されて生成された第1の符号化データの順序を置換して並べ替える第1のインターリーブ工程と、上記第1のインターリーブ工程にて生成されたインターリーブデータに対して所定の符号化を行い、第2の符号化データを生成する第2の要素符号化工程とを備え、上記第2の要素符号化工程では、データを記憶する2以上の記憶素子が用いられ、入力距離が奇数では終結されない上記第2の符号化データが生成される符号化方法を用いて縦列接続畳み込み符号化又は縦列接続符号化変調が施された符号の復号を行う復号方法であって、

10

上記第2の要素符号化工程に対応して備えられ、軟入力とされる受信値及び情報ビットに対する事前確率情報を入力して軟出力復号を行い、各時刻における第1の外部情報を生成する第1の軟出力復号工程と、

上記第1のインターリーブ工程にて並べ替えられた上記インターリーブデータの配列を、上記第1の要素符号化工程にて符号化されて生成された上記第1の符号化データの配列に戻すように、上記第1の軟出力復号工程にて生成された軟入力とされる上記第1の外部情報を並べ替えるデインターリーブ工程と、

上記第1の要素符号化工程に対応して備えられ、上記デインターリーブ工程にて生成された軟入力とされる符号ビットに対する事前確率情報と、入力された軟入力とされる情報ビットに対する事前確率情報とを用いて軟出力復号を行い、各時刻における情報ビットに対する事後確率情報及び/又は第2の外部情報を生成する第2の軟出力復号工程と、

20

上記第1のインターリーブ工程と同一の置換位置情報に基づいて、上記第2の軟出力復号工程にて生成された軟入力とされる上記第2の外部情報の順序を置換して並べ替える第2のインターリーブ工程とを備え、

上記第1の軟出力復号工程では、上記情報ビットに対する事前確率情報として、上記第2のインターリーブ工程にて生成された軟入力とされる上記第2の外部情報が入力されること

を特徴とする復号方法。

【発明の詳細な説明】

30

【0001】

【発明の属する技術分野】

本発明は、入力されたデータに対して縦列接続畳み込み符号化又は縦列接続符号化変調を行う符号化装置及び符号化方法、並びにこれらの符号化装置及び符号化方法によって縦列接続畳み込み符号化又は縦列接続符号化変調が施された符号の復号を行う復号装置及び復号方法に関する。

【0002】

【従来の技術】

近年、例えば、移動体通信や深宇宙通信といった通信分野、及び地上波又は衛星デジタル放送といった放送分野の研究が著しく進められているが、それに伴い、誤り訂正符号化及び復号の効率化を目的として符号理論に関する研究も盛んに行われている。

40

【0003】

符号性能の理論的限界としては、いわゆるシャノン(C. E. Shannon)の通信路符号化定理によって与えられるシャノン限界が知られている。

【0004】

符号理論に関する研究は、このシャノン限界に近い性能を示す符号を開発することを目的として行われている。近年では、シャノン限界に近い性能を示す符号化方法として、例えば、縦列接続畳み込み符号(Serially Concatenated Convolutional Codes; 以下、SCCCという。)が開発されている。

【0005】

50

このSCCCによる符号化は、2つの畳み込み符号化器とインターリーバとを縦列に接続して行われる。そして、SCCCの復号は、軟出力 (soft-output) を出力する2つの復号回路を縦列に接続して行われ、2つの復号回路の間で情報の授受を行うことにより、最終的な復号結果が得られる。

【0006】

また、このSCCCによる符号化の応用として、例えば、「D. Divsalar, F. Pollara, "Serial and Hybrid Concatenation Codes with Applications", in Proc., Int. Symp. on Turbo Codes and Related Topics, Brest, France, pp. 80-87, Sept. 1997」に記載されている縦列接続符号化変調 (Serial Concatenated Trellis Coded Modulation; 以下、SCTCMという。) 方式も知られている。このSCTCM方式は、SCCCによる符号化と多値変調とを組み合わせたものであり、変調信号の信号点の配置と誤り訂正符号の復号特性とを統括して考慮するものである。

10

【0007】

以下、SCTCM方式による符号化を行う符号化装置、及びSCTCM方式による符号の復号を行う復号装置の具体例について説明する。なお、以下の説明においては、図13に示すように、デジタル情報を図示しない送信装置が備える符号化装置201によって符号化し、その出力を雑音のある無記憶通信路202を介して図示しない受信装置に入力して、この受信装置が備える復号装置203によって復号し、観測する場合を考える。

【0008】

SCTCM方式による符号化を行う符号化装置201としては、例えば図14に示すように、外符号の符号化を行う畳み込み符号化器210と、入力したデータの順序を並べ替えるインターリーバ220と、内符号の符号化を行う畳み込み符号化器230と、所定の変調方式に基づいて信号点のマッピングを行う多値変調マッピング回路240とを備えるものがある。この符号化装置201は、入力した2ビットの入力データD201に対して、符号化率が $2/3$ の縦列接続畳み込み演算を行い、3ビットの符号化データD204に変換し、例えば8相位相変調方式 (8-Phase Shift Keying; 以下、8PSK変調方式という。) の伝送シンボルにマッピングして3ビットの1つの符号化伝送シンボルD205として出力する。

20

【0009】

畳み込み符号化器210は、図15に示すように、3つの排他的論理和回路211, 213, 215と、2つのシフトレジスタ212, 214とを有する。

30

【0010】

排他的論理和回路211は、2ビットの入力データ $D_{201_1}$ ,  $D_{201_2}$ を用いて排他的論理和演算を行い、演算結果をシフトレジスタ212に供給する。

【0011】

シフトレジスタ212は、保持している1ビットのデータを排他的論理和回路213に供給し続ける。そして、シフトレジスタ212は、クロックに同期させて、排他的論理和回路211から供給される1ビットのデータを新たに保持し、このデータを排他的論理和回路213に新たに供給する。

【0012】

排他的論理和回路213は、シフトレジスタ212から供給されるデータと、2ビットの入力データD201のうちの1ビットの入力データ $D_{201_1}$ とを用いて排他的論理和演算を行い、演算結果をシフトレジスタ214に供給する。

40

【0013】

シフトレジスタ214は、保持している1ビットのデータを排他的論理和回路215に供給し続ける。そして、シフトレジスタ214は、クロックに同期させて、排他的論理和回路213から供給される1ビットのデータを新たに保持し、このデータを排他的論理和回路215に新たに供給する。

【0014】

排他的論理和回路215は、シフトレジスタ214から供給されるデータと、入力データ

50

D 2 0 1<sub>1</sub> , D 2 0 1<sub>2</sub> とを用いて排他的論理和演算を行い、演算結果を3ビットの符号化データD 2 0 2のうち1ビットの符号化データD 2 0 2<sub>3</sub>として後段のインターリーバ2 2 0に出力する。

【 0 0 1 5 】

このような畳み込み符号化器2 1 0は、2ビットの入力データD 2 0 1<sub>1</sub> , D 2 0 1<sub>2</sub>を入力すると、これらの入力データD 2 0 1<sub>1</sub> , D 2 0 1<sub>2</sub>に対して畳み込み演算を行い、演算結果を3ビットの符号化データD 2 0 2<sub>1</sub> , D 2 0 2<sub>2</sub> , D 2 0 2<sub>3</sub>として後段のインターリーバ2 2 0に出力する。すなわち、畳み込み符号化器2 1 0は、外符号の符号化として符号化率が"2 / 3"の畳み込み演算を行い、生成した符号化データD 2 0 2を後段のインターリーバ2 2 0に出力する。

10

【 0 0 1 6 】

インターリーバ2 2 0は、畳み込み符号化器2 1 0から出力された3つのビット系列からなる符号化データD 2 0 2にインターリーブを施し、生成した3つのビット系列からなるインターリーブデータD 2 0 3を後段の畳み込み符号化器2 3 0に出力する。

【 0 0 1 7 】

畳み込み符号化器2 3 0は、図16に示すように、排他的論理和回路2 3 1と、シフトレジスタ2 3 2とを有する。

【 0 0 1 8 】

排他的論理和回路2 3 1は、3ビットのインターリーブデータD 2 0 3<sub>1</sub> , 2 0 3<sub>2</sub> , D 2 0 3<sub>3</sub>を用いて排他的論理和演算を行い、演算結果を3ビットの符号化データD 2 0 4のうち1ビットの符号化データD 2 0 4<sub>3</sub>として後段の多値変調マッピング回路2 4 0に出力するとともに、シフトレジスタ2 3 2に供給する。

20

【 0 0 1 9 】

シフトレジスタ2 3 2は、保持している1ビットのデータを排他的論理和回路2 3 1に供給し続ける。そして、シフトレジスタ2 3 2は、クロックに同期させて、排他的論理和回路2 3 1から供給される1ビットのデータを新たに保持し、このデータを排他的論理和回路2 3 1に新たに供給する。

【 0 0 2 0 】

このような畳み込み符号化器2 3 0は、3ビットのインターリーブデータD 2 0 3<sub>1</sub> , D 2 0 3<sub>2</sub> , D 2 0 3<sub>3</sub>を入力すると、これらのインターリーブデータD 2 0 3<sub>1</sub> , D 2 0 3<sub>2</sub> , D 2 0 3<sub>3</sub>に対して畳み込み演算を行い、演算結果を3ビットの符号化データD 2 0 4<sub>1</sub> , D 2 0 4<sub>2</sub> , D 2 0 4<sub>3</sub>として後段の多値変調マッピング回路2 4 0に出力する。すなわち、畳み込み符号化器2 3 0は、内符号の符号化として符号化率が"3 / 3 = 1"の畳み込み演算を行い、生成した符号化データD 2 0 4を後段の多値変調マッピング回路2 4 0に出力する。

30

【 0 0 2 1 】

多値変調マッピング回路2 4 0は、畳み込み符号化器2 3 0から出力された符号化データD 2 0 4を、クロックに同期させて、例えば8 P S K変調方式の伝送シンボルにマッピングする。具体的には、多値変調マッピング回路2 4 0は、畳み込み符号化器2 3 0から出力された3ビットの符号化データD 2 0 4を1つの伝送シンボルとしてマッピングし、1つの符号化伝送シンボルD 2 0 5を生成する。多値変調マッピング回路2 4 0は、生成した符号化伝送シンボルD 2 0 5を外部に出力する。

40

【 0 0 2 2 】

このような符号化装置2 0 1は、畳み込み符号化器2 1 0によって外符号の符号化として符号化率が"2 / 3"の畳み込み演算を行い、畳み込み符号化器2 3 0によって内符号の符号化として符号化率が"1"の畳み込み演算を行うことにより、全体として、符号化率が"(2 / 3) × 1 = 2 / 3"の縦列接続畳み込み演算を行う。この符号化装置2 0 1によって符号化され且つ変調されたデータは、無記憶通信路2 0 2を介して受信装置に出力される。

【 0 0 2 3 】

50

一方、符号化装置 201 による S C T C M 方式の符号の復号を行う復号装置 203 としては、例えば図 17 に示すように、内符号の復号を行う軟出力復号回路 250 と、入力したデータの順序を元に戻すデインターリーバ 260 と、入力したデータの順序を並べ替えるインターリーバ 270 と、外符号の復号を行う軟出力復号回路 280 とを備えるものがある。この復号装置 203 は、無記憶通信路 202 上で発生したノイズの影響によってアナログ値をとり軟入力 (soft-input) とされる受信値 D 206 から符号化装置 201 における入力データ D 201 を推定し、復号データ D 211 として出力する。

#### 【0024】

軟出力復号回路 250 は、符号化装置 201 における畳み込み符号化器 230 に対応して備えられるものであり、「Bahl, Cocke, Jelinek and Raviv, "Optimal decoding of linear codes for minimizing symbol error rate", IEEE Trans. Inf. Theory, vol. IT-20, pp. 284-287, Mar. 1974」に記載されている B C J R アルゴリズムや、この B C J R アルゴリズムを改良したアルゴリズムであって「Robertson, Villebrun and Hoehner, "A comparison of optimal and sub-optimal MAP decoding algorithms operating in the domain", IEEE Int. Conf. on Communications, pp. 1009-1013, June 1995」に記載されている Max-Log-MAP アルゴリズム又は Log-MAP アルゴリズム (以下、Max-Log-BCJR アルゴリズム又は Log-BCJR アルゴリズムという。) に基づく最大事後確率 (Maximum A Posteriori probability; 以下、MAP という。) 復号や SOVA (Soft Output Viterbi Algorithm) 復号を行うものである。軟出力復号回路 250 は、受信装置によって受信された軟入力の受信値 D 206 を入力するとともに、インターリーバ 270 から供給された軟入力の情報ビットに対する事前確率情報 (a priori probability information) D 207 を入力し、これらの受信値 D 206 と事前確率情報 D 207 とを用いて、内符号の軟出力復号を行う。そして、軟出力復号回路 250 は、符号の拘束条件によって求められる情報ビットに対する外部情報 (extrinsic information) D 208 を生成し、この外部情報 D 208 を後段のデインターリーバ 260 に軟出力として出力する。なお、この外部情報 D 208 は、符号化装置 201 におけるインターリーバ 220 によってインターリーブされたインターリーブデータ D 203 に対応するものである。

#### 【0025】

デインターリーバ 260 は、符号化装置 201 におけるインターリーバ 220 によってインターリーブされたインターリーブデータ D 203 のビット配列を、それぞれ、元の符号化データ D 202 のビット配列に戻すように、軟出力復号回路 250 から出力される軟入力の外部情報 D 208 にデインターリーブを施す。デインターリーバ 260 は、デインターリーブして得られたデータを後段の軟出力復号回路 280 における符号ビットに対する事前確率情報 D 209 として出力する。

#### 【0026】

インターリーバ 270 は、軟出力復号回路 280 から出力された軟入力である符号ビットに対する外部情報 D 210 に対して、符号化装置 201 におけるインターリーバ 220 と同一の置換位置情報に基づいたインターリーブを施す。インターリーバ 270 は、インターリーブして得られたデータを軟出力復号回路 250 における情報ビットに対する事前確率情報 D 207 として出力する。

#### 【0027】

軟出力復号回路 280 は、符号化装置 201 における畳み込み符号化器 210 に対応して備えられるものであり、軟出力復号回路 250 と同様に、上述した B C J R アルゴリズムや、Max-Log-BCJR アルゴリズム又は Log-BCJR アルゴリズムに基づく MAP 復号や SOVA 復号を行うものである。軟出力復号回路 280 は、デインターリーバ 260 から出力された軟入力の符号ビットに対する事前確率情報 D 209 を入力するとともに、図示しないが、値が "0" である情報ビットに対する事前確率情報を入力し、これらの事前確率情報を用いて、外符号の軟出力復号を行う。そして、軟出力復号回路 280 は、符号の拘束条件によって求められる符号ビットに対する外部情報 D 210 を生成し、

10

20

30

40

50

この外部情報 D 2 1 0 をインターリーバ 2 7 0 に軟出力として出力する。また、軟出力復号回路 2 8 0 は、図示しないが、符号の拘束条件によって求められる情報ビットに対するいわゆる事後確率情報 (a posteriori probability information) を生成し、この事後確率情報に基づいて、硬出力 (hard-output) の復号データ D 2 1 1 を出力する。

【 0 0 2 8 】

このような復号装置 2 0 3 は、受信値 D 2 0 6 を受信すると、軟出力復号回路 2 5 0 乃至軟出力復号回路 2 8 0 の復号動作を例えば数回乃至数十回といった所定の回数だけ反復して行い、所定の回数の復号動作の結果得られた軟出力の外部情報に基づいて、復号データ D 2 1 1 を出力する。

【 0 0 2 9 】

ところで、符号設計を行う際の基準の 1 つとして、ML クライテリア (Maximum Likelihood criteria) と称されるものがある。この ML クライテリアとは、符号の性能を表すために、ビットエラーレートの対数表示 ( $\log_{10} BER$ ) と、1 ビットあたりの信号対雑音電力比 ( $E_b / N_0$ ) との関係で示される性能曲線を描いた場合に、信号対雑音電力比を高くしてもビットエラーレートの値が減少しない現象、いわゆるエラーフロア現象が生じるビットエラーレートの値を低くするための基準であり、符号全体としての重み分布の最適化を図るための基準である。

【 0 0 3 0 】

ここで、エラーフロアは、符号の距離構造によって決まるものであることが知られている。具体的には、ブロック長が N である符号に対してエラーフロアが生じるビットエラーレートの値に支配的な項は、次式 (1) に示すように表される。なお、次式 (1) において、 $d_f^0$  は、外符号の最小距離を示し、 $d_{f \cdot eff}$  は、内符号の有効最小ユークリッド距離を示し、 $h_m^{(3)}$  は、入力ハミング距離 "3" に対する最小ユークリッド距離を示すものである。また、 $\delta^2$  は、外符号の最小距離  $d_f^0$  が偶数のときには次式 (2) で表され、外符号の最小距離  $d_f^0$  が奇数のときには次式 (3) で表されるものである。

【 0 0 3 1 】

【数 1】

$$N^{-\lfloor (d_f^0 + 1) / 2 \rfloor} e^{-\delta^2 (E_b / 4 N_0)}$$

ただし、 $\lfloor x \rfloor$  は、実数  $x$  の整数部分を表す。

・・・(1)

【 0 0 3 2 】

【数 2】

$$\delta^2 = \frac{d_f^0 d_{f \cdot eff}^2}{2} \quad \dots (2)$$

【 0 0 3 3 】

【数 3】

$$\delta^2 = \frac{(d_f^0 - 3) d_{f \cdot eff}^2}{2} + (h_m^{(3)})^2 \quad \dots (3)$$

【 0 0 3 4 】

すなわち、ブロック長が N である符号に対してエラーフロアが生じるビットエラーレートの値に支配的な項は、外符号の最小距離  $d_f^0$  が偶数のときには、入力距離 "2" に対する内符号のユークリッド距離に依存し、外符号の最小距離  $d_f^0$  が奇数のときには、入力距離 "2" 及び "3" に対する内符号のユークリッド距離に依存する。符号設計においては、このユークリッド距離を最大化することが、低いエラーフロアを得るための条件となる。

10

20

30

40

50

## 【 0 0 3 5 】

このようなエラーフロア現象が生じるビットエラーレートの値を低くするための基準であるMLクライテリアを鑑みて符号設計を行う場合には、以下の5つの手順を踏む必要がある。

## 【 0 0 3 6 】

まず、符号設計においては、いわゆるセット・パーティショニング (set partitioning) の手法等を用いて出力距離の分布を最適化し、カタストロフィックでないトレリスを作成する。

## 【 0 0 3 7 】

続いて、符号設計においては、低出力距離の符号語が多数発生しないように、入力ハミング距離 "1" に対する出力距離を無限大にする。すなわち、符号設計においては、例えば、トレリス上のある状態 (遷移状態) から入力ハミング距離 "1" で分岐して他の状態へと到達し、さらに、入力ハミング距離 "0" で元の状態へと戻るようなパスをなくし、入力ハミング距離 "1" では終結しないようにする。これは、仮にこのようなパスが存在する符号を構成した場合には、インターリーブが設けられているとしても、外符号の距離が小さいときには、当該外符号がインターリーブによって並べ替えられて内符号に入力され、どのビット系列もが小さい出力距離を生成してしまうことに起因して、終結パターンが多数発生して高いエラーフロアが生じてしまう事態を招来することによるものである。

## 【 0 0 3 8 】

続いて、符号設計においては、MLクライテリアにしたがう。すなわち、符号設計においては、入力距離 "2" に対する内符号の出力距離を最大化する。ただし、外符号の最小距離  $d_f^0$  が奇数のときには、入力距離 "3" に対する内符号の出力距離を最大化する。符号設計においては、このようなMLクライテリアにしたがって符号を構成した場合には、符号の重み分布が最適化され、結果的にエラーフロアを低くすることができる。

## 【 0 0 3 9 】

続いて、符号設計においては、上述した入力ハミング距離 "1" では終結しないようにする条件と、MLクライテリアにしたがう条件との双方にしたがって、トレリスに入力位置と出力位置とをマッピングする。

## 【 0 0 4 0 】

そして、符号設計においては、畳み込み符号で表現できるように、信号点位置に符号化器の出力を割り当てる。

## 【 0 0 4 1 】

符号設計においては、このような手順を踏むことにより、低いエラーフロアの符号を構成することができる。

## 【 0 0 4 2 】

さて、このような手順を用いて具体的にSCTCM方式の符号設計を行った例として、「D. Divsalar, S. Dolinar and F. Pollara "Serial Concatenated Trellis Coded Modulation with Rate-1 Inner Code", GLOBECOM 2000」に記載されているものがある。以下、これについて説明する。

## 【 0 0 4 3 】

この文献においては、内符号の符号化を行う畳み込み符号化器として、図18に示す畳み込み符号化器300を用いている。すなわち、畳み込み符号化器300は、3つの排他的論理和回路301, 302, 303と、シフトレジスタ304とを有する。

## 【 0 0 4 4 】

排他的論理和回路301は、シフトレジスタ304から供給されるデータと、入力されたインターリーブデータ  $D_{301_i}$  とを用いて排他的論理和演算を行い、演算結果を3ビットの符号化データ  $D_{302}$  のうちの1ビットの符号化データ  $D_{302_i}$  として図示しない後段の多値変調マッピング回路に出力する。

## 【 0 0 4 5 】

10

20

30

40

50

排他的論理和回路302は、入力されたインターリーブデータ $D301_1$ 、 $D301_2$ を用いて排他的論理和演算を行い、演算結果を3ビットの符号化データ $D302$ のうちの1ビットの符号化データ $D302_2$ として後段の多値変調マッピング回路に出力する。

【0046】

排他的論理和回路303は、シフトレジスタ304から供給されるデータと、入力されたインターリーブデータ $D301_1$ 、 $D301_2$ 、 $D301_3$ とを用いて排他的論理和演算を行い、演算結果をシフトレジスタ304に供給するとともに、3ビットの符号化データ $D302$ のうちの1ビットの符号化データ $D302_3$ として後段の多値変調マッピング回路に出力する。

【0047】

シフトレジスタ304は、保持している1ビットのデータを排他的論理和回路301、303に供給し続ける。そして、シフトレジスタ304は、クロックに同期させて、排他的論理和回路303から供給される1ビットのデータを新たに保持し、このデータを排他的論理和回路301、303に新たに供給する。

【0048】

このような畳み込み符号化器300は、3ビットのインターリーブデータ $D301_1$ 、 $D301_2$ 、 $D301_3$ を入力すると、これらのインターリーブデータ $D301_1$ 、 $D301_2$ 、 $D301_3$ に対して畳み込み演算を行い、演算結果を3ビットの符号化データ $D302_1$ 、 $D302_2$ 、 $D302_3$ として後段の多値変調マッピング回路に出力する。すなわち、畳み込み符号化器300は、内符号の符号化として符号化率が $3/3=1$ の畳み込み演算を行い、符号化データ $D302$ を後段の多値変調マッピング回路に出力する。

【0049】

さらに、この文献においては、このような畳み込み符号化器300によって生成される符号化データ $D302_1$ 、 $D302_2$ 、 $D302_3$ を、図19に示すように、多値変調マッピング回路によって8PSK変調方式の伝送シンボルにマッピングしている。なお、同図において、各信号点に割り当てられている伝送シンボルの値は、( $D302_1$ 、 $D302_2$ 、 $D302_3$ )を示すものである。

【0050】

この文献においては、このような畳み込み符号化器300による内符号の符号化と、多値変調マッピング回路による信号点の割り当てを行うことにより、図20に示すトレリスを得ている。すなわち、このトレリスは、畳み込み符号化器300が有するシフトレジスタ304の内容が"0"である場合を表す状態を $S_0$ で表し、シフトレジスタ304の内容が"1"である場合を表す状態を $S_1$ で表し、さらに、各パスに付される入出力ラベルを( $D301_1$ 、 $D301_2$ 、 $D301_3$ )/( $D302_1$ 、 $D302_2$ 、 $D302_3$ )と表すものとする、入出力ラベルが、"000/000"、"011/010"、"101/110"、"110/100"のものが、状態 $S_0$ から状態 $S_0$ へと到達する4本のパスからなるパラレルパスに割り当てられ、入出力ラベルが、"001/001"、"010/011"、"100/111"、"111/101"のものが、状態 $S_0$ から状態 $S_1$ へと到達する4本のパスからなるパラレルパスに割り当てられ、入出力ラベルが、"111/000"、"100/010"、"010/110"、"001/100"のものが、状態 $S_1$ から状態 $S_0$ へと到達する4本のパスからなるパラレルパスに割り当てられ、入出力ラベルが、"110/001"、"101/011"、"011/111"、"000/101"のものが、状態 $S_1$ から状態 $S_1$ へと到達する4本のパスからなるパラレルパスに割り当てられたものとなる。

【0051】

このようなカスタロフィックでないトレリスを作成するに至った具体的な手法について、以下説明する。

【0052】

この文献においては、カスタロフィックでないトレリスを作成するために、上述したセット・パーティショニングの手法を用いて、適切な信号点への割り当てを行っている。す

10

20

30

40

50

なわち、この文献においては、図 2 1 ( A ) に示す 8 P S K 変調方式の 8 個の信号点 [ 0 , 1 , 2 , 3 , 4 , 5 , 6 , 7 ] を、同図 ( B ) 及び同図 ( C ) にそれぞれ示すように、2 つの集合  $A = [ 0 , 2 , 4 , 6 ]$  及び  $B = [ 1 , 3 , 5 , 7 ]$  に分割する。なお、以下では、集合 A の各要素を [  $A_0$  ,  $A_2$  ,  $A_4$  ,  $A_6$  ] とし、集合 B の各要素を [  $B_1$  ,  $B_3$  ,  $B_5$  ,  $B_7$  ] とする。ここで、同図 ( A ) に示す信号点間の最小距離の 2 乗は、" 0 . 5 9 " であるのに対して、同図 ( B ) 及び同図 ( C ) に示す信号点間の最小距離の 2 乗は、" 2 " となる。

#### 【 0 0 5 3 】

この集合 A 又は集合 B には、パラレルパスの入力ハミング距離が互いに " 2 " となるように信号点を割り当てる。具体的には、トレリスは、図 2 2 に示すように、入力ラベルが、" 0 0 0 " , " 0 1 1 " , " 1 0 1 " , " 1 1 0 " のものが、状態  $S_0$  から状態  $S_0$  へと到達する 4 本のパスからなるパラレルパスに割り当てられ、入力ラベルが、" 0 0 1 " , " 0 1 0 " , " 1 0 0 " , " 1 1 1 " のものが、状態  $S_0$  から状態  $S_1$  へと到達する 4 本のパスからなるパラレルパスに割り当てられ、入力ラベルが、" 1 1 1 " , " 1 0 0 " , " 0 1 0 " , " 0 0 1 " のものが、状態  $S_1$  から状態  $S_0$  へと到達する 4 本のパスからなるパラレルパスに割り当てられ、入力ラベルが、" 1 1 0 " , " 1 0 1 " , " 0 1 1 " , " 0 0 0 " のものが、状態  $S_1$  から状態  $S_1$  へと到達する 4 本のパスからなるパラレルパスに割り当てられたものとなる。

#### 【 0 0 5 4 】

なお、状態  $S_1$  から状態  $S_0$  へと到達する 4 本のパスからなるパラレルパスの入力の要素は、状態  $S_0$  から状態  $S_1$  へと到達する 4 本のパスからなるパラレルパスの入力の要素と同じであるが順序は異なるものであり、状態  $S_1$  から状態  $S_1$  へと到達する 4 本のパスからなるパラレルパスの入力の要素は、状態  $S_0$  から状態  $S_0$  へと到達する 4 本のパスからなるパラレルパスの入力の要素と同じものであるが順序は異なるものである。

#### 【 0 0 5 5 】

また、このトレリスにおいては、状態  $S_0$  から状態  $S_0$  への遷移の出力と、状態  $S_1$  から状態  $S_0$  への遷移の出力とを、それぞれ、集合 A とし、状態  $S_0$  から状態  $S_1$  への遷移の出力と、状態  $S_1$  から状態  $S_1$  への遷移の出力とを、それぞれ、集合 B とする。

#### 【 0 0 5 6 】

ここで、状態  $S_1$  から状態  $S_0$  への遷移の出力を集合 A とし、状態  $S_1$  から状態  $S_1$  への遷移の出力を集合 B としたのは、状態  $S_1$  から状態  $S_0$  への遷移の出力を集合 B とした場合には、状態  $S_1$  から状態  $S_1$  への遷移の出力が集合 A となり、状態  $S_0$  状態  $S_0$  状態  $S_0$  と遷移するパスの出力と、状態  $S_1$  状態  $S_1$  状態  $S_1$  と遷移するパスの出力とが同じものとなることから、カタストロフィックとなってしまうことによる。

#### 【 0 0 5 7 】

また、状態  $S_1$  から状態  $S_0$  への遷移の入力の要素が、状態  $S_0$  から状態  $S_1$  への遷移の入力の要素と同じものであり、状態  $S_1$  から状態  $S_1$  への遷移の入力の要素が、状態  $S_0$  から状態  $S_0$  への遷移の入力の要素と同じものであるのは、状態  $S_1$  から状態  $S_0$  への遷移の入力の要素が、状態  $S_0$  から状態  $S_0$  への遷移の入力の要素と同じものであるとした場合には、状態  $S_0$  状態  $S_0$  状態  $S_0$  と遷移するパスと、状態  $S_0$  状態  $S_1$  状態  $S_0$  と遷移するパスとに、入力ハミング距離 " 1 " で出力ユークリッド距離が小さいものが生じてしまい、インターリーバを介して外符号と接続した際に、非常に距離が小さい符号語が多数発生してしまうことによる。

#### 【 0 0 5 8 】

さて、図 2 2 に示すトレリスにおける状態  $S_0$  からの分岐については、集合 A 又は集合 B の各要素の中で入力と出力との割り当てを任意に決定してよく、例えば図 2 3 に示す

10

20

30

40

50

ように、入カラベルが"0 0 0"については、集合Aの要素 $A_0$ を出カラベルとして割り当て、入カラベルが"0 1 1"については、集合Aの要素 $A_2$ を出カラベルとして割り当て、入カラベルが"1 0 1"については、集合Aの要素 $A_4$ を出カラベルとして割り当て、入カラベルが"1 1 0"については、集合Aの要素 $A_6$ を出カラベルとして割り当てる一方で、入カラベルが"0 0 1"については、集合Bの要素 $B_1$ を出カラベルとして割り当て、入カラベルが"0 1 0"については、集合Bの要素 $B_3$ を出カラベルとして割り当て、入カラベルが"1 0 0"については、集合Bの要素 $B_5$ を出カラベルとして割り当て、入カラベルが"1 1 1"については、集合Bの要素 $B_7$ を出カラベルとして割り当てる。

【0059】

一方、トレリスにおける状態 $S_1$ からの分岐については、入力距離"2"に対する出力距離を最大化するように決定する。 10

【0060】

ここで、オール"0"のパスから見た入力距離"2"のパスは、図24に示すようになる。同図における要素 $A_?$ は、 $A_0$ 、 $A_2$ 、 $A_4$ 、 $A_6$ のいずれかであることから、パスの距離の2乗和は、次式(4)に示すようになる。

【0061】

【数4】

$$\left\{ \begin{array}{l} B_1 + A_0 = 0.59 + 0 = 0.59 \\ B_1 + A_2, A_6 = 0.59 + 2 = 2.59 \\ B_1 + A_4 = 0.59 + 4 = 4.59 \\ B_3, B_5 + A_0 = 3.41 + 0 = 3.41 \quad \dots (4) \\ B_3, B_5 + A_2, A_6 = 3.41 + 2 = 5.41 \\ B_3, B_5 + A_4 = 3.41 + 4 = 7.41 \end{array} \right. \quad 20$$

【0062】

このことから、状態 $S_1$ から状態 $S_0$ へと到達する4本のパスからなるパラレルパスにおける入力距離"1"のパスについては、要素 $A_0$ 以外の要素を割り当てることにより、入力距離"2"に対する出力距離を最も大きくすることができることがわかる。換言すれば、状態 $S_1$ から状態 $S_0$ へと到達する4本のパスからなるパラレルパスにおける唯一の入力距離"3"のパスについては、図25に示すように、要素 $A_0$ を割り当てればよい。 30

【0063】

同様にして、要素 $A_2$ 、 $A_4$ 、 $A_6$ に対応する入力についても、図26に示すように、状態 $S_0$ から状態 $S_0$ へと到達する4本のパスからなるパラレルパスと、状態 $S_1$ から状態 $S_0$ へと到達する4本のパスからなるパラレルパスとのうち、互いに入力距離"3"になるものが同じ信号点をとればよいことがわかる。

【0064】

また、状態 $S_1$ から状態 $S_1$ へと到達する4本のパスからなるパラレルパスについては、図27を用いて考える。すなわち、このトレリスにおいては、状態 $S_1$ から状態 $S_1$ へと到達する4本のパスからなるパラレルパスのうち、入カラベルが"0 0 1"であるパスから見て入力距離"1"となるパスが、"0 0 0 /  $B_?$ "、"0 1 1 /  $B_?$ "、"1 0 1 /  $B_?$ "の3つだけ存在する。 40

【0065】

したがって、上述した議論と同様に、状態 $S_1$ から状態 $S_1$ へと到達する4本のパスからなるパラレルパスのうち、出力が要素 $B_1$ となるパスの入力には、入カラベルが"0 0 1"であるパスから見て入力距離"3"となる"1 1 0"を割り当てる。また、要素 $B_3$ 、 $B_5$ 、 $B_7$ に対応する入力についても同様に、状態 $S_0$ から状態 $S_1$ へと到達する4本のパスからなるパラレルパスと、状態 $S_1$ から状態 $S_1$ へと到達する4 50

本のパスからなるパラレルパスとのうち、互いに入力距離 " 3 " になるものが同じ信号点をとればよい。

【 0 0 6 6 】

このような操作の結果、トレリスにおける各パスに付される入出力ラベルは、図 2 8 に示すようになる。

【 0 0 6 7 】

したがって、先に図 1 8 に示した畳み込み符号化器 3 0 0 を内符号として用いると、集合 A における要素  $A_0$  ,  $A_2$  ,  $A_4$  ,  $A_6$  は、それぞれ、" 0 0 0 " , " 0 1 0 " , " 1 1 0 " , " 1 0 0 " となり、集合 B における要素  $B_1$  ,  $B_3$  ,  $B_5$  ,  $B_7$  は、それぞれ、" 0 0 1 " , " 0 1 1 " , " 1 1 1 " , " 1 0 1 " となることから、先に図 2 0 に示したカタストロフィック

10

でないトレリスを作成することができる。

【 0 0 6 8 】

このような Divsalar の文献に記載された内符号と信号点のマッピングとを行う符号化装置において、入力距離 " 2 " に対する出力距離分布は、以下のようにして求められる。

【 0 0 6 9 】

ここで、この符号化装置は、符号化変調 ( Trellis Coded Modulation ; 以下、T C M という。 ) を行うものであることから、全てのパスから見た距離分布が同じでなければ、すなわち、トレリスが対称でなければ、距離分布の平均を求める必要がある。

【 0 0 7 0 】

上述した内符号と信号点のマッピングとの組み合わせの場合には、オール " 0 " のパスから見た状態遷移図は、図 2 9 に示すように表される。なお、同図において、Y の乗数は入力距離を示し、X の乗数は出力距離の 2 乗を示すものである。このうち、入力距離が " 2 " となるパスについてのみ見ると、状態遷移図は、図 3 0 に示すように表される。

20

【 0 0 7 1 】

したがって、入力距離 " 2 " に対する出力距離分布は、次式 ( 5 ) で表される。

【 0 0 7 2 】

【 数 5 】

$$2X^2 + X^4 + \sum_{n=0}^{\infty} (X^{0.59} + 2X^{3.41})^n (2X^2 + X^4) \dots (5)$$

$$= 2X^2 + 2X^{2.59} + 2X^{3.18} + 2X^{3.77} + X^4 + \dots$$

30

【 0 0 7 3 】

また、 $A_2 - A_2$  から見た状態遷移図における入力距離が " 2 " となるパスを抜き出すと、図 3 1 に示すように、状態  $S_0$  から状態  $S_1$  への遷移における係数が異なるものとなる。

【 0 0 7 4 】

したがって、入力距離 " 2 " に対する出力距離分布は、次式 ( 6 ) で表される。

【 0 0 7 5 】

【 数 6 】

$$2X^2 + X^4 + \sum_{n=0}^{\infty} (2X^{0.59} + X^{3.41})^n (2X^2 + X^4) \dots (6)$$

$$= 2X^2 + 4X^{2.59} + 4X^{3.18} + 4X^{3.77} + X^4 + \dots$$

40

【 0 0 7 6 】

さらに、他の全てのパスは、半数ずつ、上式 ( 5 ) 又は上式 ( 6 ) のいずれかの距離分布になっていることから、出力距離分布の平均は、次式 ( 7 ) で表される。

50

【 0 0 7 7 】

【 数 7 】

$$2X^2 + 3X^{2.59} + 3X^{3.18} + 3X^{3.77} + X^4 + \dots \dots \dots \cdot \cdot \cdot (7)$$

【 0 0 7 8 】

【 発明が解決しようとする課題 】

ところで、先に図 1 6 又は図 1 8 に示した畳み込み符号化器 2 3 0 , 3 0 0 は、シフトレジスタの数、すなわち、メモリ数が " 1 " であることから、ステート数は " 2 " となる。このようなメモリ数が " 1 " とされる畳み込み符号化器は、入力距離 " 1 " では終結せずに、入力距離 " 2 " で必ず終結する。換言すれば、このような畳み込み符号化器は、入力距離が奇数の場合には終結することはない。

10

【 0 0 7 9 】

ここで、上述した Divsalar の文献には、このような畳み込み符号化器を内符号の符号化器として用いた場合に、最小距離が " 3 " である符号を外符号として用いた場合には、内符号に対する入力距離が " 3 " となっても終結しないことから出力距離が大きい符号が生成され、符号全体として見たとき、外符号として、実質的に最小距離が " 4 " である符号を用いた場合と同じ性能になる旨が記述されている。

【 0 0 8 0 】

これに対して、メモリ数が " 2 " 以上である符号化器を内符号に適用した場合については、何らの議論もされていなかった。

20

【 0 0 8 1 】

なお、この議論は、S C C C による符号化についても適用できるものである。

【 0 0 8 2 】

本発明は、このような実情に鑑みてなされたものであり、S C C C による符号化及び / 又は S C T C M 方式による符号化において、メモリ数が " 2 " 以上である符号化器を内符号に適用する際の新たな指針を提案し、性能を向上させることができる符号化装置及び符号化方法、並びにこれらの符号化装置及び符号化方法による S C C C による符号及び / 又は S C T C M 方式の符号の復号を高精度に行うことができる復号装置及び復号方法を提供することを目的とする。

30

【 0 0 8 3 】

【 課題を解決するための手段 】

【 0 0 9 1 】

また、上述した目的を達成する本発明にかかる符号化装置は、入力されたデータに対して縦列接続畳み込み符号化又は縦列接続符号化変調を行う符号化装置であって、入力されたデータに対して所定の符号化を行う第 1 の要素符号化手段と、この第 1 の要素符号化手段によって符号化されて生成された第 1 の符号化データの順序を置換して並べ替えるインターリーブ手段と、このインターリーブ手段に縦列に接続し、インターリーブ手段によって生成されたインターリーブデータに対して所定の符号化を行い、第 2 の符号化データを生成する第 2 の要素符号化手段とを備え、第 2 の要素符号化手段は、データを記憶する 2 以上の記憶素子を有し、入力距離が奇数では終結されない第 2 の符号化データを生成することを特徴としている。

40

【 0 0 9 2 】

このような本発明にかかる符号化装置は、記憶素子数が 2 以上とされる第 2 の要素符号化手段によって内符号の符号化を行う際に、入力距離が奇数では終結されない第 2 の符号化データを生成するものを用いる。

【 0 0 9 3 】

さらに、上述した目的を達成する本発明にかかる符号化方法は、入力されたデータに対して縦列接続畳み込み符号化又は縦列接続符号化変調を行う符号化方法であって、入力されたデータに対して所定の符号化を行う第 1 の要素符号化工程と、この第 1 の要素符号化工

50

程にて符号化されて生成された第1の符号化データの順序を置換して並べ替えるインターリーブ工程と、このインターリーブ工程にて生成されたインターリーブデータに対して所定の符号化を行い、第2の符号化データを生成する第2の要素符号化工程とを備え、第2の要素符号化工程では、データを記憶する2以上の記憶素子が用いられ、入力距離が奇数では終結されない第2の符号化データが生成されることを特徴としている。

**【0094】**

このような本発明にかかる符号化方法は、2以上の記憶素子数を用いた内符号の符号化を行う際に、入力距離が奇数では終結されないものを用いる。

**【0095】**

さらにまた、上述した目的を達成する本発明にかかる復号装置は、入力されたデータに対して所定の符号化を行う第1の要素符号化手段と、この第1の要素符号化手段によって符号化されて生成された第1の符号化データの順序を置換して並べ替える第1のインターリーブ手段と、この第1のインターリーブ手段に縦列に接続し、第1のインターリーブ手段によって生成されたインターリーブデータに対して所定の符号化を行い、第2の符号化データを生成する第2の要素符号化手段とを備え、第2の要素符号化手段は、データを記憶する2以上の記憶素子を有し、入力距離が奇数では終結されない第2の符号化データを生成する符号化装置によって縦列接続畳み込み符号化又は縦列接続符号化変調が施された符号の復号を行う復号装置であって、第2の要素符号化手段に対応して備えられ、軟入力とされる受信値及び情報ビットに対する事前確率情報を入力して軟出力復号を行い、各時刻における第1の外部情報を生成する第1の軟出力復号手段と、この第1の軟出力復号手段に縦列に接続し、第1のインターリーブ手段によって並べ替えられたインターリーブデータの配列を、第1の要素符号化手段によって符号化されて生成された第1の符号化データの配列に戻すように、第1の軟出力復号手段によって生成された軟入力とされる第1の外部情報を並べ替えるデインターリーブ手段と、第1の要素符号化手段に対応して備えられ且つデインターリーブ手段に縦列に接続し、デインターリーブ手段によって生成された軟入力とされる符号ビットに対する事前確率情報と、入力された軟入力とされる情報ビットに対する事前確率情報とを用いて軟出力復号を行い、各時刻における情報ビットに対する事後確率情報及び/又は第2の外部情報を生成する第2の軟出力復号手段と、第1のインターリーブ手段と同一の置換位置情報に基づいて、第2の軟出力復号手段によって生成された軟入力とされる第2の外部情報の順序を置換して並べ替える第2のインターリーブ手段とを備え、第1の軟出力復号手段は、情報ビットに対する事前確率情報として、第2のインターリーブ手段によって生成された軟入力とされる第2の外部情報を入力することを特徴としている。

**【0096】**

このような本発明にかかる復号装置は、記憶素子数が2以上とされる第2の要素符号化手段によって内符号の符号化を行う際に、入力距離が奇数では終結されない第2の符号化データを生成するものを用いて生成された符号を復号する。

**【0097】**

また、上述した目的を達成する本発明にかかる復号方法は、入力されたデータに対して所定の符号化を行う第1の要素符号化工程と、この第1の要素符号化工程にて符号化されて生成された第1の符号化データの順序を置換して並べ替える第1のインターリーブ工程と、この第1のインターリーブ工程にて生成されたインターリーブデータに対して所定の符号化を行い、第2の符号化データを生成する第2の要素符号化工程とを備え、第2の要素符号化工程では、データを記憶する2以上の記憶素子が用いられ、入力距離が奇数では終結されない第2の符号化データが生成される符号化方法を用いて縦列接続畳み込み符号化又は縦列接続符号化変調が施された符号の復号を行う復号方法であって、第2の要素符号化工程に対応して備えられ、軟入力とされる受信値及び情報ビットに対する事前確率情報を入力して軟出力復号を行い、各時刻における第1の外部情報を生成する第1の軟出力復号工程と、第1のインターリーブ工程にて並べ替えられたインターリーブデータの配列を、第1の要素符号化工程にて符号化されて生成された第1の符号化データの配列に戻すよ

うに、第1の軟出力復号工程にて生成された軟入力とされる第1の外部情報を並べ替えるデインターリーブ工程と、第1の要素符号化工程に対応して備えられ、デインターリーブ工程にて生成された軟入力とされる符号ビットに対する事前確率情報と、入力された軟入力とされる情報ビットに対する事前確率情報とを用いて軟出力復号を行い、各時刻における情報ビットに対する事後確率情報及び/又は第2の外部情報を生成する第2の軟出力復号工程と、第1のインターリーブ工程と同一の置換位置情報に基づいて、第2の軟出力復号工程にて生成された軟入力とされる第2の外部情報の順序を置換して並べ替える第2のインターリーブ工程とを備え、第1の軟出力復号工程では、情報ビットに対する事前確率情報として、第2のインターリーブ工程にて生成された軟入力とされる第2の外部情報が入力されることを特徴としている。

10

#### 【0098】

このような本発明にかかる復号方法は、2以上の記憶素子数を用いた内符号の符号化を行う際に、入力距離が奇数では終結されないものを用いて生成された符号を復号する。

#### 【0099】

#### 【発明の実施の形態】

以下、本発明を適用した具体的な実施の形態について図面を参照しながら詳細に説明する。

#### 【0100】

この実施の形態は、図1に示すように、デジタル情報を図示しない送信装置が備える符号化装置1によって符号化し、その出力を雑音のある無記憶通信路2を介して図示しない受信装置に入力して、この受信装置が備える復号装置3によって復号する通信モデルに適用したデータ送受信システムである。

20

#### 【0101】

このデータ送受信システムにおいて、符号化装置1は、縦列連接畳み込み符号 (Serially Concatenated Convolutional Codes; 以下、SCCCという。) による符号化、及び/又は縦列連接符号化変調 (Serial Concatenated Trellis Coded Modulation; 以下、SCTCMという。) 方式による符号化を行うものとして構成されるものである。この符号化は、いわゆるターボ符号化 (Turbo coding) の一種として知られているものであって、符号化装置1は、複数の要素符号化器と、入力されたデータを並べ替えるインターリーブとを接続することにより、ターボ符号化を行うものとして構成される。この符号化装置1は、内符号の符号化を行う符号化器として、メモリ数が"2"以上とされる符号化器を用い、性能を向上させるための新たな指針を提案するものである。

30

#### 【0102】

一方、復号装置3は、符号化装置1によって符号化がなされた符号の復号を行うものであって、「Bahl, Cocke, Jelinek and Raviv, "Optimal decoding of linear codes for minimizing symbol error rate", IEEE Trans. Inf. Theory, vol. IT-20, pp. 284-287, Mar. 1974」に記載されているBCJRアルゴリズム、「Robertson, Villebrun and Hoeher, "A comparison of optimal and sub-optimal MAP decoding algorithms operating in the domain", IEEE Int. Conf. on Communications, pp. 1009-1013, June 1995」に記載されているMax-Log-MAPアルゴリズム又はLog-MAPアルゴリズム (以下、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムという。) に基づく最大事後確率 (Maximum A Posteriori probability; 以下、MAPという。) 復号を行い、いわゆる事後確率情報 (a posteriori probability information) に対応する軟出力 (soft-output) 及び/又はいわゆる外部情報 (extrinsic information) を求める複数の軟出力復号回路と、入力されたデータを並べ替えるインターリーブとを接続することにより、繰り返し復号を行うものとして構成されるものである。

40

#### 【0103】

なお、以下では、説明の便宜上、符号化装置1は、SCTCM方式による符号化を行うものとして説明する。また、以下では、説明の便宜上、符号化装置1における内符号の符号化を行う符号化器として、メモリ数が"2"である畳み込み符号化器を用いるものとして説

50

明する。

【0104】

符号化装置1は、例えば図2に示すように、外符号の符号化を行う畳み込み符号化器10と、入力したデータの順序を並べ替えるインターリーバ20と、内符号の符号化を行う畳み込み符号化器30と、所定の変調方式に基づいて信号点のマッピングを行う多値変調マッピング回路40とを備える。この符号化装置1は、入力した2ビットの入力データD1に対して、符号化率が $2/3$ の縦列接続畳み込み演算を行い、3ビットの符号化データD4に変換し、例えば8相位相変調方式(8-Phase Shift Keying; 以下、8PSK変調方式という。)の伝送シンボルにマッピングして3ビットの1つの符号化伝送シンボルD5として出力する。

10

【0105】

畳み込み符号化器10は、詳細は後述するが、2ビットの入力データD1を入力すると、これらの入力データD1に対して畳み込み演算を行い、演算結果を3ビットの符号化データD2として後段のインターリーバ20に出力する。すなわち、畳み込み符号化器10は、外符号の符号化として符号化率が $2/3$ の畳み込み演算を行い、生成した符号化データD2を後段のインターリーバ20に出力する。

【0106】

インターリーバ20は、図3に示すように、入力したデータを保持する入力データ保持メモリ21と、入力したデータの順序の並べ替え(置換)を行うデータ置換回路22と、データの置換位置情報を格納する置換データROM(Read Only Memory)23と、出力するデータを保持する出力データ保持メモリ24とを有する。

20

【0107】

入力データ保持メモリ21は、畳み込み符号化器10から出力された3つのビット系列からなる符号化データD2を保持し、これらの符号化データD2を所定のタイミングでデータ置換回路22に供給する。

【0108】

データ置換回路22は、置換データROM23に格納されているデータの置換位置情報に基づいて、入力データ保持メモリ21から供給された符号化データD2の順序の並べ替えを行う。データ置換回路22は、並べ替えたデータを出力データ保持メモリ24に供給する。

30

【0109】

置換データROM23は、例えば発生した乱数に基づいて決定されたデータの置換位置情報を格納する。すなわち、インターリーバ20は、この置換位置情報に基づいてデータのインターリーブを行うランダムインターリーブとして構成される。置換データROM23に格納されている置換位置情報は、随時データ置換回路22によって読み出される。

【0110】

出力データ保持メモリ24は、データ置換回路22から供給されるデータを保持し、これらのデータを3つのビット系列からなるインターリーブデータD3として、所定のタイミングで後段の畳み込み符号化器30に出力する。

【0111】

このようなインターリーバ20は、畳み込み符号化器10から出力された3つのビット系列からなる符号化データD2にインターリーブを施し、生成した3つのビット系列からなるインターリーブデータD3を後段の畳み込み符号化器30に出力する。

40

【0112】

畳み込み符号化器30は、詳細は後述するが、3ビットのインターリーブデータD3を入力すると、これらのインターリーブデータD3に対して畳み込み演算を行い、演算結果を3ビットの符号化データD4として後段の多値変調マッピング回路40に出力する。すなわち、畳み込み符号化器30は、内符号の符号化として符号化率が $3/3=1$ の畳み込み演算を行い、符号化データD4を後段の多値変調マッピング回路40に出力する。

【0113】

50

多値変調マッピング回路40は、畳み込み符号化器30から出力された符号化データD4を、クロックに同期させて、例えば8PSK変調方式の伝送シンボルにマッピングする。具体的には、多値変調マッピング回路40は、畳み込み符号化器30から出力された3ビットの符号化データD4を1つの伝送シンボルとしてマッピングし、1つの符号化伝送シンボルD5を生成する。多値変調マッピング回路40は、生成した符号化伝送シンボルD5を外部に出力する。

【0114】

このような符号化装置1は、畳み込み符号化器10によって外符号の符号化として符号化率が $2/3$ の畳み込み演算を行い、畳み込み符号化器30によって内符号の符号化として符号化率が $1$ の畳み込み演算を行うことにより、全体として、符号化率が $(2/3) \times 1 = 2/3$ の縦列接続畳み込み演算を行う。この符号化装置1によって符号化され且つ変調されたデータは、無記憶通信路2を介して受信装置に出力される。

10

【0115】

一方、復号装置3は、図4に示すように、内符号の復号を行う軟出力復号回路50と、入力したデータの順序を元に戻すデインターリーバ60と、入力したデータの順序を並べ替えるインターリーバ70と、外符号の復号を行う軟出力復号回路80と、入力したデータを2値化する2値化回路90とを備える。この復号装置3は、無記憶通信路2上で発生したノイズの影響によってアナログ値をとり軟入力(soft-input)とされる受信値D6から符号化装置1における入力データD1を推定し、復号データD13として出力する。

【0116】

軟出力復号回路50は、符号化装置1における畳み込み符号化器30に対応して備えられるものである。軟出力復号回路50は、図5に示すように、BCJRアルゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムに基づくMAP復号を行うMAP復号器51と、3つの差分器52, 53, 54とを有する。

20

【0117】

MAP復号器51は、軟入力である受信値D6と、インターリーバ70から供給された軟入力である3ビットの情報ビットに対する事前確率情報(a priori probability information)  $D7_1$ ,  $D7_2$ ,  $D7_3$  とを入力し、BCJRアルゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムに基づくMAP復号を行い、受信値D6を元に3ビットの情報ビットに対する事後確率情報  $D14_1$ ,  $D14_2$ ,  $D14_3$  を生成する。MAP復号器51は、生成した事後確率情報  $D14_1$  を差分器52に供給するとともに、生成した事後確率情報  $D14_2$  を差分器53に供給するとともに、生成した事後確率情報  $D14_3$  を差分器54に供給する。

30

【0118】

差分器52は、軟入力とされる事後確率情報  $D14_1$  と軟入力とされる事前確率情報  $D7_1$  との差分値を求め、この差分値を符号の拘束条件によって求まる3ビットの情報ビットに対する外部情報D8のうちの1ビットの外部情報  $D8_1$  として後段のデインターリーバ60に軟出力として出力する。

【0119】

差分器53は、軟入力とされる事後確率情報  $D14_2$  と軟入力とされる事前確率情報  $D7_2$  との差分値を求め、この差分値を3ビットの情報ビットに対する外部情報D8のうちの1ビットの外部情報  $D8_2$  として後段のデインターリーバ60に軟出力として出力する。

40

【0120】

差分器54は、軟入力とされる事後確率情報  $D14_3$  と軟入力とされる事前確率情報  $D7_3$  との差分値を求め、この差分値を3ビットの情報ビットに対する外部情報D8のうちの1ビットの外部情報  $D8_3$  として後段のデインターリーバ60に軟出力として出力する。

【0121】

このような軟出力復号回路50は、受信装置によって受信された軟入力の受信値D6を入力するとともに、インターリーバ70から供給された軟入力の情報ビットに対する事前確率情報D7を入力し、これらの受信値D6と事前確率情報D7とを用いて、BCJRアル

50

ゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムに基づくMAP復号を行い、内符号の軟出力復号を行う。軟出力復号回路50は、符号の拘束条件によって求められる外部情報D8を生成し、この外部情報D8を後段のデインターリーバ60に軟出力として出力する。

【0122】

具体的に説明するために、情報ビットを $u$ 、符号ビットを $c$ 、受信値D6を $y$ とすると、軟出力復号回路50は、MAP復号器51に対して、受信値D6( $y$ )とともに、次式(8)で表される事前確率情報D7( $L(u)$ )を入力する。

【0123】

【数8】

$$L(u) = \frac{P(u=1)}{P(u=0)} \quad \dots (8)$$

10

【0124】

すなわち、軟出力復号回路50は、MAP復号器51に対して、受信値D6( $y$ )と、情報ビット $u$ が"1"である確率 $P(u=1)$ と情報ビット $u$ が"0"である確率 $P(u=0)$ との比の自然対数で表される符号の拘束条件がない事前確率情報D7( $L(u)$ )とを入力する。

【0125】

続いて、軟出力復号回路50は、MAP復号器51により、BCJRアルゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムに基づくMAP復号を行い、次式(9)で表される事後確率情報D14( $L^*(u)$ )を生成する。

20

【0126】

【数9】

$$L^*(u) = \frac{P(u=1|y)}{P(u=0|y)} \quad \dots (9)$$

【0127】

すなわち、軟出力復号回路50は、MAP復号器51により、受信値D6( $y$ )を受信した際に情報ビット $u$ が"1"である確率 $P(u=1|y)$ と、受信値D6( $y$ )を受信した際に情報ビット $u$ が"0"である確率 $P(u=0|y)$ との比の自然対数で表される符号の拘束条件に基づく事後確率情報D14( $L^*(u)$ )を生成する。なお、この事後確率情報D14( $L^*(u)$ )は、対数尤度比(log likelihood ratio)とも呼ばれ、ここでは、受信値D6( $y$ )を受信した際の情報ビット $u$ の尤度を示すものである。

30

【0128】

そして、軟出力復号回路50は、差分器52, 53, 54のそれぞれにより、次式(10)で表されるように、事後確率情報D14( $L^*(u)$ )と事前確率情報D7( $L(u)$ )との差分値である外部情報D8( $L_e(u)$ )を求める。

【0129】

【数10】

$$L_e(u) = L^*(u) - L(u) \quad \dots (10)$$

40

【0130】

軟出力復号回路50は、このようにして外部情報D8を生成し、この外部情報D8を後段のデインターリーバ60に軟出力として出力する。なお、この外部情報D8は、符号化装置1におけるインターリーバ20によって生成されたインターリーブデータD3に対応するものである。

【0131】

50

デインターリーブ60は、符号化装置1におけるインターリーブ20によってインターリーブされたインターリーブデータD3のビット配列を、それぞれ、元の符号化データD2のビット配列に戻すように、軟出力復号回路50から出力される軟入力的外部情報D8にデインターリーブを施す。デインターリーブ60は、デインターリーブして得られたデータを後段の軟出力復号回路80における符号ビットに対する事前確率情報D9として出力する。

【0132】

インターリーブ70は、軟出力復号回路80から出力された軟入力である符号ビットに対する外部情報D12に対して、符号化装置1におけるインターリーブ20と同一の置換位置情報に基づいたインターリーブを施す。インターリーブ70は、インターリーブして得られたデータを軟出力復号回路50における情報ビットに対する事前確率情報D7として出力する。

10

【0133】

軟出力復号回路80は、符号化装置1における畳み込み符号化器10に対応して備えられるものである。軟出力復号回路80は、図6に示すように、上述したBCJRアルゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムに基づくMAP復号を行うMAP復号器81と、5つの差分器82, 83, 84, 85, 86とを有する。

【0134】

MAP復号器81は、デインターリーブ60から出力された軟入力である3ビットの符号ビットに対する事前確率情報D9<sub>1</sub>, D9<sub>2</sub>, D9<sub>3</sub>と、値が"0"である2ビットの情報ビットに対する事前確率情報D10<sub>1</sub>, D10<sub>2</sub>とを入力し、BCJRアルゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムに基づくMAP復号を行い、2ビットの情報ビットに対する事後確率情報D15<sub>1</sub>, D15<sub>2</sub>を生成するとともに、3ビットの符号ビットに対する事後確率情報D16<sub>1</sub>, D16<sub>2</sub>, D16<sub>3</sub>を生成する。MAP復号器81は、生成した事後確率情報D15<sub>1</sub>を差分器82に供給するとともに、生成した事後確率情報D15<sub>2</sub>を差分器83に供給する。また、MAP復号器81は、生成した事後確率情報D16<sub>1</sub>を差分器84に供給するとともに、生成した事後確率情報D16<sub>2</sub>を差分器85に供給するとともに、生成した事後確率情報D16<sub>3</sub>を差分器86に供給する。

20

30

【0135】

差分器82は、軟入力とされる事後確率情報D15<sub>1</sub>と値が"0"である事前確率情報D10<sub>1</sub>との差分値、すなわち、事後確率情報D15<sub>1</sub>を符号の拘束条件によって求まる2ビットの情報ビットに対する外部情報D11のうちの1ビットの外部情報D11<sub>1</sub>として後段の2値化回路90に軟出力として出力する。

【0136】

差分器83は、軟入力とされる事後確率情報D15<sub>2</sub>と値が"0"である事前確率情報D10<sub>2</sub>との差分値、すなわち、事後確率情報D15<sub>2</sub>を2ビットの情報ビットに対する外部情報D11のうちの1ビットの外部情報D11<sub>2</sub>として後段の2値化回路90に軟出力として出力する。

40

【0137】

差分器84は、軟入力とされる事後確率情報D16<sub>1</sub>と軟入力とされる事前確率情報D9<sub>1</sub>との差分値を求め、この差分値を3ビットの符号ビットに対する外部情報D12のうちの1ビットの外部情報D12<sub>1</sub>としてインターリーブ70に軟出力として出力する。

【0138】

差分器85は、軟入力とされる事後確率情報D16<sub>2</sub>と軟入力とされる事前確率情報D9<sub>2</sub>との差分値を求め、この差分値を3ビットの符号ビットに対する外部情報D12のうちの1ビットの外部情報D12<sub>2</sub>としてインターリーブ70に軟出力として出力する。

【0139】

差分器86は、軟入力とされる事後確率情報D16<sub>3</sub>と軟入力とされる事前確率情報D9

50

3 との差分値を求め、この差分値を3ビットの符号ビットに対する外部情報 D 1 2 のうちの1ビットの外部情報 D 1 2<sub>3</sub> としてインターリーバ 7 0 に軟出力として出力する。

【 0 1 4 0 】

このような軟出力復号回路 8 0 は、デインターリーバ 6 0 から出力された軟入力の符号ビットに対する事前確率情報 D 9 を入力するとともに、値が " 0 " である情報ビットに対する事前確率情報 D 1 0 を入力し、これらの事前確率情報 D 9 , D 1 0 を用いて、BCJR アルゴリズム、Max-Log-BCJR アルゴリズム又は Log-BCJR アルゴリズムに基づく MAP 復号を行い、外符号の軟出力復号を行う。軟出力復号回路 8 0 は、符号の拘束条件によって求められる外部情報 D 1 1 , D 1 2 を生成し、外部情報 D 1 1 を後段の2値化回路 9 0 に軟出力として出力するとともに、外部情報 D 1 2 をインターリーバ 7 0

10

【 0 1 4 1 】

具体的に説明するために、情報ビットを  $u$ 、符号ビットを  $c$  とすると、軟出力復号回路 8 0 は、MAP 復号器 8 1 に対して、次式 ( 1 1 ) で表される事前確率情報 D 1 0 (  $L(u)$  ) と、次式 ( 1 2 ) で表される事前確率情報 D 9 (  $L(c)$  ) とを入力する。

【 0 1 4 2 】

【数 1 1】

$$L(u) = \frac{P(u=1)}{P(u=0)} \quad \dots (11)$$

20

【 0 1 4 3 】

【数 1 2】

$$L(c) = \frac{P(c=1)}{P(c=0)} \quad \dots (12)$$

【 0 1 4 4 】

すなわち、軟出力復号回路 8 0 は、MAP 復号器 8 1 に対して、情報ビット  $u$  が " 1 " である確率  $P(u=1)$  と情報ビット  $u$  が " 0 " である確率  $P(u=0)$  との比の自然対数で表される符号の拘束条件に基づく事前確率情報 D 1 0 (  $L(u)$  ) と、符号ビット  $c$  が " 1 " である確率  $P(c=1)$  と符号ビット  $c$  が " 0 " である確率  $P(c=0)$  との比の自然対数

30

【 0 1 4 5 】

続いて、軟出力復号回路 8 0 は、MAP 復号器 8 1 により、BCJR アルゴリズム、Max-Log-BCJR アルゴリズム又は Log-BCJR アルゴリズムに基づく MAP 復号を行い、次式 ( 1 3 ) で表される事後確率情報 D 1 5 (  $L^*(u)$  ) と、次式 ( 1 4 ) で表される事後確率情報 D 1 6 (  $L^*(c)$  ) とを生成する。

40

【 0 1 4 6 】

【数 1 3】

$$L^*(u) = \frac{P(u=1)}{P(u=0)} \quad \dots (13)$$

【 0 1 4 7 】

【数 1 4】

$$L^*(c) = \frac{P(c=1)}{P(c=0)} \quad \dots (14)$$

50

## 【 0 1 4 8 】

すなわち、軟出力復号回路 8 0 は、MAP 復号器 8 1 により、情報ビット  $u$  が "1" である確率  $P(u=1)$  と情報ビット  $u$  が "0" である確率  $P(u=0)$  との比の自然対数で表される符号の拘束条件に基づく事後確率情報  $D 1 5 (L^*(u))$  と、符号ビット  $c$  が "1" である確率  $P(c=1)$  と符号ビット  $c$  が "0" である確率  $P(c=0)$  との比の自然対数で表される符号の拘束条件に基づく事後確率情報  $D 1 6 (L^*(c))$  とを生成する。なお、上式 (13) 及び上式 (14) における右辺に記されるべき符号の拘束条件は、ここでは省略している。また、これらの事後確率情報  $D 1 5 (L^*(u))$  と事後確率情報  $D 1 6 (L^*(c))$  とは、対数尤度比とも呼ばれ、ここではそれぞれ、情報ビット  $u$  の尤度と符号ビット  $c$  の尤度とを示すものである。

10

## 【 0 1 4 9 】

そして、軟出力復号回路 8 0 は、差分器 8 2 , 8 3 のそれぞれにより、次式 (15) で表されるように、事後確率情報  $D 1 5 (L^*(u))$  と事前確率情報  $D 1 0 (L(u))$  との差分値である外部情報  $D 1 1 (L_e(u))$  を求めるとともに、差分器 8 4 , 8 5 , 8 6 のそれぞれにより、次式 (16) で表されるように、事後確率情報  $D 1 6 (L^*(c))$  と事前確率情報  $D 9 (L(c))$  との差分値である外部情報  $D 1 2 (L_e(c))$  を求める。

## 【 0 1 5 0 】

## 【 数 1 5 】

$$L_e(u) = L^*(u) - L(u) \quad \dots (15)$$

20

## 【 0 1 5 1 】

## 【 数 1 6 】

$$L_e(c) = L^*(c) - L(c) \quad \dots (16)$$

## 【 0 1 5 2 】

軟出力復号回路 8 0 は、このようにして外部情報  $D 1 1$  ,  $D 1 2$  を生成し、外部情報  $D 1 1$  を後段の 2 値化回路 9 0 に軟出力として出力するとともに、外部情報  $D 1 2$  をインターリーバ 7 0 に軟出力として出力する。

30

## 【 0 1 5 3 】

なお、軟出力復号回路 8 0 は、情報ビットに対する事前確率情報  $D 1 0$  が "0" であることから、差分器 8 2 , 8 3 を必ずしも有する必要はない。

## 【 0 1 5 4 】

2 値化回路 9 0 は、軟出力復号回路 8 0 によって生成された事後確率情報  $D 1 5$  を 2 値化し、硬出力 (hard-output) の復号データ  $D 1 3$  として出力する。

## 【 0 1 5 5 】

このような復号装置 3 は、符号化装置 1 における畳み込み符号化器 3 0 , 1 0 のそれぞれに対応する軟出力復号回路 5 0 , 8 0 を備えることにより、復号複雑度が高い符号を複雑度の小さい要素に分解し、軟出力復号回路 5 0 , 8 0 の間の相互作用によって特性を逐次的に向上させることができる。復号装置 3 は、受信値  $D 6$  を入力すると、軟出力復号回路 5 0 乃至軟出力復号回路 8 0 の復号動作を例えば数回乃至数十回といった所定の回数だけ反復して行い、所定の回数の復号動作の結果得られた軟出力の事後確率情報  $D 1 5$  に基づいて、復号データ  $D 1 3$  を出力する。

40

## 【 0 1 5 6 】

さて、以下では、符号の性能を向上させるために提案する指針について説明する。

## 【 0 1 5 7 】

まず、第 1 の指針について説明する。

## 【 0 1 5 8 】

50

メモリ数が"2"である畳み込み符号化器は、入力距離が"1"である場合には、メモリ数が"1"である畳み込み符号化器と同様に、終結することはないが、入力距離が"2"である場合には、メモリ数が"1"である畳み込み符号化器のように必ず終結するとは限らず、終結しないこともある。また、メモリ数が"2"である畳み込み符号化器は、入力距離が"3"である場合には、メモリ数が"1"である畳み込み符号化器のように必ず終結しないとは限らず、終結することもある。したがって、メモリ数が"2"である畳み込み符号化器は、入力距離が奇数の場合には終結する可能性があり、入力距離が"3"以下である場合には、符号の性能が劣化することが考えられる。このような問題は、メモリ数が"2"のみならず、これ以上のメモリ数を有する符号化器を、内符号の符号化を行う符号化器として用いる場合にも生じるものである。

10

【0159】

そこで、第1の指針としては、内符号の符号化を行う符号化器として、メモリ数が"2"以上とされる符号化器を用いた場合に、外符号として、「内符号の最小距離符号を生じる最大の入力距離よりも大きな最小出力距離を有する符号を用いる」ことを提案する。

【0160】

具体的に、上述した畳み込み符号化器30として、生成行列 $G(D)$ が次式(17)で表される畳み込み符号化器を用いる場合について説明する。すなわち、ここでは、フィードバック多項式が2次の原始多項式 $(1 + D + D^2)$ で表される畳み込み符号化器を内符号の符号化を行う符号化器として用いる場合について説明する。

【0161】

20

【数17】

$$G(D) = \frac{1}{1+D+D^2} \begin{bmatrix} 1 & D+D^2 & D \\ D+D^2 & 1 & D \\ D^2 & D^2 & 1 \end{bmatrix} \cdots (17)$$

【0162】

上式(17)に示す生成行列 $G(D)$ で表される畳み込み符号化器は、図7に示すように構成される。

30

【0163】

すなわち、同図に示す畳み込み符号化器100は、5つの排他的論理和回路101, 103, 104, 105, 106と、2つのシフトレジスタ102, 107とを有する。

【0164】

排他的論理和回路101は、シフトレジスタ107から供給されるデータと、上述したインターリーバ20から出力された2ビットのインターリーブデータ $D_{31}$ ,  $D_{32}$ とを用いて排他的論理和演算を行い、演算結果をシフトレジスタ102に供給する。

【0165】

シフトレジスタ102は、保持している1ビットのデータを排他的論理和回路103, 104, 105, 106に供給し続ける。そして、シフトレジスタ102は、クロックに同期させて、排他的論理和回路101から供給される1ビットのデータを新たに保持し、このデータを排他的論理和回路103, 104, 105, 106に新たに供給する。

40

【0166】

排他的論理和回路103は、シフトレジスタ102から供給されるデータと、インターリーバ20から出力された1ビットのインターリーブデータ $D_{31}$ とを用いて排他的論理和演算を行い、演算結果を3ビットの符号化データ $D_4$ のうちの1ビットの符号化データ $D_{41}$ として後段の多値変調マッピング回路40に出力する。

【0167】

排他的論理和回路104は、シフトレジスタ102から供給されるデータと、インターリー

50

ーバ20から出力された1ビットのインターリーブデータ $D_{32}$ とを用いて排他的論理和演算を行い、演算結果を3ビットの符号化データ $D_4$ のうちの1ビットの符号化データ $D_{42}$ として後段の多値変調マッピング回路40に出力する。

【0168】

排他的論理和回路105は、シフトレジスタ102, 107から供給されるデータと、インターリーブバ20から出力された1ビットのインターリーブデータ $D_{33}$ とを用いて排他的論理和演算を行い、演算結果を3ビットの符号化データ $D_4$ のうちの1ビットの符号化データ $D_{43}$ として後段の多値変調マッピング回路40に出力する。

【0169】

排他的論理和回路106は、シフトレジスタ102, 107から供給されるデータと、インターリーブバ20から出力された1ビットのインターリーブデータ $D_{33}$ とを用いて排他的論理和演算を行い、演算結果をシフトレジスタ107に供給する。

10

【0170】

シフトレジスタ107は、保持している1ビットのデータを排他的論理和回路101, 105, 106に供給し続ける。そして、シフトレジスタ107は、クロックに同期させて、排他的論理和回路106から供給される1ビットのデータを新たに保持し、このデータを排他的論理和回路101, 105, 106に新たに供給する。

【0171】

このような畳み込み符号化器100は、3ビットのインターリーブデータ $D_{31}$ ,  $D_{32}$ ,  $D_{33}$ を入力すると、これらのインターリーブデータ $D_{31}$ ,  $D_{32}$ ,  $D_{33}$ に対して畳み込み演算を行い、演算結果を3ビットの符号化データ $D_4$ の $D_{41}$ ,  $D_{42}$ ,  $D_{43}$ として後段の多値変調マッピング回路40に出力する。すなわち、畳み込み符号化器100は、内符号の符号化として符号化率が $3/3 = 1$ の畳み込み演算を行い、符号化データ $D_4$ を後段の多値変調マッピング回路40に出力する。

20

【0172】

さらに、このような畳み込み符号化器100によって生成された符号化データ $D_4$ に対して、多値変調マッピング回路40によって図8に示すような信号点のマッピングを行うものとする。なお、同図においては、各信号点に割り当てられている出力の値は、図7に示した畳み込み符号化器100から出力される3ビットの符号化データ $D_{41}$ ,  $D_{42}$ ,  $D_{43}$ を、( $D_{41}$ ,  $D_{42}$ ,  $D_{43}$ )の順序で表したものである。

30

【0173】

このような畳み込み符号化器100による内符号の符号化と、多値変調マッピング回路40による信号点のマッピングとを行った場合、図9に示すようなトレリスが得られる。なお、同図においては、畳み込み符号化器100が有する2つのシフトレジスタ102, 107の内容が"00"である場合を表すトレリスにおける状態(遷移状態)を $S_{00}$ で表し、シフトレジスタ102, 107の内容が"01"である場合を表すトレリスにおける状態を $S_{01}$ で表し、シフトレジスタ102, 107の内容が"10"である場合を表すトレリスにおける状態を $S_{10}$ で表し、シフトレジスタ102, 107の内容が"11"である場合を表すトレリスにおける状態を $S_{11}$ で表し、各パスに付される入出力ラベルを( $D_{31}$ ,  $D_{32}$ ,  $D_{33}$ ) / ( $D_{41}$ ,  $D_{42}$ ,  $D_{43}$ )で表している。

40

【0174】

具体的には、入出力ラベルとして"000 / 000"が付された状態 $S_{00}$ から状態 $S_{00}$ へと到達するパスと、入出力ラベルとして"101 / 101"が付された状態 $S_{00}$ から状態 $S_{01}$ へと到達するパスとの入力距離は、"2"となり、出力距離の2乗は、図8に示した信号点の割り当てから"0.59"となる。また、入出力ラベルとして"000 / 000"が付された状態 $S_{00}$ から状態 $S_{00}$ へと到達するパスと、入出力ラベルとして"111 / 111"が付された状態 $S_{00}$ から状態 $S_{11}$ へと到達するパスとの入力距離は、"3"となり、出力距離の2乗は、図8に示した信号点の割り当てから"0.59"となる。さらに、入出力ラベルとして"000 / 000"が付された状態 $S_{00}$ から状態 $S_{00}$ へと到達するパスと、入出力ラベルとして"110 / 0

50

"00"が付されたステート $S_{01}$ からステート $S_{10}$ へと到達するパスとの入力距離は、"2"となり、出力距離の2乗は、"0"となる。さらにまた、入出力ラベルとして"000/000"が付されたステート $S_{00}$ からステート $S_{00}$ へと到達するパスと、入出力ラベルとして"001/000"が付されたステート $S_{11}$ からステート $S_{10}$ へと到達するパスとの入力距離は、"1"となり、出力距離の2乗は、"0"となる。また、入出力ラベルとして"000/000"が付されたステート $S_{00}$ からステート $S_{00}$ へと到達するパスと、入出力ラベルとして"111/000"が付されたステート $S_{10}$ からステート $S_{00}$ へと到達するパスとの入力距離は、"3"となり、出力距離の2乗は、"0"となる。

【0175】

したがって、このトレリスから明らかなように、符号の最小距離は、同図中破線部で示す2つのパスとなる。ここで、この2つのパスの入力距離は、ともに"7"であることに着目する。

10

【0176】

したがって、内符号の符号化を行う符号化器として、図7に示した畳み込み符号化器10を用いた場合には、外符号として、入力距離"7"よりも大きな最小距離"8"以上の符号を用いることにより、接続符号全体としての最小距離を、内符号の最小距離よりも大きくすることができることになる。したがって、符号化装置1においては、上述した畳み込み符号化器10として、このような条件を満足する符号を生成するものを設ければよい。

【0177】

このように、符号化装置1は、内符号の符号化を行う符号化器として、フィードバック多項式が原始多項式で表されるメモリ数が"2"以上とされる符号化器を用いた場合に、外符号として、内符号の最小距離符号を生じる最大の入力距離よりも大きな最小出力距離を有する符号を用いることにより、不必要に終結してしまうパターン生成を回避することができ、符号の性能を、ビットエラーレートと1ビットあたりの信号対雑音電力比( $E_b/N_0$ )との関係で表したとき、高い信号対雑音電力比でのビットエラーレートを改善することが可能となる。

20

【0178】

つぎに、この第1の指針とは異なる第2の指針について説明する。

【0179】

上述した第1の指針は、内符号の符号化を行う符号化器として、メモリ数が"2"以上とされる符号化器を用いた場合には、入力距離が奇数の場合には終結する可能性があり、これを回避するために提案したものである。これに対して、ここで提案する第2の指針は、内符号の符号化を行う符号化器として、メモリ数が"2"以上とされる符号化器を用いる際に、この内符号として、「入力距離が奇数では終結されないものを用いる」ものである。

30

【0180】

具体的に、上述した畳み込み符号化器30として、生成行列 $G(D)$ が次式(18)で表される畳み込み符号化器を用いる場合について説明する。すなわち、ここでは、フィードバック多項式が、上式(17)に示したような原始多項式ではなく、 $(1+D^2)$ で表される畳み込み符号化器を内符号の符号化を行う符号化器として用いる。

【0181】

40

【数18】

$$G(D) = \frac{1}{1+D^2} \begin{bmatrix} 1+D^2 & D^2 & 1 \\ 0 & 1+D+D^2 & D \\ 0 & D^2 & 1 \end{bmatrix} \cdots (18)$$

【0182】

上式(18)に示す生成行列 $G(D)$ で表される畳み込み符号化器は、図10に示すよう

50

に構成される。

【0183】

すなわち、同図に示す畳み込み符号化器120は、3つの排他的論理和回路121, 123, 125と、2つのシフトレジスタ122, 124とを有する。

【0184】

排他的論理和回路121は、シフトレジスタ124から供給されるデータと、インターリーバ20から出力された1ビットのインターリーブデータ $D_{3_2}$ とを用いて排他的論理和演算を行い、演算結果を3ビットの符号化データ $D_4$ のうちの1ビットの符号化データ $D_{4_2}$ として後段の多値変調マッピング回路40に出力する。

【0185】

シフトレジスタ122は、保持している1ビットのデータを排他的論理和回路123に供給し続ける。そして、シフトレジスタ122は、クロックに同期させて、排他的論理和回路125から供給される1ビットのデータを新たに保持し、このデータを排他的論理和回路123に新たに供給する。

【0186】

排他的論理和回路123は、シフトレジスタ122から供給されるデータと、インターリーバ20から出力された1ビットのインターリーブデータ $D_{3_2}$ とを用いて排他的論理和演算を行い、演算結果をシフトレジスタ124に供給する。

【0187】

シフトレジスタ124は、保持している1ビットのデータを排他的論理和回路121, 125に供給し続ける。そして、シフトレジスタ124は、クロックに同期させて、排他的論理和回路123から供給される1ビットのデータを新たに保持し、このデータを排他的論理和回路121, 125に新たに供給する。

【0188】

排他的論理和回路125は、シフトレジスタ124から供給されるデータと、インターリーバ20から出力された2ビットのインターリーブデータ $D_{3_1}$ ,  $D_{3_3}$ とを用いて排他的論理和演算を行い、演算結果を3ビットの符号化データ $D_4$ のうちの1ビットの符号化データ $D_{4_3}$ として後段の多値変調マッピング回路40に出力するとともに、シフトレジスタ122に供給する。

【0189】

このような畳み込み符号化器120は、3ビットのインターリーブデータ $D_{3_1}$ ,  $D_{3_2}$ ,  $D_{3_3}$ を入力すると、1ビットのインターリーブデータ $D_{3_1}$ を組織成分の符号化データ $D_{4_1}$ としてそのまま後段の多値変調マッピング回路40に出力するとともに、これらのインターリーブデータ $D_{3_1}$ ,  $D_{3_2}$ ,  $D_{3_3}$ に対して畳み込み演算を行い、演算結果を残りの2ビットの符号化データ $D_{4_2}$ ,  $D_{4_3}$ として後段の多値変調マッピング回路40に出力する。すなわち、畳み込み符号化器120は、内符号の符号化として符号化率が" $3/3 = 1$ "の畳み込み演算を行い、符号化データ $D_4$ を後段の多値変調マッピング回路40に出力する。

【0190】

さらに、このような畳み込み符号化器120によって生成された符号化データ $D_4$ に対して、多値変調マッピング回路40によって図11に示すような信号点のマッピングを行うものとする。なお、同図においても、図8と同様に、各信号点に割り当てられている出力の値は、図10に示した畳み込み符号化器120から出力される3ビットの符号化データ $D_{4_1}$ ,  $D_{4_2}$ ,  $D_{4_3}$ を、( $D_{4_1}$ ,  $D_{4_2}$ ,  $D_{4_3}$ )の順序で表したものである。

【0191】

ここで、このような畳み込み符号化器120による内符号の符号化と、多値変調マッピング回路40による信号点のマッピングとの組み合わせに対して、最小距離が奇数、すなわち、 $n$ を1以上の整数としたとき最小距離が( $2n + 1$ )で表される外符号を用いると、距離の小さな連説符号の符号語を生じるのは、外符号の出力距離から" $1$ "だけ大きい場合になる。

10

20

30

40

50

## 【0192】

したがって、符号化装置1においては、内符号の符号化を行う符号化器として、フィードバック多項式が $(1 + D^n)$ で表され、入力距離が奇数では終結されない符号を生成する符号化器を用いることにより、上述した第1の指針のように、外符号として、入力距離よりも"1"だけ大きい出力距離を有する符号を用いることなく、同等の性能を達成することができることになる。

## 【0193】

一般に、同じ符号化率の畳み込み符号において最小距離を増やすためには、メモリ数を増加させる必要がある。これに対して、符号化装置1は、第2の指針として示す条件を満足する符号化器を用いることにより、最小距離を増やすためにメモリ数を増加させる必要がないことから、復号コストを小さく抑制しつつ、高い信号対雑音電力比でのビットエラーレートを改善することが可能となる。

10

## 【0194】

以上説明したように、本発明の実施の形態として示したデータ送受信システムにおける符号化装置1は、内符号の符号化を行う符号化器として、メモリ数が"2"以上とされる符号化器を用いた場合には、外符号として、内符号の最小距離符号を生じる最大の入力距離よりも大きな最小出力距離を有する符号を用いることにより、高い信号対雑音電力比でのビットエラーレートを改善することができる。

## 【0195】

また、符号化装置1は、外符号として、内符号の最小距離符号を生じる最大の入力距離よりも大きな最小出力距離を有する符号を用いるのではなく、内符号として、フィードバック多項式が $(1 + D^n)$ で表されるような入力距離が奇数では終結されないものを用いることにより、少ない回路規模のもとに復号コストを小さく抑制しつつ、高い信号対雑音電力比でのビットエラーレートを改善することができる。

20

## 【0196】

また、復号装置3は、このような符号化装置1によって符号化がなされた符号を高精度に復号することができる。

## 【0197】

したがって、データ送受信システムは、符号の性能の向上を図ることができ、ユーザに優れた利便・信頼性を提供することができるものである。

30

## 【0198】

なお、本発明は、上述した実施の形態に限定されるものではない。例えば、上述した実施の形態では、符号化装置1によってSCTCM方式による符号化を行うものとして説明したが、本発明は、SCCCによる符号化を行う場合であっても適用することができる。この場合、符号化装置は、多値変調マッピングによって8PSK変調方式に基づく信号点のマッピングを行う代わりに、例えば2相位相(Binary Phase Shift Keying; BPSK)変調方式や4相位相(Quadrature Phase Shift Keying; QPSK)変調方式による変調を行うことになる。

## 【0199】

また、上述した実施の形態では、内符号の符号化を行う畳み込み符号化器30の具体例として、先に図7又は図10に示した畳み込み符号化器100, 120を用いて説明したが、本発明は、上述した議論を逸脱しない範囲で任意のものを用いることができる。この際、本発明は、内符号に応じた信号点のマッピングを行うことはいうまでもない。また、本発明は、符号化率についても任意のものに適用可能であることはいうまでもない。

40

## 【0200】

さらに、上述した実施の形態では、復号装置における軟出力復号回路として、BCJRアルゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムに基づくMAP復号を行うものについて説明したが、本発明は、例えばいわゆるSOVA(Soft Output Viterbi Algorithm)による復号を行うといったように、他の軟出力復号にも適用可能である。

50

## 【0201】

さらにまた、上述した実施の形態では、符号化装置及び復号装置をデータ送受信システムにおける送信装置及び受信装置に適用して説明したが、本発明は、例えば、フロッピー（登録商標）ディスク、CD-ROM又はMO（Magneto Optical）といった、磁気、光又は光磁気ディスク等の記録媒体に対する記録及び/又は再生を行う記録及び/又は再生装置に適用することもできる。この場合、符号化装置によって符号化されたデータは、無記憶通信路に等価とされる記録媒体に記録され、復号装置によって復号されて再生されることになる。

## 【0202】

また、上述した実施の形態では、符号化装置及び復号装置ともハードウェアによって構成された装置であるものとして説明したが、これらの符号化装置及び復号装置とも、例えばワークステーションやパーソナルコンピュータといったコンピュータ装置において実行可能なソフトウェアとして実現することが可能である。以下、この例について、図12を参照して説明する。

## 【0203】

コンピュータ装置150は、同図に示すように、各部を統括して制御するCPU（Central Processing Unit）151と、各種プログラムを含む情報を格納する読み取り専用のROM152と、ワークエリアとして機能するRAM（Random Access Memory）153と、各種プログラムやデータ等の記録及び/又は再生を行うHDD（Hard Disk Drive）154と、これらのCPU151、ROM152、RAM153及びHDD154を接続するバス155と、CPU151、ROM152、RAM153及びHDD154と後述する表示部157、入力部158、通信部159及びドライブ160との間でデータの入出力を行うための入出力インターフェース156と、各種情報を表示する表示部157と、ユーザによる操作を受け付ける入力部158と、外部との通信を行うための通信部159と、着脱自在とされる記録媒体170に対する各種情報の記録及び/又は再生を行うドライブ160とを備える。

## 【0204】

CPU151は、バス155を介してROM152、RAM153及びHDD154と接続しており、これらのROM152、RAM153及びHDD154を制御する。また、CPU151は、バス155を介して入出力インターフェース156に接続しており、この入出力インターフェース156に接続されている表示部157、入力部158、通信部159及びドライブ160を制御する。さらに、CPU151は、ROM152、HDD154又はドライブ160に装着された記録媒体170に記録されている各種プログラムを実行する。

## 【0205】

ROM152は、各種プログラムを含む情報を格納している。このROM152に格納されている情報は、CPU151の制御の下に読み出される。

## 【0206】

RAM153は、CPU151が各種プログラムを実行する際のワークエリアとして機能し、CPU151の制御の下に、各種データを一時記憶する。

## 【0207】

HDD154は、CPU151の制御の下に、ハードディスクに対して各種プログラムやデータ等の記録及び/又は再生を行う。

## 【0208】

バス155は、CPU151の制御の下に、ROM152、RAM153及びHDD154から読み出された各種データ等を伝送するとともに、RAM153及びHDD154に記録する各種データ等を伝送する。

## 【0209】

入出力インターフェース156は、CPU151の制御の下に表示部157に各種情報を表示するためのインターフェースと、ユーザによって入力部158を介して操作された内

10

20

30

40

50

容を示す制御信号をCPU151に対して伝送するためのインターフェースと、CPU151の制御の下に通信部159を介して外部との間でデータを入出力するためのインターフェースと、ドライブ160に装着された記録媒体170に対して各種情報の記録及び/又は再生を行うためのインターフェースとを有し、CPU151、ROM152、RAM153及びHDD154からのデータを表示部157、入力部158、通信部159及びドライブ160に対して出力したり、表示部157、入力部158、通信部159及びドライブ160からのデータをCPU151、ROM152、RAM153及びHDD154に対して入力したりする。

【0210】

表示部157は、例えばLCD(Liquid Crystal Display)からなり、CPU151の制御の下に、例えばHDD154に記録されていたデータ等の各種情報を表示する。

10

【0211】

入力部158は、例えばユーザによるキーボードやマウスの操作を受け付け、操作内容を示す制御信号をCPU151に対して出力する。

【0212】

通信部159は、CPU151の制御の下に、例えばネットワーク回線や衛星回線等によって外部との通信を行うインターフェースとして機能する。

【0213】

ドライブ160は、例えば、フロッピー(登録商標)ディスク、CD-ROM又はMOといった、磁気、光又は光磁気ディスク等の記録媒体170を着脱し、CPU151の制御の下に、装着された記録媒体170に対する各種情報の記録及び/又は再生を行う。

20

【0214】

このようなコンピュータ装置150は、CPU151によって所定のプログラムを実行することにより、上述した符号化装置1における符号化処理及び/又は復号装置3における復号処理を実現する。

【0215】

まず、コンピュータ装置150における符号化処理について説明する。

【0216】

コンピュータ装置150は、例えばユーザが符号化プログラムを実行するための所定の操作を行うと、入力部158により、操作内容を示す制御信号をCPU151に対して供給する。これに応じて、コンピュータ装置150は、CPU151により、符号化プログラムをRAM153にロードして実行し、符号化して得られた符号化伝送シンボルを通信部159を介して外部へと出力するとともに、必要に応じて、表示部157に処理結果等を表示する。

30

【0217】

ここで、符号化プログラムは、例えば記録媒体170によって提供されるものであって、CPU151の制御の下に、この記録媒体170から直接読み出されてもよく、ハードディスクに1度記録されたものが読み出されてもよい。また、符号化プログラムは、ROM152に予め格納されていてもよい。さらに、符号化の対象とするデータは、ここではハードディスクに記録されているものとする。なお、このデータは、上述した入力データD1に対応するものである。

40

【0218】

具体的には、コンピュータ装置150は、CPU151によって符号化プログラムを実行すると、CPU151の制御の下に、ハードディスクに記録されている所望のデータを読み出し、このデータに対して外符号の符号化として符号化率"2/3"の畳み込み演算を行い、上述した符号化データD2に対応する符号化データを生成する。このとき、コンピュータ装置150は、上述した第1の指針として示す条件を適用する場合には、外符号として、内符号の最小距離符号を生じる最大の入力距離よりも大きな最小出力距離を有する符号を生成する。

【0219】

50

続いて、コンピュータ装置 150 は、CPU 151 の制御の下に、生成した符号化データに対してインターリーブを施し、上述したインターリーブデータ D3 に対応するインターリーブデータを生成する。

【0220】

続いて、コンピュータ装置 150 は、CPU 151 の制御の下に、生成したインターリーブデータに対して内符号の符号化として符号化率が  $3/3 = 1$  の畳み込み演算を行い、上述した符号化データ D4 に対応する符号化データを生成する。このとき、コンピュータ装置 150 は、上述した第 2 の指針として示す条件を適用する場合には、内符号として、入力距離が奇数では終結されない符号を生成する。

【0221】

そして、コンピュータ装置 150 は、CPU 151 の制御の下に、生成した符号化データを例えば 8PSK 変調方式の伝送シンボルにマッピングし、上述した符号化伝送シンボル D5 に対応する符号化伝送シンボルを生成する。

【0222】

コンピュータ装置 150 は、CPU 151 の制御の下に、生成した符号化伝送シンボルを 1 度ハードディスク等に記録した後、所望のタイミングで符号化伝送シンボルを読み出し、通信部 159 を介して外部へと出力するとともに、必要に応じて、表示部 157 に処理結果等を表示する。なお、生成した符号化伝送シンボルは、記録媒体 170 等に記録することもできる。

【0223】

このように、コンピュータ装置 150 は、上述した符号化装置 1 における符号化処理を符号化プログラムを実行することによって実現することができる。

【0224】

つぎに、コンピュータ装置 150 における復号処理について説明する。

【0225】

コンピュータ装置 150 は、例えばユーザが復号プログラムを実行するための所定の操作を行うと、入力部 158 により、操作内容を示す制御信号を CPU 151 に対して供給する。これに応じて、コンピュータ装置 150 は、CPU 151 により、復号プログラムを RAM 153 にロードして実行し、通信部 159 を介して外部から受信し、上述した受信値 D6 に対応するものでありハードディスク等に記録されている受信値を復号するとともに、必要に応じて、表示部 157 に処理結果等を表示する。

【0226】

なお、復号プログラムも、符号化プログラムと同様に、例えば記録媒体 170 により提供されるものであって、CPU 151 の制御の下に、この記録媒体 170 から直接読み出されてもよく、ハードディスクに 1 度記録されたものが読み出されてもよい。また、復号プログラムは、ROM 152 に予め格納されていてもよい。

【0227】

具体的には、コンピュータ装置 150 は、CPU 151 によって復号プログラムを実行すると、CPU 151 の制御の下に、ハードディスクから読み出した受信値、若しくは通信部 159 を介して受信した受信値に対して、例えば、BCJR アルゴリズム、Max-Log-BCJR アルゴリズム又は Log-BCJR アルゴリズムに基づく MAP 復号を行うことによって内符号の軟出力復号を行い、上述した外部情報 D8 に対応する外部情報を生成する。

【0228】

続いて、コンピュータ装置 150 は、CPU 151 の制御の下に、生成した外部情報にディインターリーブを施し、上述した事前確率情報 D9 に対応する事前確率情報を生成する。

【0229】

続いて、コンピュータ装置 150 は、CPU 151 の制御の下に、生成した事前確率情報に対して、例えば、BCJR アルゴリズム、Max-Log-BCJR アルゴリズム又は Log-BCJR アルゴリズムに基づく MAP 復号を行うことによって外符号の軟出力復

10

20

30

40

50

号を行い、上述した外部情報 D 1 2 に対応する外部情報を生成し、この外部情報にインターリーブを施し、上述した事前確率情報 D 7 に対応する事前確率情報を生成する。

【 0 2 3 0 】

そして、コンピュータ装置 1 5 0 は、CPU 1 5 1 の制御の下に、このような復号動作を例えば数回乃至数十回といった所定の回数だけ反復して行い、上述した事後確率情報 D 1 5 に対応する所定の回数の復号動作の結果得られた軟出力の事後確率情報に基づいて、硬出力の復号データを出力する。

【 0 2 3 1 】

コンピュータ装置 1 5 0 は、CPU 1 5 1 の制御の下に、得られた復号データをハードディスク等に記録し、必要に応じて、表示部 1 5 7 に処理結果等を表示する。なお、得られた復号データは、記録媒体 1 7 0 等に記録することもできる。

10

【 0 2 3 2 】

このように、コンピュータ装置 1 5 0 は、上述した復号装置 3 における復号処理を復号プログラムを実行することによって実現することができる。

【 0 2 3 3 】

以上のように、本発明は、その趣旨を逸脱しない範囲で適宜変更が可能であることはいうまでもない。

【 0 2 3 4 】

【 発明の効果 】

【 0 2 4 2 】

また、本発明にかかる符号化装置は、入力されたデータに対して縦列連接畳み込み符号化又は縦列連接符号化変調を行う符号化装置であって、入力されたデータに対して所定の符号化を行う第 1 の要素符号化手段と、この第 1 の要素符号化手段によって符号化されて生成された第 1 の符号化データの順序を置換して並べ替えるインターリーブ手段と、このインターリーブ手段に縦列に接続し、インターリーブ手段によって生成されたインターリーブデータに対して所定の符号化を行い、第 2 の符号化データを生成する第 2 の要素符号化手段とを備え、第 2 の要素符号化手段は、データを記憶する 2 以上の記憶素子を有し、入力距離が奇数では終結されない第 2 の符号化データを生成する。

20

【 0 2 4 3 】

したがって、本発明にかかる符号化装置は、記憶素子数が 2 以上とされる第 2 の要素符号化手段によって内符号の符号化を行う際に、入力距離が奇数では終結されない第 2 の符号化データを生成するものを用いることにより、復号コストを小さく抑制しつつ、高い信号対雑音電力比でのビットエラーレートを改善することができ、高性能の符号化を行うことができる。

30

【 0 2 4 4 】

さらに、本発明にかかる符号化方法は、入力されたデータに対して縦列連接畳み込み符号化又は縦列連接符号化変調を行う符号化方法であって、入力されたデータに対して所定の符号化を行う第 1 の要素符号化工程と、この第 1 の要素符号化工程にて符号化されて生成された第 1 の符号化データの順序を置換して並べ替えるインターリーブ工程と、このインターリーブ工程にて生成されたインターリーブデータに対して所定の符号化を行い、第 2 の符号化データを生成する第 2 の要素符号化工程とを備え、第 2 の要素符号化工程では、データを記憶する 2 以上の記憶素子が用いられ、入力距離が奇数では終結されない第 2 の符号化データが生成される。

40

【 0 2 4 5 】

したがって、本発明にかかる符号化方法は、2 以上の記憶素子数を用いた内符号の符号化を行う際に、入力距離が奇数では終結されないものを用いることにより、復号コストを小さく抑制しつつ、高い信号対雑音電力比でのビットエラーレートを改善することが可能となり、高性能の符号化を行うことが可能となる。

【 0 2 4 6 】

さらにまた、本発明にかかる復号装置は、入力されたデータに対して所定の符号化を行う

50

第1の要素符号化手段と、この第1の要素符号化手段によって符号化されて生成された第1の符号化データの順序を置換して並べ替える第1のインターリーブ手段と、この第1のインターリーブ手段に縦列に接続し、第1のインターリーブ手段によって生成されたインターリーブデータに対して所定の符号化を行い、第2の符号化データを生成する第2の要素符号化手段とを備え、第2の要素符号化手段は、データを記憶する2以上の記憶素子を有し、入力距離が奇数では終結されない第2の符号化データを生成する符号化装置によって縦列接続畳み込み符号化又は縦列接続符号化変調が施された符号の復号を行う復号装置であって、第2の要素符号化手段に対応して備えられ、軟入力とされる受信値及び情報ビットに対する事前確率情報を入力して軟出力復号を行い、各時刻における第1の外部情報を生成する第1の軟出力復号手段と、この第1の軟出力復号手段に縦列に接続し、第1のインターリーブ手段によって並べ替えられたインターリーブデータの配列を、第1の要素符号化手段によって符号化されて生成された第1の符号化データの配列に戻すように、第1の軟出力復号手段によって生成された軟入力とされる第1の外部情報を並べ替えるデインターリーブ手段と、第1の要素符号化手段に対応して備えられ且つデインターリーブ手段に縦列に接続し、デインターリーブ手段によって生成された軟入力とされる符号ビットに対する事前確率情報と、入力された軟入力とされる情報ビットに対する事前確率情報とを用いて軟出力復号を行い、各時刻における情報ビットに対する事後確率情報及び/又は第2の外部情報を生成する第2の軟出力復号手段と、第1のインターリーブ手段と同一の置換位置情報に基づいて、第2の軟出力復号手段によって生成された軟入力とされる第2の外部情報の順序を置換して並べ替える第2のインターリーブ手段とを備え、第1の軟出力復号手段は、情報ビットに対する事前確率情報として、第2のインターリーブ手段によって生成された軟入力とされる第2の外部情報を入力する。

10

20

**【0247】**

したがって、本発明にかかる復号装置は、記憶素子数が2以上とされる第2の要素符号化手段によって内符号の符号化を行う際に、入力距離が奇数では終結されない第2の符号化データを生成するものを用いて生成された符号を復号することにより、復号コストを小さく抑制しつつ、高い信号対雑音電力比でのビットエラーレートが改善された符号を高精度に復号することができる。

**【0248】**

また、本発明にかかる復号方法は、入力されたデータに対して所定の符号化を行う第1の要素符号化工程と、この第1の要素符号化工程にて符号化されて生成された第1の符号化データの順序を置換して並べ替える第1のインターリーブ工程と、この第1のインターリーブ工程にて生成されたインターリーブデータに対して所定の符号化を行い、第2の符号化データを生成する第2の要素符号化工程とを備え、第2の要素符号化工程では、データを記憶する2以上の記憶素子が用いられ、入力距離が奇数では終結されない第2の符号化データが生成される符号化方法を用いて縦列接続畳み込み符号化又は縦列接続符号化変調が施された符号の復号を行う復号方法であって、第2の要素符号化工程に対応して備えられ、軟入力とされる受信値及び情報ビットに対する事前確率情報を入力して軟出力復号を行い、各時刻における第1の外部情報を生成する第1の軟出力復号工程と、第1のインターリーブ工程にて並べ替えられたインターリーブデータの配列を、第1の要素符号化工程にて符号化されて生成された第1の符号化データの配列に戻すように、第1の軟出力復号工程にて生成された軟入力とされる第1の外部情報を並べ替えるデインターリーブ工程と、第1の要素符号化工程に対応して備えられ、デインターリーブ工程にて生成された軟入力とされる符号ビットに対する事前確率情報と、入力された軟入力とされる情報ビットに対する事前確率情報とを用いて軟出力復号を行い、各時刻における情報ビットに対する事後確率情報及び/又は第2の外部情報を生成する第2の軟出力復号工程と、第1のインターリーブ工程と同一の置換位置情報に基づいて、第2の軟出力復号工程にて生成された軟入力とされる第2の外部情報の順序を置換して並べ替える第2のインターリーブ工程とを備え、第1の軟出力復号工程では、情報ビットに対する事前確率情報として、第2のインターリーブ工程にて生成された軟入力とされる第2の外部情報が入力される。

30

40

50

## 【0249】

したがって、本発明にかかる復号方法は、2以上の記憶素子数を用いた内符号の符号化を行う際に、入力距離が奇数では終結されないものを用いて生成された符号を復号することにより、復号コストを小さく抑制しつつ、高い信号対雑音電力比でのビットエラーレートが改善された符号を高精度に復号することが可能となる。

## 【図面の簡単な説明】

【図1】本発明の実施の形態として示すデータ送受信システムを適用する通信モデルの構成を説明するブロック図である。

【図2】同データ送受信システムにおける符号化装置の構成を説明するブロック図である。

【図3】図2に示す符号化装置が備えるインターリーバの構成を説明するブロック図である。

【図4】同データ送受信システムにおける復号装置の構成を説明するブロック図である。

【図5】図4に示す復号装置が備える内符号の軟出力復号を行う軟出力復号回路の構成を説明するブロック図である。

【図6】図4に示す復号装置が備える外符号の軟出力復号を行う軟出力復号回路の構成を説明するブロック図である。

【図7】第1の指針として示す条件を適用した場合の図2に示す符号化装置が備える内符号の符号化を行う畳み込み符号化器の具体例としての構成を説明するブロック図である。

【図8】図2に示す符号化装置が備える多値変調マッピング回路によって行われる8PSK変調方式に基づく信号点配置を説明する図であって、図7に示す畳み込み符号化器の出力距離を説明するための図である。

【図9】図7に示す畳み込み符号化器と図8に示す信号点のマッピングとを行った場合におけるトレリスを説明する図である。

【図10】第2の指針として示す条件を適用した場合の図2に示す符号化装置が備える内符号の符号化を行う畳み込み符号化器の具体例としての構成を説明するブロック図である。

【図11】図2に示す符号化装置が備える多値変調マッピング回路によって行われる8PSK変調方式に基づく信号点配置を説明する図であって、図10に示す畳み込み符号化器の出力距離を説明するための図である。

【図12】コンピュータ装置の構成を説明するブロック図である。

【図13】通信モデルの構成を説明するブロック図である。

【図14】従来の符号化装置の構成を説明するブロック図である。

【図15】図14に示す符号化装置が備える外符号の符号化を行う畳み込み符号化器の構成を説明するブロック図である。

【図16】図14に示す符号化装置が備える内符号の符号化を行う畳み込み符号化器の構成を説明するブロック図である。

【図17】従来の復号装置の構成を説明するブロック図である。

【図18】Divsalarの文献に記載されている内符号の符号化を行う畳み込み符号化器の構成を説明するブロック図である。

【図19】8PSK変調方式に基づく信号点配置を説明する図であって、Divsalarの文献に記載されている信号点配置を説明する図である。

【図20】図18に示す畳み込み符号化器を用いたときの図19に示す信号点配置に対応するトレリスの全部を説明する図である。

【図21】8PSK変調方式に基づく信号点配置を説明する図であって、(A)は、8個の信号点[0, 1, 2, 3, 4, 5, 6, 7]を説明し、(B)は、セット・パーティショニングの手法を用いて分割した集合 $A = [0, 2, 4, 6]$ を説明し、(C)は、セット・パーティショニングの手法を用いて分割した集合 $B = [1, 3, 5, 7]$ を説明する図である。

【図22】図21に示す集合A又は集合Bに対してパラレルパスの入力ハミング距離が互

10

20

30

40

50

いに"2"となるように信号点を割り当てたときのトレリスの全部を説明する図である。

【図23】図21に示す信号点配置に対応するトレリスの一部を説明する図であって、状態 $S_0$ から状態 $S_0$ へと到達するパスと、状態 $S_0$ から状態 $S_1$ へと到達するパスとを説明するための図である。

【図24】図22に示すトレリスのうち、オール"0"のパスから見た入力距離"2"のパスを抜き出したトレリスの一部を説明する図である。

【図25】図22に示すトレリスの一部を説明する図であって、状態 $S_0$ から状態 $S_0$ へと到達するパスに付される入出力ラベルに応じて、状態 $S_1$ から状態 $S_0$ へと到達する1本のパスに要素 $A_0$ を出力とする入出力ラベルを割り当てた様子を説明するための図である。

10

【図26】図22に示すトレリスの一部を説明する図であって、状態 $S_0$ から状態 $S_0$ へと到達するパスに付される入出力ラベルに応じて、状態 $S_1$ から状態 $S_0$ へと到達する4本のパスに入出力ラベルを割り当てた様子を説明するための図である。

【図27】図22に示すトレリスの一部を説明する図であって、状態 $S_1$ から状態 $S_1$ へと到達する4本のパスについて入出力ラベルを割り当てる様子を説明するための図である。

【図28】図19に示す信号点配置に対応するトレリスの全部を説明する図である。

【図29】図20に示すトレリスのうち、オール"0"のパスから見たときの状態遷移図である。

【図30】図29に示す状態遷移図のうち、入力距離が"2"となるパスについてのみ見たときの状態遷移図である。

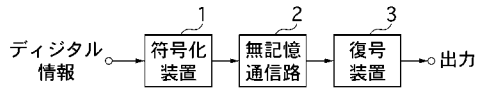
20

【図31】図29に示す状態遷移図のうち、 $A_2 - A_2$ から見たときの入力距離が"2"となるパスを抜き出した状態遷移図である。

【符号の説明】

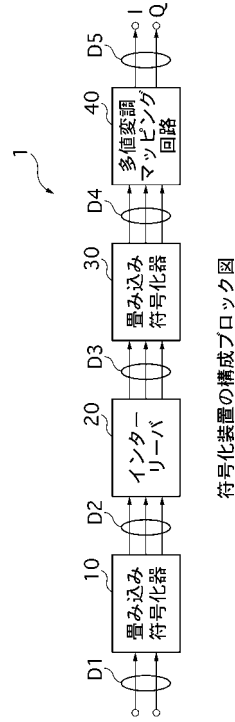
1 符号化装置、 3 復号装置、 10, 30, 100, 120 畳み込み符号化器、  
20, 70 インターリーバ、 40 多値変調マッピング回路、 50, 80 軟出力復号回路、  
60 デインターリーバ、 90 2値化回路、 150 コンピュータ装置

【 図 1 】



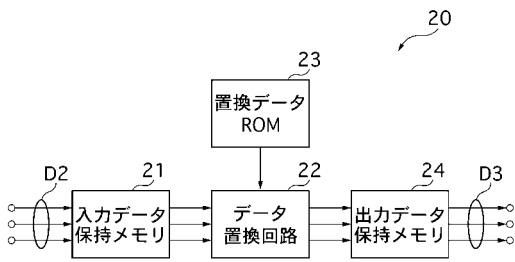
通信モデルの構成ブロック図

【 図 2 】



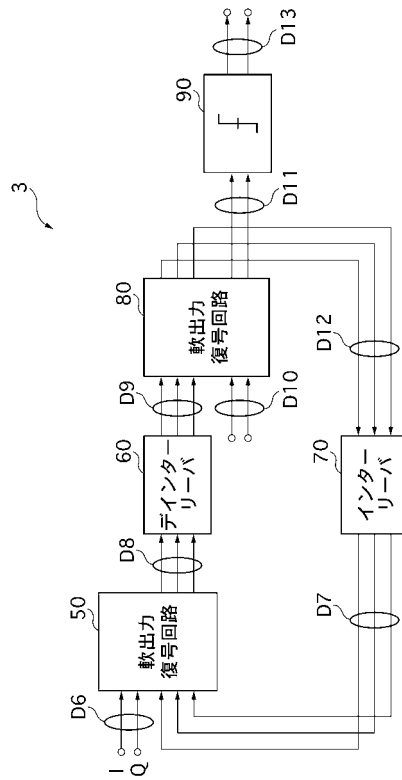
符号化装置の構成ブロック図

【 図 3 】



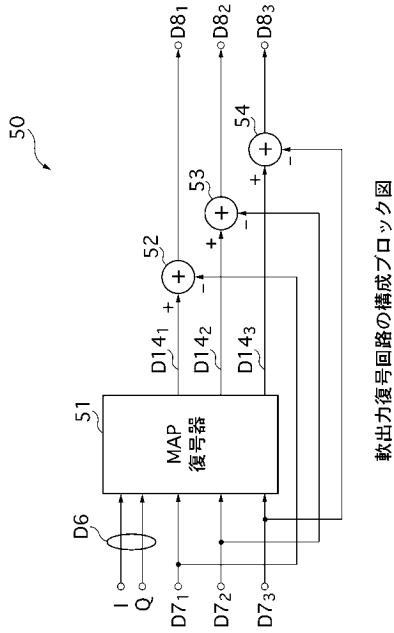
インターリーバの構成ブロック図

【 図 4 】

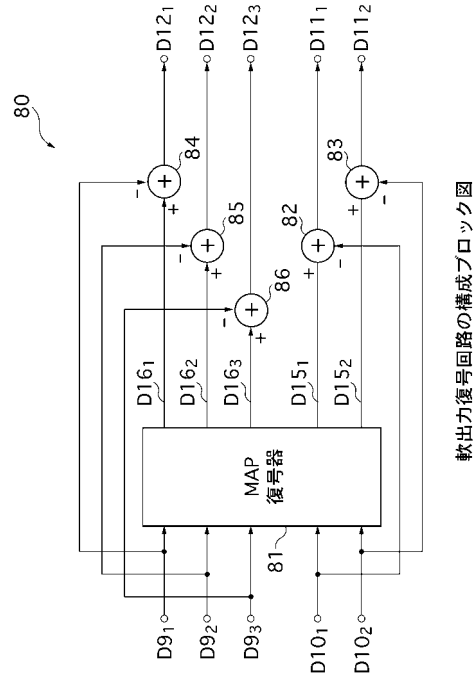


復号装置の構成ブロック図

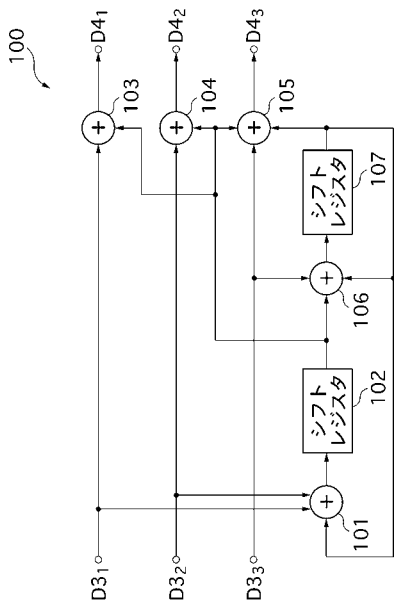
【 図 5 】



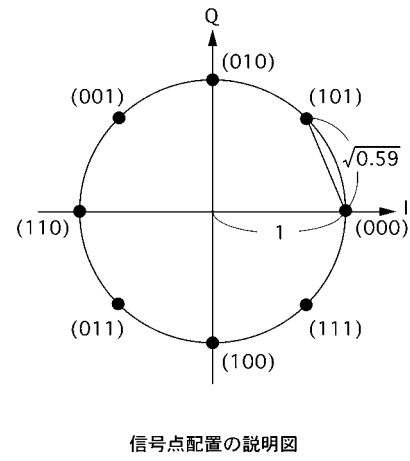
【 図 6 】



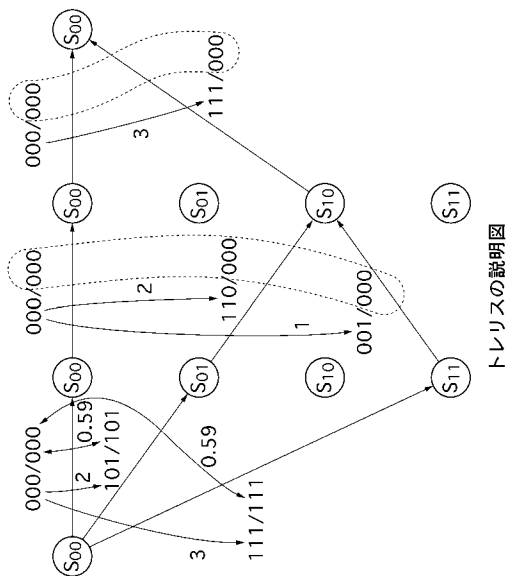
【 図 7 】



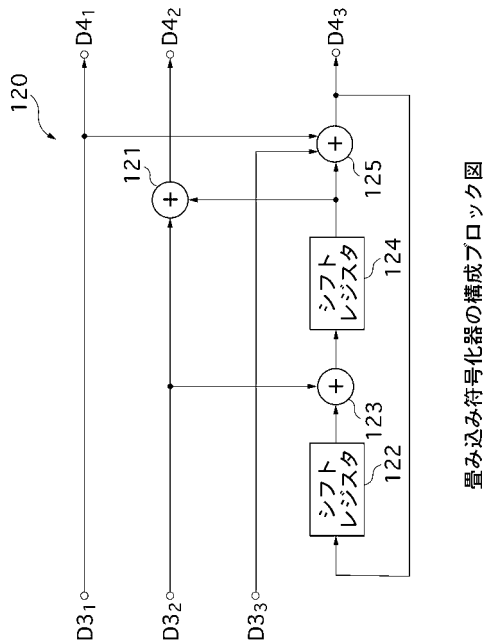
【 図 8 】



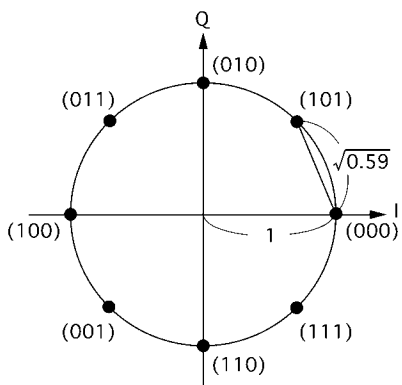
【 図 9 】



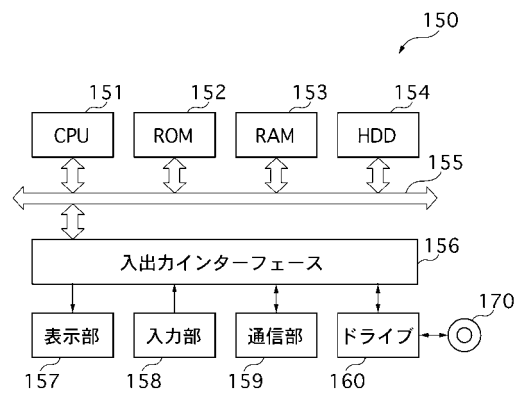
【 図 1 0 】



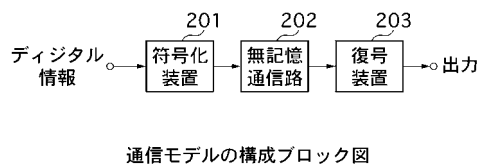
【 図 1 1 】



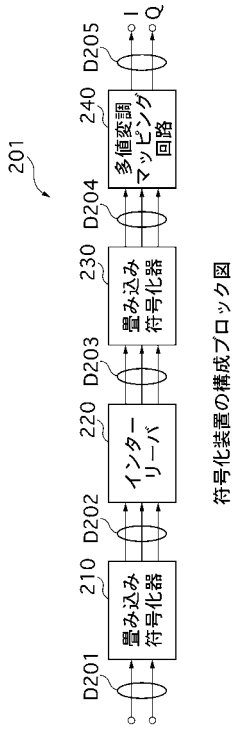
【 図 1 2 】



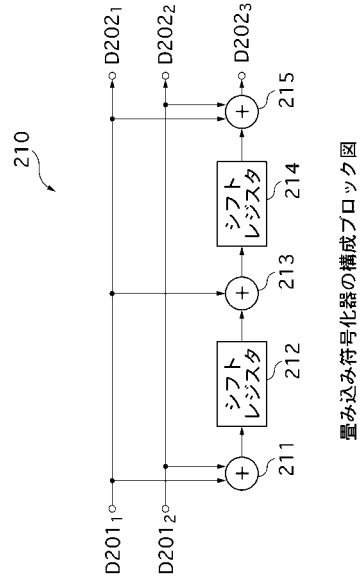
【 図 1 3 】



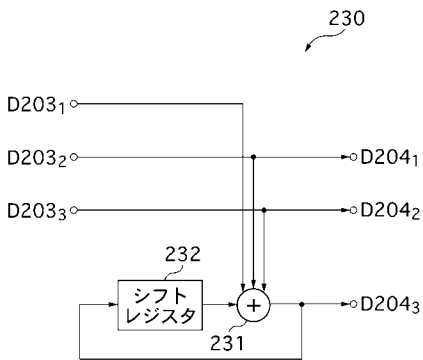
【 図 1 4 】



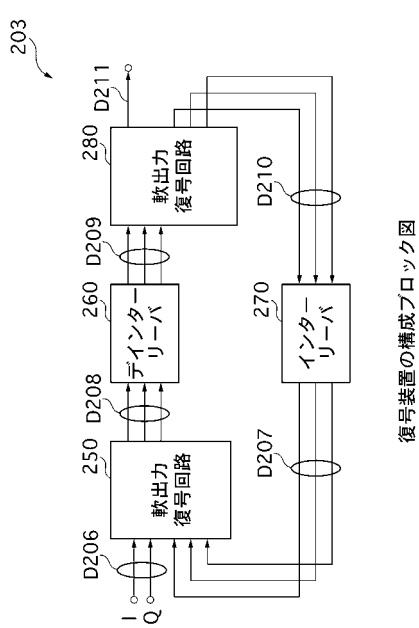
【 図 1 5 】



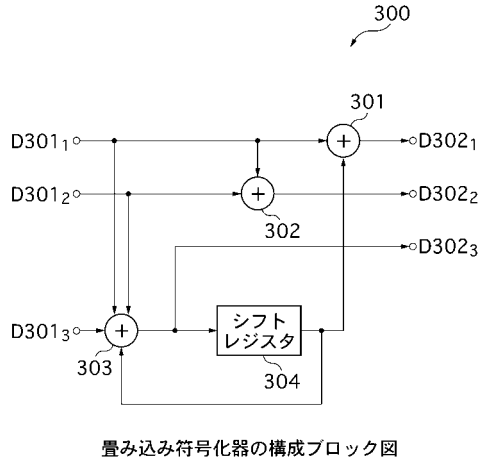
【 図 1 6 】



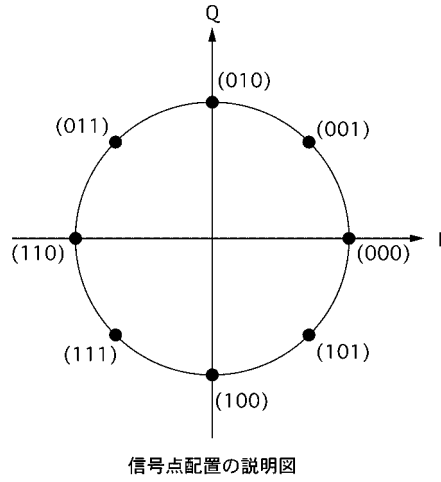
【 図 1 7 】



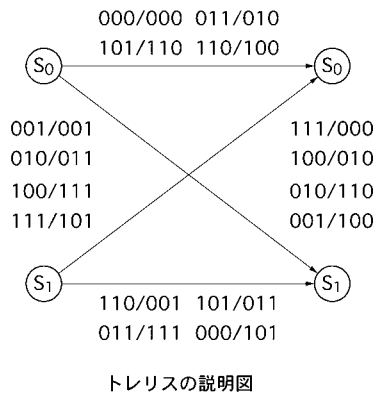
【 図 1 8 】



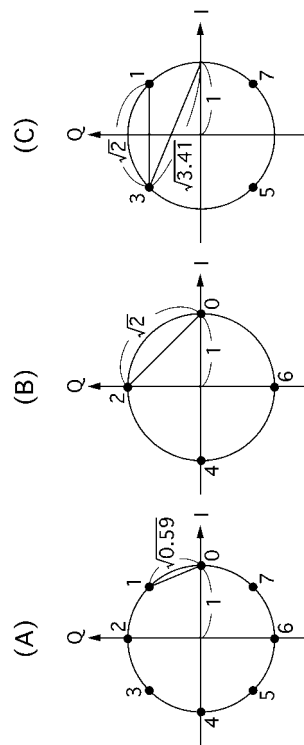
【 図 1 9 】



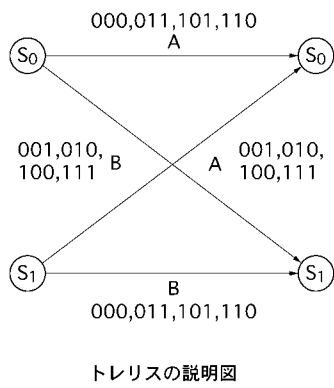
【 図 2 0 】



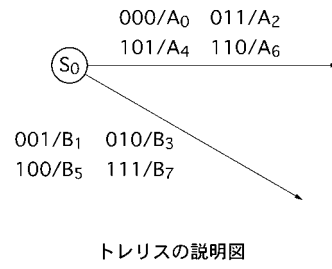
【 図 2 1 】



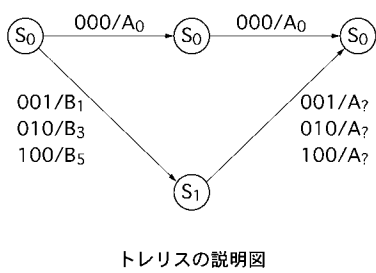
【 図 2 2 】



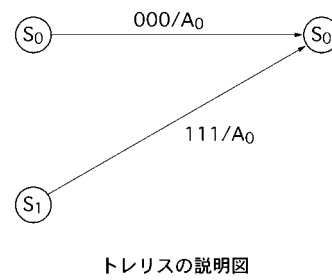
【 図 2 3 】



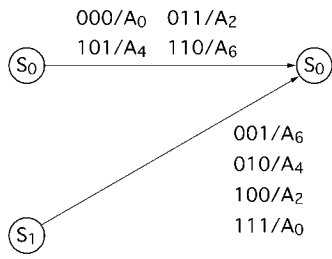
【 図 2 4 】



【 図 2 5 】

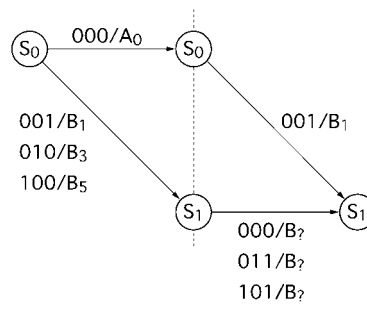


【 図 2 6 】



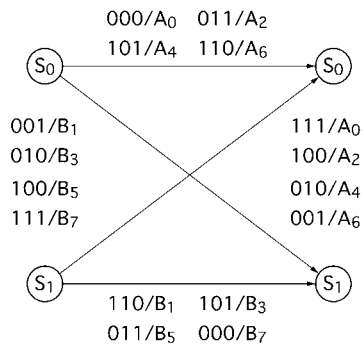
トレリスの説明図

【 図 2 7 】



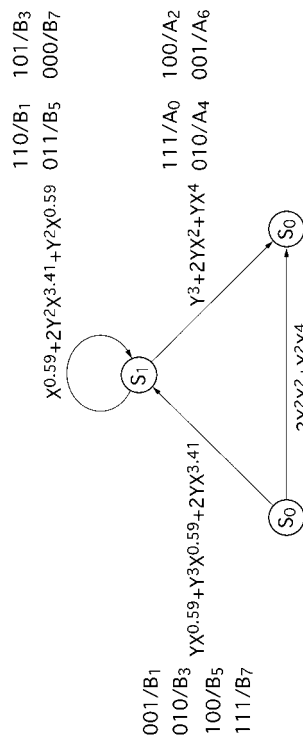
トレリスの説明図

【 図 2 8 】



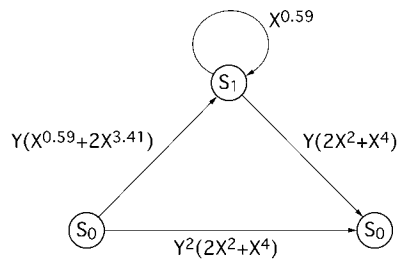
トレリスの説明図

【 図 2 9 】



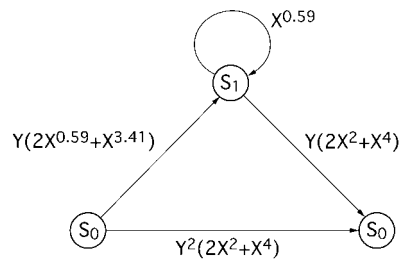
状態遷移図の説明図

【 図 3 0 】



状態遷移図の説明図

【 図 3 1 】



状態遷移図の説明図

---

フロントページの続き

(72)発明者 山本 耕平  
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 藤井 浩

(56)参考文献 特開2001-292185(JP,A)  
特開平01-321734(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H03M 13/00 - 13/53  
H04L 27/00 - 27/38