

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6787044号
(P6787044)

(45) 発行日 令和2年11月18日(2020.11.18)

(24) 登録日 令和2年11月2日(2020.11.2)

(51) Int.Cl. F I
H02M 1/15 (2006.01) H02M 1/15

請求項の数 7 (全 11 頁)

<p>(21) 出願番号 特願2016-212383 (P2016-212383) (22) 出願日 平成28年10月29日(2016.10.29) (65) 公開番号 特開2018-74762 (P2018-74762A) (43) 公開日 平成30年5月10日(2018.5.10) 審査請求日 令和1年9月13日(2019.9.13)</p>	<p>(73) 特許権者 000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号 (74) 代理人 100112003 弁理士 星野 裕司 (74) 代理人 100145344 弁理士 渡辺 和徳 (72) 発明者 矢口 幸宏 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 審査官 遠藤 尊志</p>
--	--

最終頁に続く

(54) 【発明の名称】 スイッチング電源装置

(57) 【特許請求の範囲】

【請求項1】

インダクタンス素子と直列に接続され、入力電源端と接地端との間に配置されたスイッチング素子と、

このスイッチング素子のオン・オフに伴って前記入力電源端から前記インダクタンス素子を介して出力される電流を整流・平滑化する出力回路と、

この出力回路の出力電圧を検出して求められるフィードバック電圧値と所定の基準電圧値との誤差電圧値に基づいて前記スイッチング素子のオン時間を制御する出力電圧制御回路と、

前記スイッチング素子のオン駆動時に該スイッチング素子の制御端子に加わる電圧値を検出し、この電圧値が所定の閾値を下回ったとき該スイッチング素子の短絡と判断し、前記出力電圧制御回路の動作を制御して前記スイッチング素子のオン時間を非短絡時より短くする短絡検出信号を出力する短絡検出回路とを具備したことを特徴とするスイッチング電源装置。

【請求項2】

前記スイッチング素子は、N型のMOS-FETからなり、

前記短絡検出回路は、前記出力電圧制御回路による前記N型のMOS-FETのオン駆動時における該N型のMOS-FETのゲート・ソース間電圧値を検出することを特徴とする請求項1に記載のスイッチング電源装置。

【請求項3】

10

20

前記出力電圧制御回路および前記短絡検出回路は、前記スイッチング素子をオン・オフ駆動する制御装置として集積回路化されている請求項 1 に記載のスイッチング電源装置。

【請求項 4】

前記短絡検出回路は、前記スイッチング素子の制御端子に加わる電圧値が所定時間に亘って所定の閾値を下回ったとき該スイッチング素子の短絡と判断することを特徴とする請求項 1 に記載のスイッチング電源装置。

【請求項 5】

前記出力電圧制御回路は、前記短絡検出信号を受けて前記スイッチング素子をオン・オフする動作周波数を低減する制御を実行することを特徴とする請求項 1 または 4 に記載のスイッチング電源装置。

10

【請求項 6】

前記短絡検出回路は、前記短絡検出信号に、前記出力電圧制御回路に与える前記フィードバック電圧値と所定の基準電圧値との差電圧を重畳させることを特徴とする請求項 1 または 4 に記載のスイッチング電源装置。

【請求項 7】

前記短絡検出回路は、前記短絡検出信号に前記出力電圧制御回路に与える前記フィードバック電圧値と所定の基準電圧値との差電圧を重畳させた電圧値を短絡検出時から所定時間経過後に徐々に低下させることを特徴とする請求項 6 に記載のスイッチング電源装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、インダクタンス素子を介して電源入力端に接続されたスイッチング素子を備え、このスイッチング素子のオン・オフに伴って前記インダクタンス素子を介して出力される電流を整流・平滑化して直流出力電圧を生成するスイッチング電源装置に関する。

【背景技術】

【0002】

スイッチング電源装置の一種である昇圧チョッパ方式の力率改善コンバータ(PFC)は、インダクタンス素子の自励発振を利用して入力電圧に比例する入力電流を作りながら、安定な直流出力電圧を生成する。この種のスイッチング電源装置(力率改善コンバータ; PFC)は、例えば特許文献 1 に紹介されるように小型で高効率であり、しかも低コストである等の優れた特徴を有している。

30

【0003】

図 4 は従来のスイッチング電源装置(力率改善コンバータ)の一例を示す概略構成図である。このスイッチング電源装置(力率改善コンバータ)PFCは、概略的には交流電源ACに整流回路 1 を介して接続されたインダクタンス素子 3 と、オン時にインダクタンス素子 3 を介する電流路を形成するスイッチング素子 4 とを備える。このスイッチング素子 4 は、例えばパワーMOS-FETからなる。

【0004】

またスイッチング電源装置PFCは、スイッチング素子 4 のオフ時にインダクタンス素子 3 から得られる電流を整流・平滑化して所定の直流出力電圧 V_{out} を得る電圧出力回路を備える。この電圧出力回路は、ダイオード 5 と出力コンデンサ 6 とによって構成される。更にスイッチング電源装置PFCは、直流出力電圧値と目標出力電圧値との誤差電圧に応じてスイッチング素子 4 のオン・オフを制御する制御装置 7 を備えて構成される。この制御装置 7 は、一般的には電源ICと称される。尚、図中 2 は整流回路 1 の出力を平滑化して入力電圧 V_{in} を得る入力コンデンサである。

40

【0005】

ここで制御装置(電源IC)7について簡単に説明すると、制御装置7はインダクタンス素子 3 の二次巻線 3a に生起される電圧からインダクタンス素子 3 の電流値がゼロになったことを検出するゼロ電流検出器(比較器)11を備える。このゼロ電流検出器11は、スイッチング素子 4 をターンオンする為の信号を出力する。また制御装置7は、直流出

50

力電圧 V_{out} を抵抗 R_4 , R_5 を介して分圧して検出されるフィードバック電圧の電圧値と基準電圧値 V_{ref} との誤差電圧 V_{err} を求める誤差増幅器 12 を備える。この誤差増幅器 12 は、いわゆるコンダクタンスタンプからなる。

【0006】

また制御装置 7 は、誤差増幅器 12 によって検出された誤差電圧 V_{err} の電圧値と、発振器 14 が発振出力するランプ電圧 $RAMP$ の電圧値とを比較する PWM 制御回路 (比較器) 13 を備える。ちなみに発振器 14 は、スイッチング素子 4 のターンオン・タイミングをトリガーとして発振動作し、RT 端子に接続された抵抗 R_1 によって発振波形 (電圧変化の傾き) が決定されたランプ電圧 $RAMP$ を生成する。そしてこの PWM 制御回路 13 は、ランプ電圧 $RAMP$ の電圧値が誤差電圧 V_{err} の電圧値を超えたときにスイッチング素子 4 をターンオフする為の信号を生成する。この PWM 制御回路 13 によって、誤差電圧 V_{err} の電圧値に応じてスイッチング素子 4 のオン幅が制御される。

10

【0007】

更に制御装置 7 は、フリップフロップ 15 と、このフリップフロップ 15 の出力によって駆動されるドライバー回路 16 を備える。フリップフロップ 15 は、比較器 (ゼロ電流検出器) 11 が出力する信号によってセットされ、また比較器 (PWM 制御回路) 13 が出力する信号によってリセットされる。そしてドライバー回路 16 は、フリップフロップ 15 の出力に応じてスイッチング素子 (パワー MOS-FET) 4 のゲート電圧を制御することでスイッチング素子 4 をオン・オフ駆動する。

【0008】

20

尚、前記抵抗 R_4 , R_5 を介して検出されたフィードバック電圧は、過電圧検出器 (比較器) 17 に入力される。またスイッチング素子 4 に直列に介装されたシャント抵抗 R_3 によって検出される電圧は、過電流検出器 (比較器) 18 に入力される。そして過電圧検出器 (比較器) 17 によって出力電圧 V_{out} の過電圧が検出されたとき、或いは過電流検出器 (比較器) 18 によってスイッチング素子 4 に流れる電流の過電流が検出されたとき、オア回路 19 を介してフリップフロップ 15 が強制的にリセットされる。

【0009】

このように構成された制御装置 7 は、基本的にはインダクタンス素子 3 に流れる電流がゼロとなったときにスイッチング素子 4 をターンオンする (ゼロ電流スイッチング)。するとスイッチング素子 4 のオンに伴ってインダクタンス素子 3 には整流回路 1 を介して得られる入力電圧 V_{in} の電圧値に比例した電流が流れる。この電流 (インダクタ電流) はスイッチング素子 4 のオン期間に亘ってゼロから上昇する。

30

【0010】

そして制御装置 7 は、スイッチング素子 4 のターンオンをトリガーとして生成されるランプ電圧 $RAMP$ の電圧値が前述した誤差電圧 V_{err} の電圧値を超えたときにスイッチング素子 4 をターンオフする (電圧モード)。このスイッチング素子 4 のターンオフによってインダクタンス素子 3 に加わる電圧極性が反転し、インダクタンス素子 3 に流れている電流が該インダクタンス素子 3 からダイオード 5 を介して出力される。コンデンサ 6 は、このようにしてインダクタンス素子 3 から取り出される電流によって充電され、その充電電圧を平滑化することで誤差電圧 V_{err} の電圧値に応じて一定化制御された所定電圧値の出力電圧 V_{out} を生成する。

40

【0011】

尚、制御装置 7 は、インダクタ電流がゼロとなったときにスイッチング素子 4 を再びターンオンさせることで次の動作サイクルを開始させる。以降、制御装置 7 は、スイッチング素子 4 の上述したオン・オフ動作を繰り返し実行させる。

【0012】

ところでインダクタンス素子 3 に加わる入力電圧 V_{in} は、正弦波の半周期に亘って変化する電圧波形となる。しかし上述した電圧モードによるスイッチング素子 4 のオン・オフ制御においては、基本的には入力電圧 V_{in} の位相に拘わることなくスイッチング素子 4 のオン幅 T_{on} は一定である。この為、入力電圧 V_{in} の瞬時値が低くなる位相 (低電圧位相)

50

においては前記インダクタンス素子3に供給される電流が不足し、いわゆるデッドアングル（無効電圧位相）が増えて力率が低下することが否めない。

【0013】

そこでスイッチング電源装置PFCにおいては、基本的には入力電圧 V_{in} の瞬時値が低くなる位相（低電圧位相）のとき、該入力電圧 V_{in} の瞬時値が高くなる位相（高電圧位相）のときよりもスイッチング素子4のオン幅 T_{on} を広くすることで力率を改善するようにしている（例えば特許文献2,3を参照）。ちなみに特許文献2に開示される手法は、インダクタ電流のピーク値（入力電圧 V_{in} の電圧値に比例）を検出することで入力電圧 V_{in} の位相情報を得てスイッチング素子4のオン幅 T_{on} を調整している。また特許文献3に開示される手法は、インダクタ電流の微分値（入力電圧 V_{in} の電圧値に比例）を検出することで入力電圧 V_{in} の位相情報を得てスイッチング素子4のオン幅 T_{on} を調整している。

10

【先行技術文献】

【特許文献】

【0014】

【特許文献1】特開2009-177954号公報

【特許文献2】米国特許第6984963号明細書

【特許文献3】米国特許第7116090号明細書

【発明の概要】

【発明が解決しようとする課題】

【0015】

20

ところで上述した如く構成されたスイッチング電源装置（力率改善コンバータ）PFCにおいて所定の回路基板上へのスイッチング素子4や制御装置7等の実装工程で、例えばスイッチング素子4のゲート・ソース間に短絡が生じるとスイッチング素子4のゲートを駆動する制御装置7の出力端子OUTから該スイッチング素子4のソースに過大な電流が流れ込むことが否めない。すると制御装置7の出力端子OUTからスイッチング素子4のソースに流れ込む過大な電流によって制御装置7が破壊される虞がある。

【0016】

本発明はこのような事情を考慮してなされたもので、その目的は、出力電圧制御回路を備えて集積回路化された制御回路によってオン・オフ駆動されるスイッチング素子に短絡が生じた場合であっても、制御装置の破壊を効果的に防ぐことのできるスイッチング電源装置を提供することにある。

30

【課題を解決するための手段】

【0017】

上述した目的を達成するべく本発明に係るスイッチング電源装置は、インダクタンス素子と直列に接続され、入力電源端と接地端との間に配置されたスイッチング素子と、

このスイッチング素子のオン・オフに伴って前記入力電源端から前記インダクタンス素子を介して出力される電流を整流・平滑化して直流出力電圧を生成する出力回路と、

この出力回路の出力電圧を検出して求められるフィードバック電圧値と所定の基準電圧値との誤差電圧値に基づいて前記スイッチング素子のオン時間を制御する出力電圧制御回路と、

40

前記スイッチング素子のオン駆動時に該スイッチング素子の制御端子に加わる電圧値を検出し、この電圧値が所定の閾値を下回ったとき該スイッチング素子の短絡と判断し、前記出力電圧制御回路の動作を制御して前記スイッチング素子のオン時間を非短絡時よりも短くする短絡検出回路と

を具備したことを特徴としている。

【0018】

好ましくは前記スイッチング素子は、N型のパワーMOS-FETからなり、前記短絡検出回路は、前記出力電圧制御回路による前記N型のパワーMOS-FETのオン駆動時

50

における該N型のパワーMOS-FETのゲート・ソース間電圧を検出するように構成される。また前記出力電圧制御回路および前記短絡検出回路は、例えば前記スイッチング素子をオン・オフ駆動する制御装置、いわゆる電源ICとして集積回路化して実現される。

【0019】

好ましくは前記短絡検出回路は、所定時間に亘って前記スイッチング素子の短絡が検出されたときに前記短絡検出信号を出力するように構成され、前記出力電圧制御回路は、前記短絡検出信号を受けて前記スイッチング素子のオン時間幅を順次短くする制御を実行するように構成される。また前記出力電圧制御回路は、好ましくは前記短絡検出信号を受けて前記スイッチング素子をオン・オフする動作周波数を低減する制御を実行するように構成される。

10

【0020】

また前記短絡検出回路は、例えば前記出力電圧制御回路に与える前記フィードバック電圧と所定の基準電圧との差電圧に前記短絡検出信号を重畳させて、前記出力電圧制御回路に与える信号電圧を変化させるように構成される。更に前記短絡検出回路は、好ましくは前記短絡検出信号を用いて、短絡検出時から所定時間経過後に前記出力電圧制御回路に与える信号電圧を徐々に低下させるように構成される。

【発明の効果】

【0021】

このように構成されたスイッチング電源装置によれば、スイッチング素子(パワーMOS-FET)のオン動作時に短絡検出回路によって該スイッチング素子(パワーMOS-FET)のゲート・ソース間の外的要因による短絡が検出されたとき、スイッチング素子のオン時間幅を順次短くする制御が実行される。更にはスイッチング素子をオン・オフする動作周波数を低減する制御が実行される。

20

【0022】

この結果、スイッチング素子のオン動作時において、出力電圧制御回路を備えて集積回路化された制御装置(電源IC)からスイッチング素子(パワーMOS-FET)のソースに流れ出る電流が徐々に絞り込まれる。従ってスイッチング素子のゲート・ソース間の外的要因による短絡に伴って制御装置からスイッチング素子のソースへと流れ出る電流によって集積回路化された制御装置が破壊に至ることが効果的に防止される。

【0023】

しかも上述した如く本発明に係るスイッチング電源装置においてはスイッチング素子のオン時間を順次短くするだけである。従ってスイッチング素子(パワーMOS-FET)のゲート・ソース間を短絡していた外的要因が取り除かれた場合には、制御装置が有する機能を速やかに復帰させることができる。従って制御装置の不本意な破壊を防ぐと共に、当該制御装置を別のスイッチング電源装置に組み込んで再利用することも可能なので、制御装置の有効活用を図ることができる等の実用上多大なる効果が奏せられる。

30

【図面の簡単な説明】

【0024】

【図1】本発明の一実施形態に係るスイッチング電源装置(力率改善コンバータ)の概略構成図。

40

【図2】制御装置(電源IC)に組み込まれる短絡検出回路の構成例を示す図。

【図3】図1に示すスイッチング電源装置(力率改善コンバータ)におけるスイッチング素子の動作制御を示す図。

【図4】従来のスイッチング電源装置(力率改善コンバータ)の一例を示す概略構成図。

【発明を実施するための形態】

【0025】

以下、図面を参照して本発明の一実施形態に係るスイッチング電源装置(力率コンバータ)PFCについて説明する。

【0026】

図1はこの実施形態に係るスイッチング電源装置(力率コンバータ)PFCの概略構成

50

を示している。尚、図4に示した従来のスイッチング電源装置（力率コンバータ）PFCと同一部分には同一符号を付して示しており、同一構成要素の重複した説明については省略する。

【0027】

この実施形態に係るスイッチング電源装置（力率コンバータ）PFCが特徴とするところは、前述した図4に示すスイッチング電源装置（力率コンバータ）PFCの構成に加えて、特にスイッチング素子（パワーMOS-FET）4のオン動作時における該スイッチング素子（パワーMOS-FET）4のゲート・ソース間の電圧を検出する短絡検出回路20を備える点にある。好ましくは短絡検出回路20は、制御装置（電源IC）7に一体に設けられる。

10

【0028】

短絡検出回路20は、外的要因に起因するスイッチング素子（パワーMOS-FET）4のゲート・ソース間の短絡の有無を検出して短絡検出信号PROTを出力する役割を担う。この短絡検出回路20から出力される短絡検出信号PROTは、ノアゲート回路21の入力に与えられてゼロ電流検出器（比較器）11の出力と論理演算処理されると共に、リスタートタイマー回路22に与えられる。更に短絡検出信号PROTは、制御装置（電源IC）7のCOMP端子に加えられる。

【0029】

ここでノアゲート回路21は短絡検出信号PROTが出力されているとき、ゼロ電流検出器（比較器）11の出力によるフリップフロップ15のセットを禁止する。またリスタートタイマー回路22は、短絡検出信号PROTによってトリガーされてタイマーを起動し、所定時間の経過後にタイマー信号を出力する。このタイマー信号がオア回路23を介してフリップフロップ15に与えられて該フリップフロップ15がセットされる。従ってスイッチング素子4の短絡が検出されたときにはゼロ電流の検出タイミングでのスイッチング素子4のターンオンが禁止され、その後、リスタートタイマー回路22の出力によってスイッチング素子4がターンオンされる。

20

【0030】

尚、COMP端子はコンデンサC1を介して接地され、またこのコンデンサC1には抵抗R6とコンデンサC2とからなる直列回路が並列接続される。これらのコンデンサC1、C2および抵抗R6は、誤差増幅器12から出力されてPWM制御回路（比較器）13

30

【0031】

さて短絡検出回路20は、例えばドライバー回路16の入力信号であるフリップフロップ15の出力信号V1と、ドライバー回路16から出力されて制御装置7の出力端子OUTから出力される電圧信号とを入力し、出力端子OUTに接続されたスイッチング素子（パワーMOS-FET）4のゲート・ソース間の短絡を検出する。即ち、短絡検出回路20は、フリップフロップ15の出力V1がハイレベルであるとき、これをスイッチング素子4をオン駆動している状態であるとして検出する。そして短絡検出回路20は、スイッチング素子4をオン駆動して状態における出力端子OUTの電圧から、スイッチング素子（パワーMOS-FET）4のゲート・ソース間の短絡を検出する。

40

【0032】

この短絡検出回路20は、例えば図2に示すように構成される。また図3は図2に示す短絡検出回路20の動作を示す信号波形図である。短絡検出回路20は、出力信号V1がハイレベルとなったときにセットされるフリップフロップFF1を備える。対をなしてカスケードに接続されたP型のMOS-FET（P1）とN型のMOS-FET（N1）は、インバータ回路（反転回路）INV3を介してフリップフロップRSFF1のセット出力Qを受けて相反してオン・オフする。P型のMOS-FET（P1）とN型のMOS-FET（N1）のオン・オフにより、P型のMOS-FET（P1）と並列に接続されたコン

50

デンサC3の充放電が制御される。

【0033】

ちなみにコンデンサC3は、出力信号V1がハイレベル(H)でP型のMOS-FET(P1)がオンのとき、定電流源I1によって充電される。このコンデンサC3の充電に伴ってN型のMOS-FET(N1)のドレイン電圧V2の電圧値が上昇する。そしてこのドレイン電圧V2は、直列に接続された2段のインバータ回路(反転回路)INV1, INV2を介してフリップフロップFF1に帰還され、ドレイン電圧V2の電圧値が所定の閾値を超えたタイミングでフリップフロップFF1がリセットされる。このフリップフロップFF1のリセットに伴ってN型のMOS-FET(N1)がオンとなり、N型のMOS-FET(N1)を介してコンデンサC3の充電電荷が放電されてドレイン電圧V2

10

【0034】

一方、ドレイン電圧V2は、インバータ回路(反転回路)INV4を介してD型のフリップフロップFF2にトリガー信号として与えられる。このD型のフリップフロップFF2は、INV4の出力V3の立下りをトリガー信号の入力とすることで、信号電圧V1が立ち上がった後、所定の遅延時間D1を経て比較器COMP4の出力V4を取り込む。そしてD型のフリップフロップFF2は、比較器COMP4の出力V4を次のトリガー信号の入力時まで保持する。

【0035】

ここで比較器COMP4は、スイッチング素子4をオン・オフ駆動する出力端子OUTの電圧を判定する。具体的には比較器COMP4は、抵抗R7, R8を介して分圧して検出される出力端子OUTの電圧値を基準電圧値V_{low}と比較することで、スイッチング素子4のゲート・ソース間が短絡しているか否かを判定する。そして比較器COMP4は、分圧して検出した電圧値が基準電圧値V_{low}よりも高い場合にはその出力V4をハイレベル(H)とし、低い場合にはその出力V4をローレベル(L)とする。

20

【0036】

上述した如くして比較器COMP4の出力V4を保持したD型のフリップフロップFF2の出力V5は、カウンタCOUNTに与えられると共にフリップフロップFF3に与えられる。カウンタCOUNTは、例えば縦列に接続された複数段のD型フリップフロップからなり、フリップフロップFF2の出力V5がローレベル(L)のときに所定のクロック信号を計数することで、その分周出力を生成する。

30

【0037】

ここでフリップフロップFF3は、D型のフリップフロップFF2の出力V5を受けてリセットされる共に、カウンタCOUNTによる分周出力によってセットされる。この結果、フリップフロップFF3は、カウンタCOUNTによるクロック信号の計数に要した時間を遅延時間D2とし、フリップフロップFF2の出力V5に応じて反転動作する。従ってフリップフロップFF3は、図3に示すように比較器COMP4によって出力端子OUTの電圧が低下したとき、即ち、スイッチング素子4のゲート・ソース間の短絡が検出されたタイミングから所定の遅延時間D2の経過後に短絡検出信号PROTを出力する。

40

【0038】

そしてフリップフロップFF3から出力される短絡検出信号PROTは、電圧バッファ回路によって定電圧駆動されるN型のMOS-FET(N2)を介して出力される。尚、抵抗R9を介してN型のMOS-FET(N2)と直列に接続されたN型のMOS-FET(N3)は、短絡検出信号PROTの出力時にオン動作する能動負荷である。

【0039】

かくして上述した如く構成された短絡検出回路20は、図3に各部の電圧波形を示すように動作する。即ち、スイッチング素子4をオンする為の出力信号(電圧V1)がハイレベル(H)の状態において、OUT端子の電圧が接地電位GNDになった場合、フリップフロップFF3の出力は、カウンタCOUNTによって設定された遅延時間D2後に反転する。そして短絡検出回路20は、フリップフロップFF3の出力の反転に伴ってスイッ

50

チング素子 4 の短絡を示す短絡検出信号 P R O T を出力する。

【 0 0 4 0 】

するとこの短絡検出信号 P R O T を受けてゼロ電流検出器（比較器）11 の出力によるフリップフロップ 15 のセットが禁止される。この結果、スイッチング素子 4 のオン駆動が停止され、これに代わってリスタートタイマー回路 22 の出力によってフリップフロップ 15 がセットされる。従って図 3 に示すようにスイッチング素子 4 のオン・オフ周期が長く設定され（ t_2' ）、通常動作時（短絡がないとき）よりもスイッチング素子 4 のオフ期間が長くなる。換言すればスイッチング素子 4 をオン・オフする動作周波数が低減される。

【 0 0 4 1 】

また短絡検出信号 P R O T が C O M P 端子に加えられることで、誤差増幅器 12 から出力されて P W M 制御回路（比較）13 に加えられる誤差電圧 V_{err} の電圧値が徐々に低減補正される。この結果、ランプ信号 R A M P 電圧が P W M 制御回路 13 に加えられる誤差電圧 V_{err} （C O M P 端子）の電圧値に達するまでの時間が次第に短くなり、図 3 に示すようにスイッチング素子 4 のオン時間 t_1 が徐々に短く設定される（ t_1' ）。そしてスイッチング素子 4 のオン時間 t_1 を短く設定することで、ゲート・ソース間が短絡したスイッチング素子 4 に向けて制御装置 7 から出力される電流が絞り込まれ、該制御装置 7 の過電流破壊が防止される。特にスイッチング素子 4 のオン時間 t_1 は、短絡検出信号 P R O T を C O M P 端子に加えることで短絡検出時から所定時間経過後に徐々に短く設定される。

【 0 0 4 2 】

従って上述した如くスイッチング素子 4 のオン・オフ動作を制御する制御装置 7 を備えたスイッチング電源装置（力率改善コンバータ）P F C によれば、スイッチング素子 4 のゲート・ソース間を短絡する不具合が発生した場合であっても、出力端子 O U T を介して制御装置 7 から過大な電流が流れ出ることを効果的に防止することができる。即ち、例えばスイッチング素子 4 や制御装置（電源 I C）7 を所定の回路基板に実装する工程においてスイッチング素子 4 のゲート・ソース間が短絡しても、出力端子 O U T を介して制御装置 7 から過大な電流が流れ出ることを防止することができる。この結果、スイッチング素子 4 のゲート・ソース間を短絡の短絡から制御装置 7 の破壊を確実に防止することができる。

【 0 0 4 3 】

特に上述した構成の短絡検出回路 20 によれば、短絡検出信号 P R O T によって C O M P 端子に加わる電圧をクランプするだけである。従ってスイッチング素子 4 をオン・オフ駆動する上でのオン幅を最小限確保しながらフリップフロップ 15 をセット・リセットすることができる。これ故、スイッチング素子 4 のゲート・ソース間を短絡した外的要因が取り除かれた場合、制御装置 7 の機能を速やかに復帰させることができる等の効果が奏せられる。

【 0 0 4 4 】

ちなみに、例えばスイッチング素子 4 のゲート・ソース間の短絡を検出してスイッチング素子 4 のオン・オフ駆動を強制的に禁止した場合、スイッチング素子 4 のゲート・ソース間を短絡した外的要因が取り除かれても制御装置 7 をリセットすることが困難となる。この点、本発明に係るスイッチング電源装置（力率コンバータ）P F C においては、短絡検出回路 20 により短絡が検出された際、スイッチング素子 4 のオン時間 t_1 を通常動作時よりも徐々に短く設定するだけである。従って制御装置 7 の機能を復帰させる上で、前述したように C O M P 端子に加わる電圧の、短絡検出信号 P R O T によるクランプが非常に有効であると言える。

【 0 0 4 5 】

尚、本発明は上述した実施形態に限定されるものではない。例えば短絡検出回路 20 の構成については制御装置 7 に要求される仕様に応じて種々変形可能である。またスイッチング電源装置（力率改善コンバータ）P F C の全体構成についても、従来より種々提唱さ

10

20

30

40

50

れている回路方式を適宜採用可能である。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施することができる。

【符号の説明】

【0046】

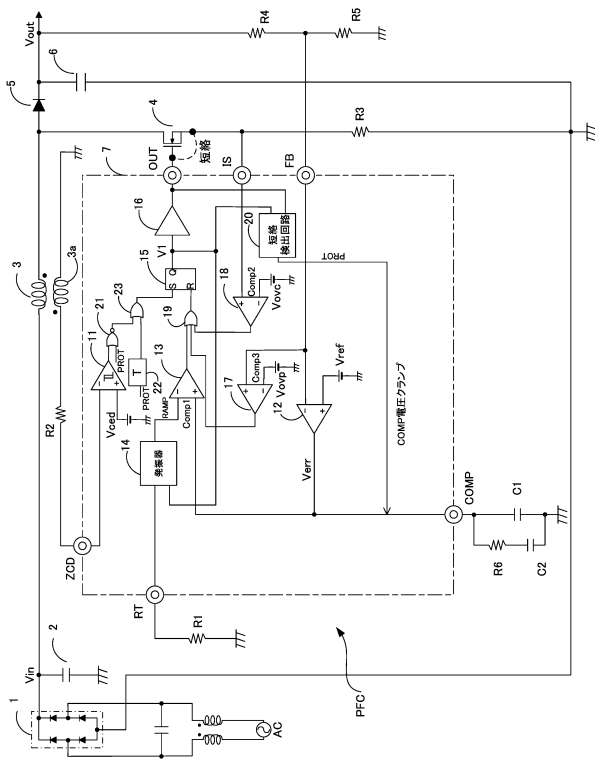
PFC スwitching電源装置(力率改善コンバータ)

- 1 整流回路
- 2 入力コンデンサ
- 3 インダクタンス素子
- 4 スwitching素子(パワーMOS-FET)
- 5 ダイオード
- 6 出力コンデンサ
- 7 制御装置(電源IC)
- 11 ゼロ電流検出器(比較器)
- 12 誤差増幅器
- 13 PWM制御回路(比較器)
- 14 発振器
- 15 フリップフロップ
- 16 ドライバ回路
- 17 過電圧検出器(比較器)
- 18 過電流検出器(比較器)
- 19, 23 オア回路
- 20 短絡検出回路
- 21 ノアゲート回路
- 22 リスタートタイマー回路

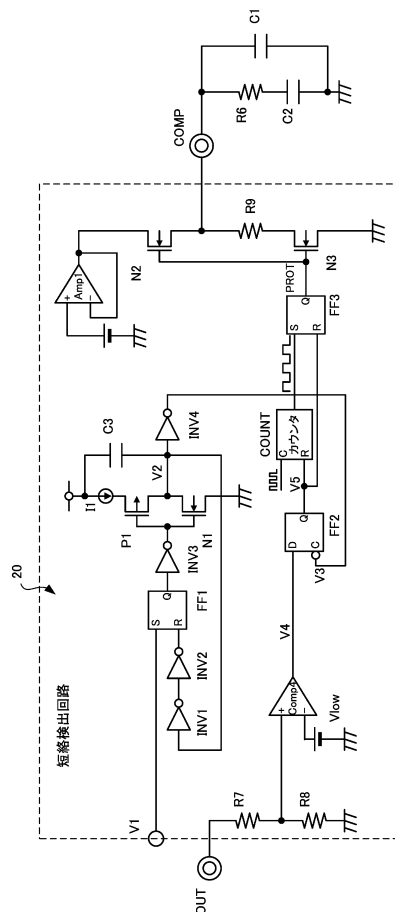
10

20

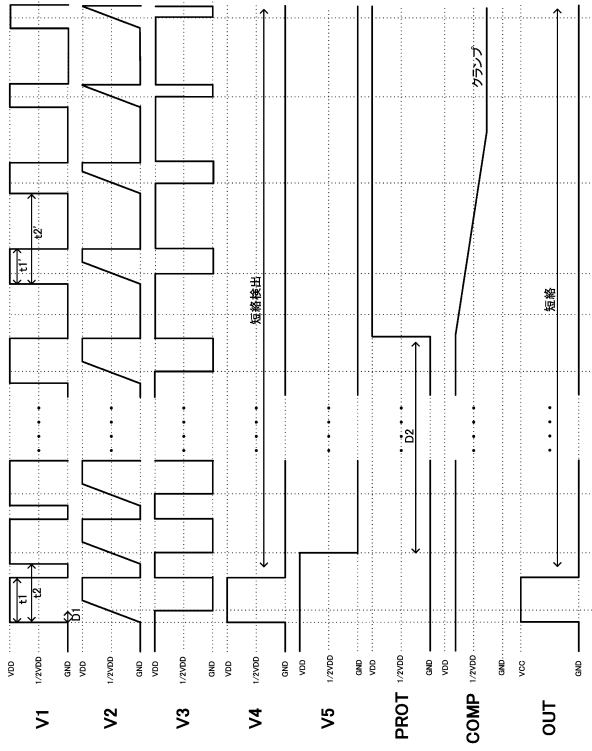
【図1】



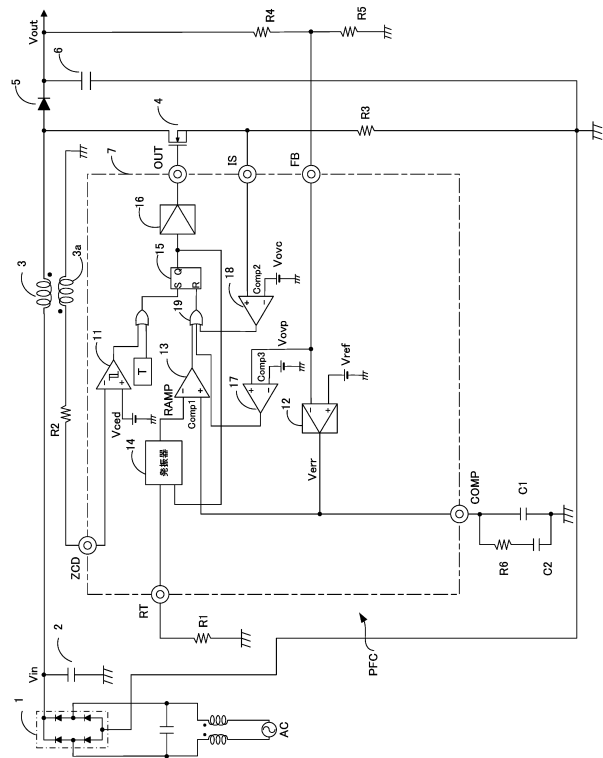
【図2】



【図 3】



【図 4】



フロントページの続き

- (56)参考文献 特開2011-193549(JP,A)
特開2015-216763(JP,A)
特開2016-010186(JP,A)
特開昭63-274363(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 1/00 - 1/44
H02M 3/00 - 3/44