



(12)发明专利申请

(10)申请公布号 CN 109638135 A

(43)申请公布日 2019.04.16

(21)申请号 201910006183.0

(22)申请日 2019.01.04

(71)申请人 厦门乾照光电股份有限公司

地址 361101 福建省厦门市厦门火炬高新区(翔安)产业区翔天路259-269号

(72)发明人 周弘毅 魏振东 张书山 李俊贤 李健

(74)专利代理机构 宁波理文知识产权代理事务所(特殊普通合伙) 33244

代理人 李高峰 孟湘明

(51)Int.Cl.

H01L 33/38(2010.01)

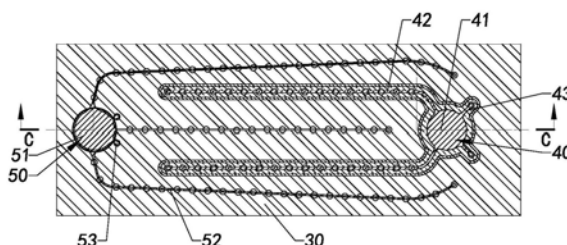
权利要求书4页 说明书12页 附图5页

(54)发明名称

发光芯片及其制造方法和电流扩展方法

(57)摘要

本发明公开了一发光芯片及其制造方法和电流扩展方法,其中所述发光芯片包括依次层叠的一衬底、一N型半导体层、一发光层、一P型半导体层、一透明导电层以及一钝化保护层,所述发光芯片进一步包括层叠于所述钝化保护层的一N型电极和一P型电极,其中所述N型电极被电连接于所述N型半导体层,所述P型电极被电连接于所述P型半导体层和所述透明导电层,其中自所述N型电极注入的电流能够在所述N型电极的N型电极焊盘的附近被注入所述N型半导体层,自所述P型电极注入的电流能够在所述P型电极的P型电极焊盘的附近被进一步注入透明导电层,通过这样的方式,电流能够被均匀地分布,从而有利于提高发光效率和提升整体亮度。



1. 一发光芯片,其特征在於,包括依次层叠的一衬底、一N型半导体层、一发光层、一P型半导体层、一透明导电层以及一钝化保护层,其中所述发光芯片进一步包括:

一N型电极,其包括:

一N型电极焊盘,其在所述发光芯片的第二端部层叠于所述钝化保护层;

至少一N型电极短引脚,其延伸于所述N型电极焊盘和在穿过所述钝化保护层后在所述N型电极焊盘的附近被电连接于所述N型半导体层;以及

至少一N型电极长引脚,其自所述N型电极焊盘向所述发光芯片的第一端部方向延伸和在穿过所述钝化保护层后被电连接于所述N型半导体层;和

一P型电极,其包括:

一P型电极焊盘,其在所述发光芯片的第一端部层叠于所述钝化保护层和在穿过所述钝化保护层后被电连接于所述P型半导体层;

至少一P型电极短引脚,其延伸于所述P型电极焊盘和在穿过所述钝化保护层后在所述P型电极焊盘的附近被电连接于所述透明导电层;以及

至少一P型电极长引脚,其自所述P型电极焊盘型所述发光芯片的第二端部方向延伸和在穿过所述钝化保护层后被电连接于所述透明导电层。

2. 根据权利要求1所述的发光芯片,其中所述N型电极包括一个所述N型电极长引脚,并且所述N型电极长引脚层叠于所述钝化保护层的中部,其中所述P型电极包括两个所述P型电极长引脚,并且所述P型电极长引脚层叠于所述钝化保护层的边缘。

3. 根据权利要求1所述的发光芯片,其中所述N型电极包括两个所述N型电极长引脚,并且所述N型电极长引脚层叠于所述钝化保护层的边缘,其中所述P型电极包括一个所述P型电极长引脚,并且所述P型电极长引脚层叠于所述钝化保护层的中部。

4. 根据权利要求1所述的发光芯片,其中所述N型电极包括两个所述N型电极长引脚,并且所述N型电极长引脚层叠于所述钝化保护层的中部,其中所述P型电极包括三个所述P型电极长引脚,并且三个所述P型电极长引脚中的一个所述P型电极长引脚层叠于所述钝化保护层的中部,另外两个所述P型电极长引脚层叠于所述钝化保护层的边缘,并且在两个所述P型电极长引脚之间保持有一个所述N型电极长引脚。

5. 根据权利要求1所述的发光芯片,其中所述N型电极包括三个所述N型电极长引脚,并且三个所述N型电极长引脚中的一个所述N型电极长引脚层叠于所述钝化保护层的中部,另外两个所述N型电极长引脚层叠于所述钝化保护层的边缘,其中所述P型电极包括两个所述P型电极长引脚,并且两个所述P型电极长引脚层叠于所述钝化保护层的中部,并且在两个所述N型电极长引脚之间保持有一个所述P型电极长引脚。

6. 一发光芯片,其特征在於,包括:

一N型电极;

一P型电极;

一透明导电层;

一外延单元,其包括依次层叠的一衬底、一N型半导体层、一发光层以及一P型半导体层,其中所述透明导电层层叠于所述P型半导体层;以及

一钝化保护层,其层叠于所述透明导电层,其中所述钝化保护层具有至少一列N型长引脚通道、至少一N型短引脚通道、一P型焊盘通道、至少一列P型长引脚通道以及至少一P型短

引脚通道,其中一列所述N型长引脚通道中的每个所述长引脚通道以相互间隔的方式自所述发光芯片的第二端部向第一端部方向延伸,每个所述N型短引脚通道分别形成于所述发光芯片的第二端部,所述P型焊盘通道形成于所述发光芯片的第一端部,一列所述P型长引脚通道中的每个所述P型长引脚通道以相互间隔的方式自所述发光芯片的第一端部向第二端部方向延伸,每个所述P型短引脚通道分别形成于所述发光芯片的第一端部,其中所述N型电极层叠于所述钝化保护层,并且所述N型电极的一部分在穿过每个所述N型长引脚通道和每个所述N型短引脚通道后被电连接于所述N型半导体层,其中所述P型电极层叠于所述钝化保护层,并且所述P型电极的一部分在穿过所述P型焊盘通道后被电连接于所述P型半导体层和在穿过每个所述P型长引脚通道和每个所述P型短引脚通道后被电连接于所述透明导电层。

7. 根据权利要求6所述的发光芯片,其中所述钝化保护层具有一列所述N型长引脚通道和两列所述P型长引脚通道,一列所述N型长引脚通道在所述钝化保护层的中部自所述发光芯片的第二端部向第一端部方向延伸,每列所述P型长引脚通道分别在所述钝化保护层的边缘自所述发光芯片的第一端部向第二端部方向延伸。

8. 根据权利要求6所述的发光芯片,其中所述钝化保护层具有两列所述N型长引脚通道和一列所述P型长引脚通道,每列所述N型长引脚通道分别在所述钝化保护层的边缘自所述发光芯片的第二端部向第一端部方向延伸,一列所述P型长引脚通道在所述钝化保护层的中部自所述发光芯片的第一端部向第二端部方向延伸。

9. 根据权利要求6所述的发光芯片,其中所述钝化保护层具有两列所述N型长引脚通道和三列所述P型长引脚通道,每列所述N型长引脚通道分别在所述钝化保护层的中部自所述发光芯片的第二端部向第一端部方向延伸,三列所述P型长引脚通道中的一列所述P型长引脚通道在所述钝化保护层的中部自所述发光芯片的第一端部向第二端部方向延伸,另外两列所述P型长引脚通道分别在所述钝化保护层的边缘自所述发光芯片的第一端部向第二端部方向延伸,其中两列所述P型长引脚通道之间保持有一列所述N型长引脚通道。

10. 根据权利要求6所述的发光芯片,其中所述钝化保护层具有三列所述N型长引脚通道和两列所述P型长引脚通道,三列所述N型长引脚通道中的一列所述N型长引脚通道在所述钝化保护层的中部自所述发光芯片的第二端部向第一端部方向延伸,另外两列所述长引脚通道分别在所述钝化保护层的边缘自所述发光芯片的第二端部向第一端部方向延伸,每列所述P型长引脚通道分别在所述钝化保护层的中部自所述发光芯片的第一端部向第二端部方向延伸,其中两列所述N型长引脚通道之间保持有一列所述P型长引脚通道。

11. 根据权利要求6至10中任一所述的发光芯片,其中所述N型电极包括:

一N型电极焊盘,其层叠于所述钝化保护层;

至少一N型电极短引脚,其延伸于所述N型电极焊盘和在穿过所述钝化保护层的每个所述N型短引脚通道后在所述N型电极焊盘的附近被电连接于所述N型半导体层;以及

至少一N型电极长引脚,其延伸于所述N型电极焊盘和在穿过所述钝化保护层的每个所述N型长引脚通道后被电连接于所述N型半导体层。

12. 根据权利要求6至10中任一所述的发光芯片,其中所述P型电极包括:

一P型电极焊盘,其层叠于所述钝化保护层和在穿过所述钝化保护层的所述P型焊盘通道后被电连接于所述P型半导体层;

至少一P型电极短引脚,其延伸于所述P型电极焊盘和在穿过所述钝化保护层的每个所述P型短引脚通道后在所述P型电极焊盘的附近被电连接于所述透明导电层;以及

至少一P型电极长引脚,其延伸于所述P型电极焊盘和在穿过所述钝化保护层的每个所述P型长引脚通道后被电连接于所述透明导电层。

13. 根据权利要求11所述的发光芯片,其中所述P型电极包括:

一P型电极焊盘,其层叠于所述钝化保护层和在穿过所述钝化保护层的所述P型焊盘通道后被电连接于所述P型半导体层;

至少一P型电极短引脚,其延伸于所述P型电极焊盘和在穿过所述钝化保护层的每个所述P型短引脚通道后在所述P型电极焊盘的附近被电连接于所述透明导电层;以及

至少一P型电极长引脚,其延伸于所述P型电极焊盘和在穿过所述钝化保护层的每个所述P型长引脚通道后被电连接于所述透明导电层。

14. 一发光芯片的电流扩展方法,其特征在于,所述电流扩展方法包括如下步骤:

(a) 引导自一N型电极焊盘注入的电流在所述N型电极焊盘的附近被注入一N型半导体层;和

(b) 引导自一P型电极焊盘注入的电流在所述P型电极焊盘的附近被注入一透明导电层。

15. 根据权利要求14所述的电流扩展方法,其中在所述步骤(a)中,进一步引导自所述N型电极焊盘注入的电流在所述N型半导体层的中部被注入所述N型半导体层,和在所述步骤(b)中,进一步引导自所述P型电极焊盘注入的电流在所述透明导电层的中部被注入所述透明导电层。

16. 根据权利要求14或15所述的电流扩展方法,其中在所述步骤(a)中,形成一钝化保护层于所述N型电极焊盘和所述N型半导体层之间,以阻止自所述N型电极焊盘注入的电流直接注入所述N型半导体层。

17. 一发光芯片的制造方法,其特征在于,所述制造方法包括如下步骤:

(i) 层叠一N型电极于一钝化保护层,其中所述N型电极的一N型电极焊盘在所述发光芯片的第二端部层叠于所述钝化保护层,所述N型电极的延伸于所述N型电极焊盘的至少一N型电极短引脚在穿过所述钝化保护层后在所述N型电极焊盘的附近被电连接于一N型半导体层,所述N型电极的延伸于所述N型电极焊盘的至少一N型电极长引脚在穿过所述钝化保护层后被电连接于所述N型半导体层;和

(ii) 层叠一P型电极于所述钝化保护层,其中所述P型电极的一P型电极焊盘在所述发光芯片的第一端部穿过所述钝化保护层和被电连接于一P型半导体层,所述P型电极的延伸于所述P型电极焊盘的至少一P型电极短引脚在穿过所述钝化保护层后在所述P型电极焊盘的附近被电连接于一透明导电层,所述P型电极的延伸于所述P型电极焊盘的至少一P型电极长引脚在穿过所述钝化保护层后被电连接于所述透明导电层。

18. 根据权利要求17所述的制造方法,其中在所述步骤(i)之前,所述制造方法进一步包括步骤:

层叠一绝缘基层于一透明导电层;

蚀刻所述绝缘基层,以形成所述钝化保护层和同时形成至少一系列N型长引脚通道、至少一N型短引脚通道、一P型焊盘通道、至少一系列P型长引脚通道和至少一P型短引脚通道于所

述钝化保护层,从而在所述步骤(i)中,所述N型电极在穿过所述N型长引脚通道和所述N型短引脚通道后被电连接于所述N型半导体层,和在所述步骤(ii)中,所述P型电极在穿过所述P型焊盘通道后被电连接于所述P型半导体层以及在穿过所述P型长引脚通道和所述P型短引脚通道后被电连接于所述透明导电层。

## 发光芯片及其制造方法和电流扩展方法

### 技术领域

[0001] 本发明涉及半导体领域,特别涉及一发光芯片及其制造方法和电流扩展方法。

### 背景技术

[0002] 发光二极管(Light Emitting Diode,LED)作为代替白炽灯和荧光灯的新一代环保光源,与传统照明光源相比,具有效率高、能耗低、寿命长、无污染、体积小、色彩丰富等诸多优点,被广泛地应用在照明、显示和背光等领域。现有技术存在整合了钝化保护层和电流阻挡层的发光二极管的半导体芯片,其中半导体芯片的P金属电极直接与P型半导体层接触,和N金属电极直接与N型半导体层接触,以在后续允许电流自N金属电极和P金属电极注入半导体芯片,半导体芯片的这种结构导致其存在着诸多的缺陷。具体地说,半导体芯片的P金属电极与P型半导体层无法形成欧姆接触,导致P金属电极的P型焊盘附近电流不能被有效地注入而导致半导体芯片的亮度降低,而N金属电极的N型焊盘虽然与N型半导体层接触良好,但是由于N金属电极的N型焊盘面积比较大,导致电流过于集中在N金属电极的N型焊盘位置,进而导致出现电流拥挤效应而降低半导体芯片的亮度。

### 发明内容

[0003] 本发明的一个目的在于提供一发光芯片及其制造方法和电流扩展方法,其中自所述发光芯片的一N型电极和一P型电极注入的电流能够被均匀地分布于所述发光芯片,从而提升所述发光芯片的亮度。

[0004] 本发明的一个目的在于提供一发光芯片及其制造方法和电流扩展方法,其中所述发光芯片的一N型电极的一N型电极焊盘附近部分导电,以避免自所述N型电极注入的电流在所述N型电极焊盘的附近出现拥挤效应的不良现象;其中所述发光芯片的一P型电极的一P型电极焊盘附近部分导电,以提高自所述P型电极注入电流的效率,通过这样的方式,自所述N型电极和所述P型电极注入的电流能够被均匀地分布于所述发光芯片。

[0005] 本发明的一个目的在于提供一发光芯片及其制造方法和电流扩展方法,其中在所述N型电极的所述N型电极焊盘的下部设置一钝化保护层和在所述N型电极焊盘的附近设置至少一N型电极短引脚,通过所述N型电极短引脚将电流注入所述半导体芯片的一N型半导体层,以避免自所述N型电极注入的电流在所述N型电极焊盘出现拥挤效应的不良现象。

[0006] 本发明的一个目的在于提供一发光芯片及其制造方法和电流扩展方法,其中在所述N型电极的所述N型电极焊盘的下部设置所述钝化保护层,以使所述N型电极焊盘的表面平整,从而提升封装焊线的可靠性。

[0007] 本发明的一个目的在于提供一发光芯片及其制造方法和电流扩展方法,其中在所述P型电极的所述P型电极焊盘的附近设置至少一P型电极短引脚,通过所述P型电极短引脚将电流注入一透明导电层,以提高自所述P型电极注入电流的效率。

[0008] 依本发明的一个方面,本发明提供一发光芯片,其包括依次层叠的一衬底、一N型半导体层、一发光层、一P型半导体层、一透明导电层以及一钝化保护层,其中所述发光芯片

进一步包括：

[0009] 一N型电极，其包括：

[0010] 一N型电极焊盘，其在所述发光芯片的第二端部层叠于所述钝化保护层；

[0011] 至少一N型电极短引脚，其延伸于所述N型电极焊盘和在穿过所述钝化保护层后在所述N型电极焊盘的附近被电连接于所述N型半导体层；以及

[0012] 至少一N型电极长引脚，其自所述N型电极焊盘向所述发光芯片的第一端部方向延伸和在穿过所述钝化保护层后被电连接于所述N型半导体层；和

[0013] 一P型电极，其包括：

[0014] 一P型电极焊盘，其在所述发光芯片的第一端部层叠于所述钝化保护层和在穿过所述钝化保护层后被电连接于所述P型半导体层；

[0015] 至少一P型电极短引脚，其延伸于所述P型电极焊盘和在穿过所述钝化保护层后在所述P型电极焊盘的附近被电连接于所述透明导电层；以及

[0016] 至少一P型电极长引脚，其自所述P型电极焊盘型所述发光芯片的第二端部方向延伸和在穿过所述钝化保护层后被电连接于所述透明导电层。

[0017] 根据本发明的一个实施例，所述N型电极的所述N型电极短引脚的延伸方向和所述N型电极长引脚的延伸方向相反。

[0018] 根据本发明的一个实施例，所述P型电极的所述P型电极短引脚的延伸方向和所述P型电极长引脚的延伸方向相同。

[0019] 根据本发明的一个实施例，所述N型电极包括一个所述N型电极长引脚，并且所述N型电极长引脚层叠于所述钝化保护层的中部，其中所述P型电极包括两个所述P型电极长引脚，并且所述P型电极长引脚层叠于所述钝化保护层的边缘。

[0020] 根据本发明的一个实施例，所述N型电极包括两个所述N型电极长引脚，并且所述N型电极长引脚层叠于所述钝化保护层的边缘，其中所述P型电极包括一个所述P型电极长引脚，并且所述P型电极长引脚层叠于所述钝化保护层的中部。

[0021] 根据本发明的一个实施例，所述N型电极包括两个所述N型电极长引脚，并且所述N型电极长引脚层叠于所述钝化保护层的中部，其中所述P型电极包括三个所述P型电极长引脚，并且三个所述P型电极长引脚中的一个所述P型电极长引脚层叠于所述钝化保护层的中部，另外两个所述P型电极长引脚层叠于所述钝化保护层的边缘，并且在两个所述P型电极长引脚之间保持有一个所述N型电极长引脚。

[0022] 根据本发明的一个实施例，所述N型电极包括三个所述N型电极长引脚，并且三个所述N型电极长引脚中的一个所述N型电极长引脚层叠于所述钝化保护层的中部，另外两个所述N型电极长引脚层叠于所述钝化保护层的边缘，其中所述P型电极包括两个所述P型电极长引脚，并且两个所述P型电极长引脚层叠于所述钝化保护层的中部，并且在两个所述N型电极长引脚之间保持有一个所述P型电极长引脚。

[0023] 依本发明的另一个方面，本发明进一步提供一发光芯片，其包括：

[0024] 一N型电极；

[0025] 一P型电极；

[0026] 一透明导电层；

[0027] 一外延单元，其包括依次层叠的一衬底、一N型半导体层、一发光层以及一P型半导

体层,其中所述透明导电层层叠于所述P型半导体层;以及

[0028] 一钝化保护层,其层叠于所述透明导电层,其中所述钝化保护层具有至少一列N型长引脚通道、至少一N型短引脚通道、一P型焊盘通道、至少一列P型长引脚通道以及至少一P型短引脚通道,其中一列所述N型长引脚通道中的每个所述长引脚通道以相互间隔的方式自所述发光芯片的第二端部向第一端部方向延伸,每个所述N型短引脚通道分别形成于所述发光芯片的第二端部,所述P型焊盘通道形成于所述发光芯片的第一端部,一列所述P型长引脚通道中的每个所述P型长引脚通道以相互间隔的方式自所述发光芯片的第一端部向第二端部方向延伸,每个所述P型短引脚通道分别形成于所述发光芯片的第一端部,其中所述N型电极层叠于所述钝化保护层,并且所述N型电极的一部分在穿过每个所述N型长引脚通道和每个所述N型短引脚通道后被电连接于所述N型半导体层,其中所述P型电极层叠于所述钝化保护层,并且所述P型电极的一部分在穿过所述P型焊盘通道后被电连接于所述P型半导体层和在穿过每个所述P型长引脚通道和每个所述P型短引脚通道后被电连接于所述透明导电层。

[0029] 根据本发明的一个实施例,所述钝化保护层具有一列所述N型长引脚通道和两列所述P型长引脚通道,一列所述N型长引脚通道在所述钝化保护层的中部自所述发光芯片的第二端部向第一端部方向延伸,每列所述P型长引脚通道分别在所述钝化保护层的边缘自所述发光芯片的第一端部向第二端部方向延伸。

[0030] 根据本发明的一个实施例,所述钝化保护层具有两列所述N型长引脚通道和一列所述P型长引脚通道,每列所述N型长引脚通道分别在所述钝化保护层的边缘自所述发光芯片的第二端部向第一端部方向延伸,一列所述P型长引脚通道在所述钝化保护层的中部自所述发光芯片的第一端部向第二端部方向延伸。

[0031] 根据本发明的一个实施例,所述钝化保护层具有两列所述N型长引脚通道和三列所述P型长引脚通道,每列所述N型长引脚通道分别在所述钝化保护层的中部自所述发光芯片的第二端部向第一端部方向延伸,三列所述P型长引脚通道中的一列所述P型长引脚通道在所述钝化保护层的中部自所述发光芯片的第一端部向第二端部方向延伸,另外两列所述P型长引脚通道分别在所述钝化保护层的边缘自所述发光芯片的第一端部向第二端部方向延伸,其中两列所述P型长引脚通道之间保持有一列所述N型长引脚通道。

[0032] 根据本发明的一个实施例,所述钝化保护层具有三列所述N型长引脚通道和两列所述P型长引脚通道,三列所述N型长引脚通道中的一列所述N型长引脚通道在所述钝化保护层的中部自所述发光芯片的第二端部向第一端部方向延伸,另外两列所述长引脚通道分别在所述钝化保护层的边缘自所述发光芯片的第二端部向第一端部方向延伸,每列所述P型长引脚通道分别在所述钝化保护层的中部自所述发光芯片的第一端部向第二端部方向延伸,其中两列所述N型长引脚通道之间保持有一列所述P型长引脚通道。

[0033] 根据本发明的一个实施例,所述N型电极包括:

[0034] 一N型电极焊盘,其层叠于所述钝化保护层;

[0035] 至少一N型电极短引脚,其延伸于所述N型电极焊盘和在穿过所述钝化保护层的每个所述N型短引脚通道后在所述N型电极焊盘的附近被电连接于所述N型半导体层;以及

[0036] 至少一N型电极长引脚,其延伸于所述N型电极焊盘和在穿过所述钝化保护层的每个所述N型长引脚通道后被电连接于所述N型半导体层。

[0037] 根据本发明的一个实施例,所述P型电极包括:

[0038] 一P型电极焊盘,其层叠于所述钝化保护层和在穿过所述钝化保护层的所述P型焊盘通道后被电连接于所述P型半导体层;

[0039] 至少一P型电极短引脚,其延伸于所述P型电极焊盘和在穿过所述钝化保护层的每个所述P型短引脚通道后在所述P型电极焊盘的附近被电连接于所述透明导电层;以及

[0040] 至少一P型电极长引脚,其延伸于所述P型电极焊盘和在穿过所述钝化保护层的每个所述P型长引脚通道后被电连接于所述透明导电层。

[0041] 依本发明的另一个方面,本发明进一步提供一发光芯片的电流扩展方法,其中所述电流扩展方法包括如下步骤:

[0042] (a) 引导自一N型电极焊盘注入的电流在所述N型电极焊盘的附近被注入一N型半导体层;和

[0043] (b) 引导自一P型电极焊盘注入的电流在所述P型电极焊盘的附近被注入一透明导电层。

[0044] 根据本发明的一个实施例,在所述步骤(a)中,进一步引导自所述N型电极焊盘注入的电流在所述N型半导体层的中部被注入所述N型半导体层,和在所述步骤(b)中,进一步引导自所述P型电极焊盘注入的电流在所述透明导电层的中部被注入所述透明导电层。

[0045] 根据本发明的一个实施例,在所述步骤(a)中,形成一钝化保护层于所述N型电极焊盘和所述N型半导体层之间,以阻止自所述N型电极焊盘注入的电流直接注入所述N型半导体层。

[0046] 依本发明的另一个方面,本发明进一步提供一发光芯片的制造方法,其中所述制造方法包括如下步骤:

[0047] (i) 层叠一N型电极于一钝化保护层,其中所述N型电极的一N型电极焊盘在所述发光芯片的第二端部层叠于所述钝化保护层,所述N型电极的延伸于所述N型电极焊盘的至少一N型电极短引脚在穿过所述钝化保护层后在所述N型电极焊盘的附近被电连接于一N型半导体层,所述N型电极的延伸于所述N型电极焊盘的至少一N型电极长引脚在穿过所述钝化保护层后被电连接于所述N型半导体层;和

[0048] (ii) 层叠一P型电极于所述钝化保护层,其中所述P型电极的一P型电极焊盘在所述发光芯片的第一端部穿过所述钝化保护层和被电连接于一P型半导体层,所述P型电极的延伸于所述P型电极焊盘的至少一P型电极短引脚在穿过所述钝化保护层后在所述P型电极焊盘的附近被电连接于一透明导电层,所述P型电极的延伸于所述P型电极焊盘的至少一P型电极长引脚在穿过所述钝化保护层后被电连接于所述透明导电层。

[0049] 根据本发明的一个实施例,在所述步骤(i)之前,所述制造方法进一步包括步骤:

[0050] 层叠一绝缘基层于一透明导电层;

[0051] 蚀刻所述绝缘基层,以形成所述钝化保护层和同时形成至少一系列N型长引脚通道、至少一N型短引脚通道、一P型焊盘通道、至少一系列P型长引脚通道和至少一P型短引脚通道于所述钝化保护层,从而在所述步骤(i)中,所述N型电极在穿过所述N型长引脚通道和所述N型短引脚通道后被电连接于所述N型半导体层,和在所述步骤(ii)中,所述P型电极在穿过所述P型焊盘通道后被电连接于所述P型半导体层以及在穿过所述P型长引脚通道和所述P型短引脚通道后被电连接于所述透明导电层。

## 附图说明

- [0052] 图1A是依本发明的一较佳实施例的一发光芯片的制造步骤之一的剖视示意图。
- [0053] 图1B是依本发明的上述较佳实施例的所述发光芯片的制造步骤之一的俯视图。
- [0054] 图2A是依本发明的上述较佳实施例的所述发光芯片的制造步骤之二的剖视示意图。
- [0055] 图2B是依本发明的上述较佳实施例的所述发光芯片的制造步骤之二的俯视图。
- [0056] 图3A是依本发明的上述较佳实施例的所述发光芯片的制造步骤之三的剖视示意图。
- [0057] 图3B是依本发明的上述较佳实施例的所述发光芯片的制造步骤之三的俯视图。
- [0058] 图4A是依本发明的上述较佳实施例的所述发光芯片的制造步骤之四的剖视示意图,其示出了所述发光芯片的剖视状态。
- [0059] 图4B是依本发明的上述较佳实施例的所述发光芯片的制造步骤之四的俯视图,其示出了所述发光芯片的俯视图。
- [0060] 图5A是依本发明的上述较佳实施例的所述发光芯片的一个变形实施方式的剖视示意图。
- [0061] 图5B是依本发明的上述较佳实施例的所述发光芯片的上述变形实施方式的俯视图。
- [0062] 图6A是依本发明的上述较佳实施例的所述发光芯片的另一个变形实施方式的剖视示意图。
- [0063] 图6B是依本发明的上述较佳实施例的所述发光芯片的上述变形实施方式的俯视图。
- [0064] 图7A是依本发明的上述较佳实施例的所述发光芯片的另一个变形实施方式的剖视示意图。
- [0065] 图7B是依本发明的上述较佳实施例的所述发光芯片的上述变形实施方式的俯视图。

## 具体实施方式

[0066] 以下描述用于揭露本发明以使本领域技术人员能够实现本发明。以下描述中的优选实施例只作为举例,本领域技术人员可以想到其他显而易见的变型。在以下描述中界定的本发明的基本原理可以应用于其他实施方案、变形方案、改进方案、等同方案以及没有背离本发明的精神和范围的其他技术方案。

[0067] 本领域技术人员应理解的是,在本发明的揭露中,术语“纵向”、“横向”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”“内”、“外”等指示的方位或位置关系是基于附图所示的方位或位置关系,其仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此上述术语不能理解为对本发明的限制。

[0068] 可以理解的是,术语“一”应理解为“至少一”或“一个或多个”,即在一个实施例中,一个元件的数量可以为一个,而在另外的实施例中,该元件的数量可以为多个,术语“一”不能理解为对数量的限制。

[0069] 参考本发明的说明书附图之附图1A至图4B,依本发明的一较佳实施例的一发光芯片及其制造过程在接下来的描述中被揭露和被阐述,其中所述发光芯片包括一外延单元10、一透明导电层20、一钝化保护层30、一N型电极40以及一P型电极50。

[0070] 所述外延单元10包括一衬底11、一N型半导体层12、一发光层13以及一P型半导体层14,其中所述N型半导体层12层叠于所述衬底11、所述发光层13层叠于所述N型半导体层12、所述P型半导体层14层叠于所述发光层13,以使所述衬底11、所述N型半导体层12、所述发光层13和所述P型半导体层14依次层叠。所述透明导电层20层叠于所述外延单元10的所述P型半导体层14,所述钝化保护层30层叠于所述透明导电层20,所述N型电极40和所述P型电极50分别层叠于所述钝化保护层30,并且所述N型电极40被电连接于所述外延单元10的所述N型半导体层12,所述P型电极50被电连接于所述外延单元10的所述P型半导体层14和所述透明导电层20。

[0071] 例如,在本发明的所述发光芯片的一个较佳示例中,自所述衬底11生长所述N型半导体层12,以使所述N型半导体层12层叠于所述衬底11;自所述N型半导体层12生长所述发光层13,以使所述发光层13层叠于所述N型半导体层12;自所述发光层13生长所述P型半导体层14,以使所述P型半导体层14层叠于所述发光层13,从而使得所述衬底11、所述N型半导体层12、所述发光层13和所述P型半导体层14依次层叠。

[0072] 值得一提的是,所述外延单元10的所述衬底11的类型可以是但不限于蓝宝石衬底、硅衬底、碳化硅衬底等。所述N型半导体层12和所述P型半导体层14可以是但不限于氮化镓层。所述发光层13可以是但不限于量子阱层。

[0073] 继续参考附图1A和图1B,所述外延单元10具有至少一半导体裸露部15,其中所述半导体裸露部15自所述P型半导体层14经所述发光层13延伸至所述N型半导体层12,以允许所述N型半导体层12的一部分表面暴露于所述半导体裸露部15。

[0074] 在本发明的所述发光芯片的一个较佳示例中,通过蚀刻所述外延单元10的所述P型半导体层14和所述发光层13的方式能够形成自所述P型半导体层14经所述发光层13延伸至所述N型半导体层12的所述半导体裸露部15,并且所述N型半导体层12的一部分表面暴露于所述半导体裸露部15。

[0075] 在本发明的所述发光芯片的另一个较佳示例中,通过蚀刻所述外延单元10的所述P型半导体层14、所述发光层13和所述N型半导体层12的方式能够形成自所述P型半导体层14经所述发光层13延伸至所述N型半导体层12的所述半导体裸露部15,并且所述N型半导体层12的一部分表面暴露于所述半导体裸露部15。也就是说,在所述发光芯片的这个具体示例中,参考附图1A,所述N型半导体层12的一部分厚度被去除,从而所述N型半导体层12的对应于所述半导体裸露部15的部分的厚度尺寸小于所述N型半导体层12的对应于所述发光层13的部分的厚度尺寸。

[0076] 进一步地,所述外延单元10具有一边缘裸露部16,其中所述边缘裸露部16在所述外延单元10的边缘自所述P型半导体层14经所述发光层13和所述N型半导体层12延伸至所述衬底11,以暴露所述N型半导体层12的边缘于所述边缘裸露部16。例如,在本发明的所述

发光芯片的一个较佳示例中,通过蚀刻所述外延单元10的所述P型半导体层14、所述发光层13和所述N型半导体层12的方式能够形成自所述P型半导体层14经所述发光层13和所述N型半导体层12延伸至所述衬底11的所述边缘裸露部16。

[0077] 值得一提的是,所述外延单元10的所述半导体裸露部15和所述边缘裸露部16可以同时形成,也可以按照先后顺序形成,本发明的所述发光芯片在这方面不受限制。另外,蚀刻方法形成所述边缘裸露部16的具体工艺与蚀刻形成所述半导体裸露部15的具体工艺一致,例如,可以通过干法蚀刻工艺或者湿法蚀刻工艺蚀刻所述外延单元10的所述P型半导体层14、所述发光层13和所述N型半导体层12以形成所述半导体裸露部15和所述边缘裸露部16。

[0078] 进一步地,继续参考附图1A和图1B,所述外延单元10的所述半导体裸露部15具有一N型焊盘裸露部151、一N型长引脚裸露部152以及至少一N型短引脚裸露部153,其中该所述N型焊盘裸露部151形成于所述发光芯片的一第二端部102,所述N型长引脚裸露部152在所述外延单元10的中部自所述N型焊盘裸露部151向所述发光芯片的一第一端部101方向延伸,每个所述N型短引脚裸露部153分别以相互间隔的方式自所述N型焊盘裸露部151向所述发光芯片的所述第二端部102的边缘方向延伸。在所述发光芯片的高度方向,所述外延单元10的所述半导体裸露部15的所述N型焊盘裸露部151、所述N型长引脚裸露部152和每个所述N型短引脚裸露部153分别自所述P型半导体层14经所述发光层13延伸至所述N型半导体层12,以暴露所述N型半导体层12的一部分表面于所述N型焊盘裸露部151、所述N型长引脚裸露部152和每个所述N型短引脚裸露部153。

[0079] 参考附图2A和图2B,层叠所述透明导电层20于所述外延单元10的所述P型半导体层14,其中所述透明导电层20具有一第一通道21和一第二通道22,其中所述透明导电层20的所述第一通道21形成于所述发光芯片的所述第一端部101,并且所述第一通道21对应于所述外延单元10的所述P型半导体层14,以暴露所述P型半导体层14于所述透明导电层20的所述第一通道21,其中所述外延单元10的所述半导体裸露部15对应于和连通于所述透明导电层20的所述第二通道22。优选地,所述透明导电层20的所述第二通道22的形状和所述外延单元10的所述半导体裸露部15的形状一致。更优选地,所述透明导电层20的所述第二通道22的尺寸稍大于所述外延单元10的所述半导体裸露部15的尺寸,参考附图2A和图2B,从而使得所述外延单元10的所述P型半导体层14的一部分表面被暴露于所述透明导电层20的所述第二通道22。

[0080] 在本发明的所述发光芯片的一个具体示例中,所述透明导电层20的材料具有高透明、高导电率和低接触电阻的特性,例如,形成所述透明导电层20的材料可以选自但不限于NiAu合金、氧化铟锡、氧化铟锌、氧化镉、氧化铬。

[0081] 具体地说,层叠所述透明导电层20于所述外延单元10的所述P型半导体层14的步骤包括:

[0082] 首先,层叠一透明导电基层于所述外延单元10,以使所述透明导电基层层叠于所述外延单元10的所述P型半导体层14和所述N型半导体层12。所述透明导电基层的厚度尺寸范围为100埃-2000埃(包括100埃和2000埃)。例如,在本发明的所述发光芯片的一个较佳示例中,可以通过但不限于溅射或者蒸镀的方式沉淀所述透明导电基层于所述外延单元10,以使所述透明导电基层层叠于所述外延单元10的所述P型半导体层14和所述N型半导体层

12。

[0083] 其次,使用层叠于所述透明导电基层的光刻胶层在所述透明导电基层标识刻蚀图案,和通过干法蚀刻或者湿法蚀刻等方式蚀刻所述透明导电基层,以使所述透明导电基层形成所述透明导电层20,和同时形成所述透明导电层20的所述第一通道21和所述第二通道22。

[0084] 最后,去除光刻胶层。值得一提的是,去除层叠于所述透明导电层20的光刻胶层的方式在本发明的所述发光芯片中不受限制。

[0085] 值得一提的是,附图2B示出的所述透明导电层20的所述第一通道21的形状为圆形的方案仅为示例,但是附图2B示出的所述第一通道21的具体形状并不应被视为对本发明的所述发光芯片的内容和范围的限制。

[0086] 参考附图3A和图3B,所述钝化保护层30层叠于所述透明导电层20,并且所述钝化保护层30进一步经所述透明导电层20的所述第一通道21延伸至所述外延单元10的所述P型半导体层14、经所述透明导电层20的所述第二通道22和所述外延单元10的所述半导体裸露部15延伸至所述外延单元10的所述N型半导体层12以及经所述外延单元10的所述边缘裸露部16延伸至所述外延单元10的所述衬底11。

[0087] 所述钝化保护层30具有一列N型长引脚通道31、至少一N型短引脚通道32、一P型焊盘通道33以及两列P型长引脚通道34。所述钝化保护层30的一列所述N型长引脚通道31中的每个所述N型长引脚通道31以相互间隔的方式在所述钝化保护层30的中部自所述发光芯片的所述第二端部102向所述第一端部101方向延伸,并且每个所述N型长引脚通道31分别对应于所述外延单元10的所述N型长引脚裸露部152,以暴露所述N型半导体层12的一部分表面于所述钝化保护层30的每个所述N型长引脚通道31。所述钝化保护层30的所述N型短引脚通道32对应于所述外延单元10的所述N型短引脚裸露部153,以暴露所述N型半导体层12的一部分表面于所述钝化保护层30的所述N型短引脚通道32。所述钝化保护层30的所述P型焊盘通道33形成于所述发光芯片的所述第一端部101,其中所述钝化保护层30的所述P型焊盘通道33对应于所述透明导电层20的所述第一通道21,以暴露所述外延单元10的所述P型半导体层14的一部分表面于所述钝化保护层30的所述P型焊盘通道33。所述钝化保护层30的每列所述P型长引脚通道34中的每个所述P型长引脚通道34以相互间隔的方式在所述钝化保护层30的边缘自所述发光芯片的所述第一端部101向所述第二端部102方向延伸,并且每个所述P型长引脚通道34分别对应于所述透明导电层20,以暴露所述透明导电层20的一部分表面于所述钝化保护层30的每个所述P型长引脚通道34。

[0088] 进一步地,继续参考附图3A和图3B,所述钝化保护层30进一步具有至少一P型短引脚通道35,其中每个所述P型短引脚通道35分别与所述P型焊盘通道33相邻,并且每个所述P型短引脚通道35分别对应于所述透明导电层20,以暴露所述透明导电层20的一部分表面于所述钝化保护层30的每个所述P型短引脚通道35。

[0089] 值得一提的是,形成所述钝化保护层30的材料可以是绝缘透明的材料,例如但不限于氧化硅、氮化硅、氧化铝、氟化镁等。

[0090] 具体地说,层叠所述钝化保护层30于所述透明导电层20的步骤包括:

[0091] 首先,沉积一绝缘基层于所述透明导电层20,并允许所述绝缘基层经所述透明导电层20的所述第一通道21延伸至所述外延单元10的所述P型半导体层14、经所述透明导电

层20的所述第二通道22和所述外延单元10的所述半导体裸露部15延伸至所述外延单元10的所述N型半导体层12以及经所述外延单元10的所述边缘裸露部16延伸至所述外延单元10的所述衬底11。所述绝缘基层的厚度尺寸不受限制,例如所述绝缘基层的厚度尺寸范围可以是600埃-3000埃(包括600埃和3000埃)。可以理解的是,所述钝化保护层30的厚度尺寸与所述绝缘基层的厚度尺寸相同。

[0092] 其次,使用层叠于所述绝缘基层的光刻胶层在所述透明导电基层标识刻蚀图案,和通过干法蚀刻或者湿法蚀刻等方式蚀刻所述绝缘基层,以使所述绝缘基层形成所述钝化保护层30,和同时形成所述钝化保护层30的所述N型长引脚通道31、所述N型短引脚通道32、所述P型焊盘通道33、所述P型长引脚通道34和所述P型短引脚通道35。

[0093] 最后,去除光刻胶层。值得一提的是,去除层叠于所述透明导电层20的光刻胶层的方式在本发明的所述发光芯片中不受限制。

[0094] 参考附图4A和图4B,所述N型电极40和所述P型电极50分别层叠于所述钝化保护层30,并且所述N型电极40的一部分在穿过所述钝化保护层30的每个所述N型长引脚通道31和每个所述N型短引脚通道32后分别被电连接于所述外延单元10的所述N型半导体层12,所述P型电极50的一部分在穿过所述钝化保护层30的所述P型焊盘通道33后被电连接于所述外延单元10的所述P型半导体层14和在穿过所述钝化保护层30的每个所述P型长引脚通道34和每个所述P型短引脚通道35后被电连接于所述透明导电层20。

[0095] 具体地说,所述N型电极40包括一N型电极焊盘41、一N型电极长引脚42以及至少一N型电极短引脚43,其中所述N型电极焊盘41、所述N型电极长引脚42和每个所述N型电极短引脚43一体地形成且相互电连接,并且所述N型电极长引脚42的一部分在穿过所述钝化保护层30的每个所述N型长引脚通道31后被电连接于所述外延单元10的所述N型半导体层12,和所述N型电极短引脚43的一部分在穿过所述钝化保护层30的每个所述N型短引脚通道32后被电连接于所述外延单元10的所述N型半导体层12。

[0096] 更具体地说,所述N型电极40的所述N型电极焊盘41层叠于所述钝化保护层30,即,所述N型电极40的所述N型电极焊盘41和所述外延单元10的所述N型半导体层12没有被电连接,从而避免自所述N型电极40注入的电流直接经所述N型电极焊盘41进入所述外延单元10的所述N型半导体层12,进而避免在所述N型电极40的所述N型电极焊盘41出现电流拥挤效应。另外,所述N型电极40的所述N型电极焊盘41层叠于所述钝化保护层30的方式,使得所述N型电极40的所述N型电极焊盘41的表面更为平整,通过这样的方式,能够保证封装焊线的可靠性。所述N型电极40的每个所述N型电极短引脚43分别层叠于所述钝化保护层30和在穿过所述钝化保护层30的每个所述N型短引脚通道32后被电连接于所述外延单元10的所述N型半导体层12,通过这样的方式,当电流自所述N型电极40注入后能够进一步经每个所述N型电极短引脚43在所述N型电极焊盘41的附近注入所述外延单元10的所述N型半导体层12,从而在避免在所述N型电极焊盘41出现电流拥挤效应的同时,实现所述N型电极40和所述外延单元10的所述N型半导体层12的部分导电,进而有利于优化电流分布。所述N型电极40的所述N型电极长引脚42层叠于所述钝化保护层30,其中所述N型电极长引脚42在所述钝化保护层30的中部自所述N型电极焊盘41向所述发光芯片的所述第一端部101方向延伸,并且所述N型电极长引脚42的一部分在穿过所述钝化保护层30的每个所述N型长引脚通道31后被电连接于所述外延单元10的所述N型半导体层12。

[0097] 相应地,所述P型电极50包括一P型电极焊盘51、两P型电极长引脚52以及至少一P型电极短引脚53,其中所述P型电极焊盘51、每个所述P型电极长引脚52以及每个所述P型电极短引脚53一体地形成且相互电连接,并且所述P型电极焊盘51在穿过所述钝化保护层30的所述P型焊盘通道33后被电连接于所述外延单元10的所述P型半导体层14,每个所述P型电极长引脚52分别在穿过所述钝化保护层30的每个所述P型长引脚通道52后被电连接于所述透明导电层20,每个所述P型电极短引脚53分别在穿过所述钝化保护层30的每个所述P型短引脚通道35后被电连接于所述透明导电层20。

[0098] 具体地,所述P型电极50的所述P型电极焊盘51层叠于所述钝化保护层30和在穿过所述钝化保护层30的所述P型焊盘通道33后被电连接于所述外延单元10的所述P型半导体层14,从而自所述P型电极50注入的电流能够进一步经所述P型电极焊盘51被注入所述外延单元10的所述P型半导体层14。另外,所述P型电极50的所述P型电极焊盘51经所述钝化保护层30的呈圆形的所述P型焊盘通道33后以结合于所述外延单元10的所述P型半导体层14的方式被电连接于所述P型半导体层14,从而所述P型电极50的所述P型电极焊盘51的表面更为平整,通过这样的方式,能够保证封装焊线的可靠性。所述P型电极50的每个所述P型电极短引脚53分别层叠于所述钝化保护层30和在穿过所述钝化保护层30的每个所述P型短引脚通道35后在所述P型电极焊盘51的附近被电连接于所述透明导电层20,通过这样的方式,能够提高自所述P型电极50注入所述发光芯片的电流的电流注入效率,从而有利于电流均匀分布。所述P型电极50的每个所述P型电极长引脚52分别层叠于所述钝化保护层30,其中每个所述P型电极长引脚52分别在所述钝化保护层30的边缘自所述P型电极焊盘51向所述发光芯片的所述第二端部102方向延伸,并且每个所述P型电极长引脚52的一部分在穿过所述钝化保护层30的每个所述P型长引脚通道34后被电连接于所述透明导电层20。

[0099] 在本发明的所述发光芯片的一个较佳示例中,所述N型电极40和所述P型电极50可以同时形成,即,藉由同一道工序能够层叠所述N型电极40和所述P型电极50于所述钝化保护层30。可选地,所述N型电极40和所述P型电极50按照先后顺序形成。另外,形成所述N型电极40和所述P型电极50的材料在本发明的所述发光芯片中不受限制,例如Cr、Ni、Al、Ti、Pt、Au等高导电率材料均被可以用于制作所述N型电极40和所述P型电极50。

[0100] 值得一提的是,所述N型电极40的所述N型电极焊盘41的位置对应于所述外延单元10的所述N型焊盘裸露部151的位置;所述N型电极40的所述N型电极长引脚42的位置和数量分别对应于所述钝化保护层30的所述N型长引脚通道31的位置和列数,所述钝化保护层30的所述N型长引脚通道31的位置和列数对应于所述外延单元10的所述N型长引脚裸露部152的位置和数量;所述N型电极40的所述N型电极短引脚43的位置和数量分别对应于所述钝化保护层30的所述N型短引脚通道32的位置和数量,所述钝化保护层30的所述N型短引脚通道32的位置和数量对应于所述外延单元10的所述N型短引脚裸露部153的位置和数量。相应地,所述P型电极50的所述P型电极焊盘51的位置对应于所述钝化保护层30的所述P型焊盘通道33的位置,所述钝化保护层30的所述P型焊盘通道33的位置对应于所述透明导电层20的所述第一通道21的位置;所述P型电极50的所述P型电极长引脚52的位置和数量对应于所述钝化保护层30的所述P型长引脚通道34的位置和列数;所述P型电极50的所述P型电极短引脚53的位置和数量对应于所述钝化保护层30的所述P型短引脚通道35的位置和数量。

[0101] 附图5A和图5B示出了所述发光芯片的一个变形实施方式,与附图1A至图4B示出的

所述发光芯片不同的是,在附图5A至图5B示出的所述发光芯片的这个较佳示例中,所述外延单元10的所述半导体裸露部15具有两个所述N型长引脚裸露部152,其中每个所述N型长引脚裸露部152分别在所述外延单元10的边缘自所述N型焊盘裸露部151向所述发光芯片的所述第一端部101方向延伸。所述钝化保护层30具有两列所述N型长引脚通道31和一系列所述P型长引脚通道34,其中每列所述N型长引脚通道31中的每个所述N型长引脚通道31以相互间隔的方式在所述钝化保护层30的边缘自所述发光芯片的所述第二端部102向所述第一端部101方向延伸,一系列所述P型长引脚通道34中的每个所述P型长引脚通道34以相互间隔的方式自所述发光芯片的所述第一端部101向所述第二端部102方向延伸。所述N型电极40包括两个所述N型电极长引脚42,每个所述N型电极长引脚42分别以层叠于所述钝化保护层30的边缘的方式自所述N型电极焊盘41向所述发光芯片的所述第一端部101方向延伸,并且每个所述N型电极长引脚42分别在穿过每列所述N型长引脚通道31中的每个所述N型长引脚通道31后被电连接于所述N型半导体层12。所述P型电极50包括一个所述P型电极长引脚52,所述P型电极长引脚52以层叠于所述钝化保护层30的中部的方式自所述P型电极焊盘51向所述发光芯片的所述第二端部102方向延伸,并且所述P型电极长引脚52在穿过一系列所述P型长引脚通道34中的每个所述P型长引脚通道34后被电连接于所述透明导电层20。

[0102] 附图6A和图6B示出了所述发光芯片的一个变形实施方式,与附图1A至图4B示出的所述发光芯片不同的是,在附图6A至图6B示出的所述发光芯片的这个较佳示例中,所述N型电极40包括两个所述N型电极长引脚42,其中每个所述N型电极长引脚42分别以层叠于所述钝化保护层30的中部的方式自所述N型电极焊盘41向所述发光芯片的所述第一端部101方向延伸。所述P型电极50包括三个所述P型电极长引脚52,其中三个所述P型电极长引脚52中的一个所述P型电极长引脚52以层叠于所述钝化保护层30的中部的方式自所述P型电极焊盘51向所述发光芯片的所述第二端部102方向延伸,另外两个所述P型电极长引脚52分别以层叠于所述钝化保护层30的边缘的方式自所述P型电极焊盘51向所述发光芯片的所述第二端部102方向延伸。优选地,在任意两个所述P型电极长引脚52之间保持有一个所述N型电极长引脚42。

[0103] 附图7A和图7B示出了所述发光芯片的一个变形实施方式,与附图1A至图4B示出的所述发光芯片不同的是,在附图7A至图7B示出的所述发光芯片的这个较佳示例中,所述P型电极50包括两个所述P型电极长引脚52,其中每个所述P型电极长引脚52分别以层叠于所述钝化保护层30的中部的方式自所述P型电极焊盘51向所述发光芯片的所述第二端部102方向延伸。所述N型电极40包括三个所述N型电极长引脚42,其中三个所述N型电极长引脚42中的一个所述N型电极长引脚42以层叠于所述钝化保护层30的中部的方式自所述N型电极焊盘41向所述发光芯片的所述第一端部101方向延伸,另外两个所述N型电极长引脚42分别以层叠于所述钝化保护层30的边缘的方式自所述N型电极焊盘41向所述发光芯片的所述第一端部101方向延伸。优选地,在任意两个所述N型电极长引脚42之间保持有一个所述P型电极长引脚52。

[0104] 依本发明的另一个方面,本发明进一步提供所述发光芯片的制造方法,其中所述制造方法包括如下步骤:

[0105] (i) 层叠所述N型电极40于所述钝化保护层30,其中所述N型电极40的所述N型电极焊盘41在所述发光芯片的所述第二端部102层叠于所述钝化保护层30,所述N型电极40的延

伸于所述N型电极焊盘41的至少一个所述N型电极短引脚43在穿过所述钝化保护层30后在所述N型电极焊盘41的附近被电连接于所述N型半导体层12,所述N型电极40的延伸于所述N型电极焊盘41的至少一个所述N型电极长引脚42在穿过所述钝化保护层30后被电连接于所述N型半导体层12;和

[0106] (ii) 层叠所述P型电极50于所述钝化保护层30,其中所述P型电极50的所述P型电极焊盘51在所述发光芯片的所述第一端部101穿过所述钝化保护层30和被电连接于所述P型半导体层14,所述P型电极50的延伸于所述P型电极焊盘51的至少一个所述P型电极短引脚53在穿过所述钝化保护层30后在所述P型电极焊盘51的附近被电连接于所述透明导电层20,所述P型电极50的延伸于所述P型电极焊盘51的至少一个所述P型电极长引脚52在穿过所述钝化保护层30后被电连接于所述透明导电层20。

[0107] 依本发明的另一个方面,本发明进一步提供所述发光芯片的电流扩展方法,其中所述电流扩展方法包括如下步骤:

[0108] (a) 引导自所述N型电极焊盘41注入的电流在所述N型电极焊盘41的附近被注入所述N型半导体层12;和 (b) 引导自所述P型电极焊盘51注入的电流在所述P型电极焊盘51的附近被注入所述透明导电层20,通过这样的方式,能够避免自所述N型电极40注入的电流在所述N型电极焊盘41出现电流拥挤效应的不良现象出现和提高电流自所述P型电极50注入的效率,从而有利于使电流均匀地分布,以提高所述发光芯片的发光效率和整体亮度。

[0109] 值得注意的是,在本发明中所涉及的“层叠”可以是直接层叠,也可以是间接层叠。例如,所述外延单元10的所述N型半导体层12层叠于所述衬底11可以是指所述N型半导体层12直接地层叠于所述衬底11,即,自所述衬底11的表面直接生长所述N型半导体层12,以使所述N型半导体层12层叠于所述衬底11;所述外延单元10的所述N型半导体层12层叠于所述衬底11也可以是指所述N型半导体层12间接地层叠于所述衬底11,即,在所述衬底11和所述N型半导体层12之间还可以设置有其他层,例如但不限于缓冲层,即,首先在所述衬底11的表面生长缓冲层,然后再在缓冲层的表面生长所述N型半导体层12,以使得所述N型半导体层12层叠于所述衬底11。

[0110] 值得注意的是,在本发明的说明书附图中示出所述半导体芯片的所述衬底11、所述N型半导体层12、所述发光层13、所述P型半导体层14、所述透明导电层20、所述钝化保护层30、所述N型电极40和所述P型电极50的厚度仅为示例,其并不表示所述衬底11、所述N型半导体层12、所述发光层13、所述P型半导体层14、所述透明导电层20、所述钝化保护层30、所述N型电极40和所述P型电极50的真实厚度。并且,所述衬底11、所述N型半导体层12、所述发光层13、所述P型半导体层14、所述透明导电层20、所述钝化保护层30、所述N型电极40和所述P型电极50之间的真实比例关系也不像附图中示出的那样。

[0111] 本领域的技术人员可以理解的是,以上实施例仅为举例,其中不同实施例的特征可以相互组合,以得到根据本发明揭露的内容很容易想到但是在附图中没有明确指出的实施方式。

[0112] 本领域的技术人员应理解,上述描述及附图中所示的本发明的实施例只作为举例而并不限制本发明。本发明的目的已经完整并有效地实现。本发明的功能及结构原理已在实施例中展示和说明,在没有背离所述原理下,本发明的实施方式可以有任何变形或修改。

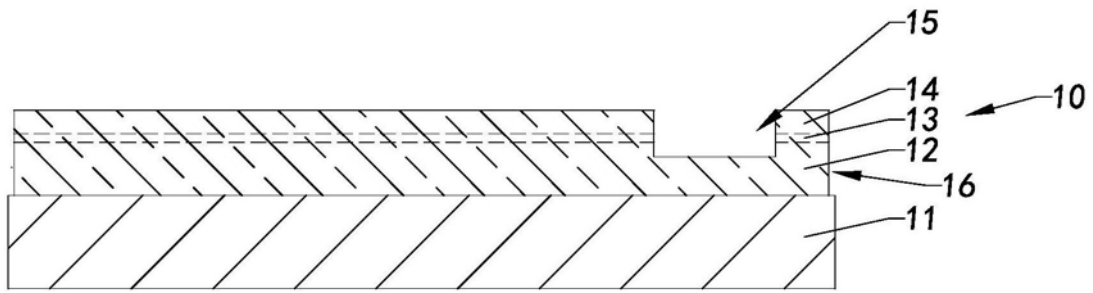


图1A

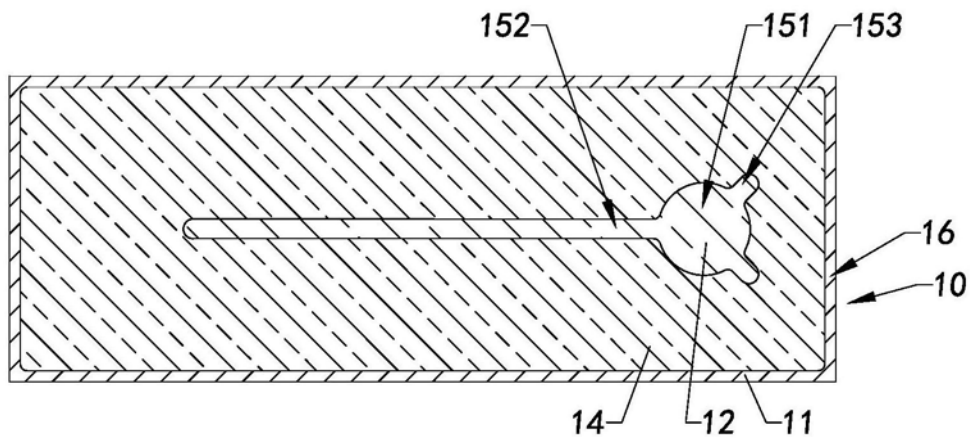


图1B

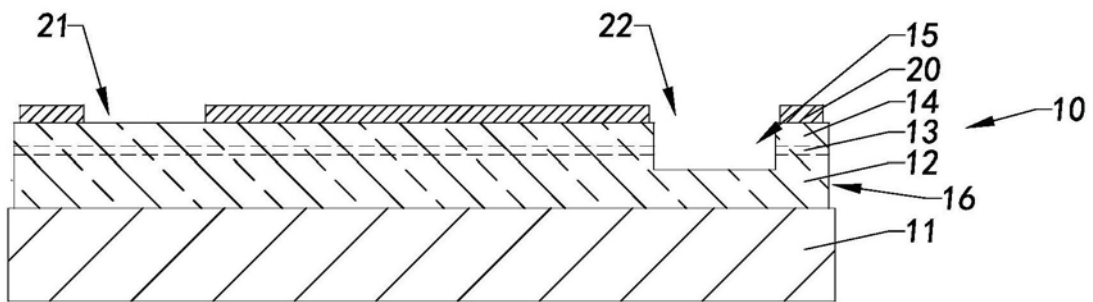


图2A

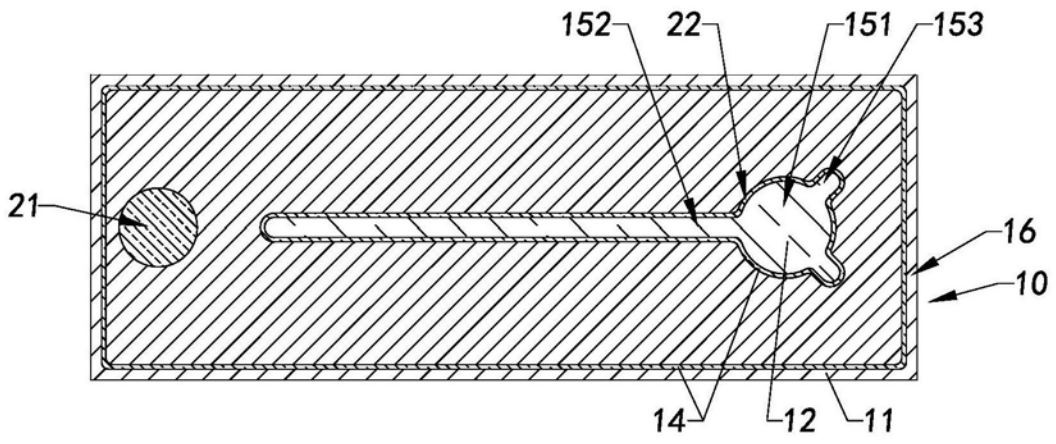


图2B

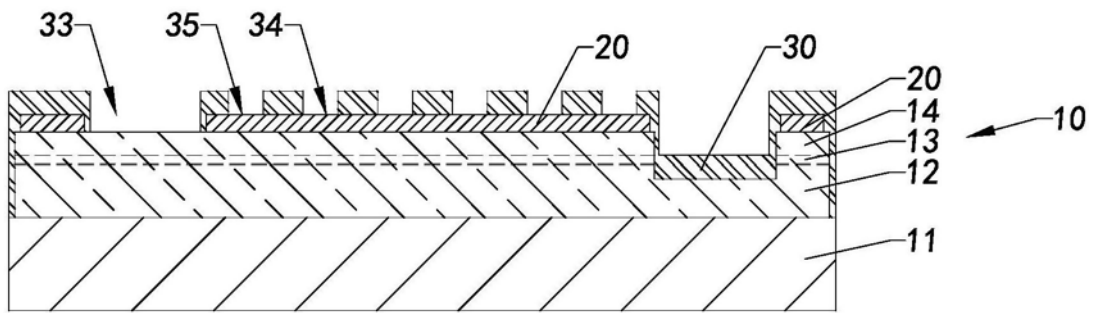


图3A

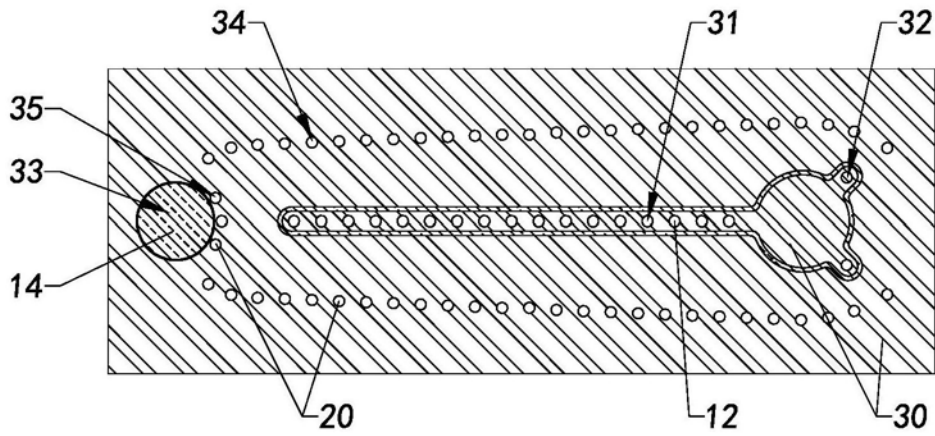


图3B

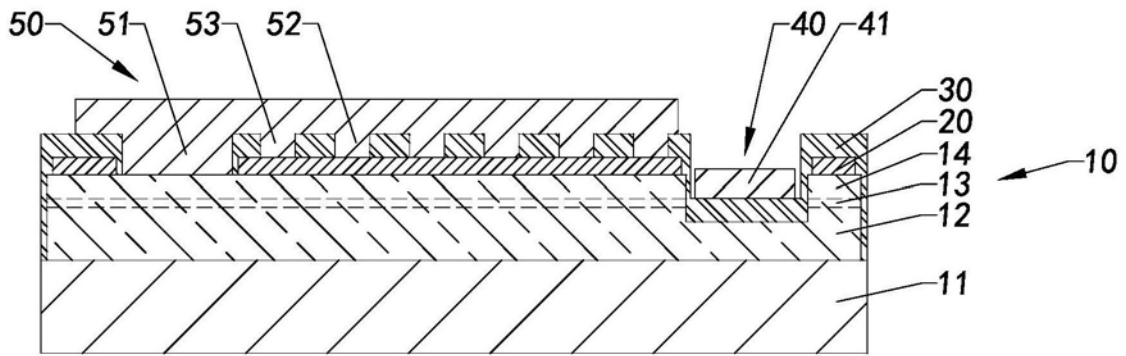


图4A

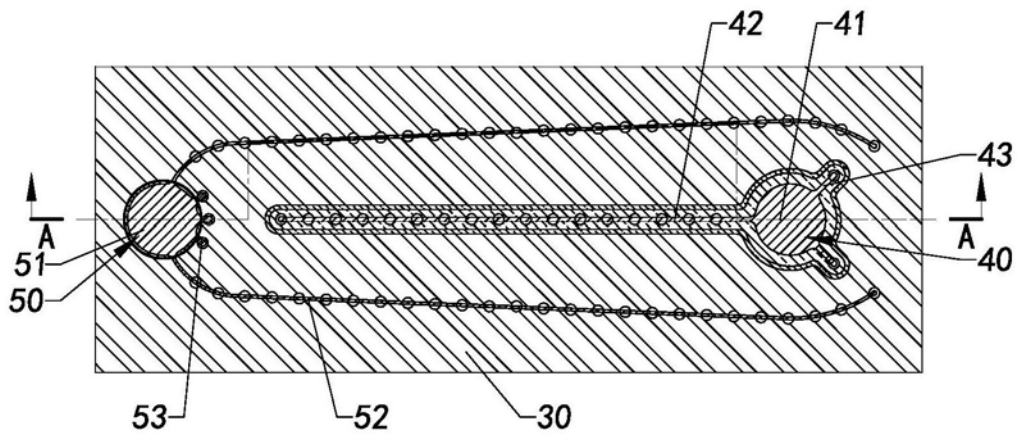


图4B

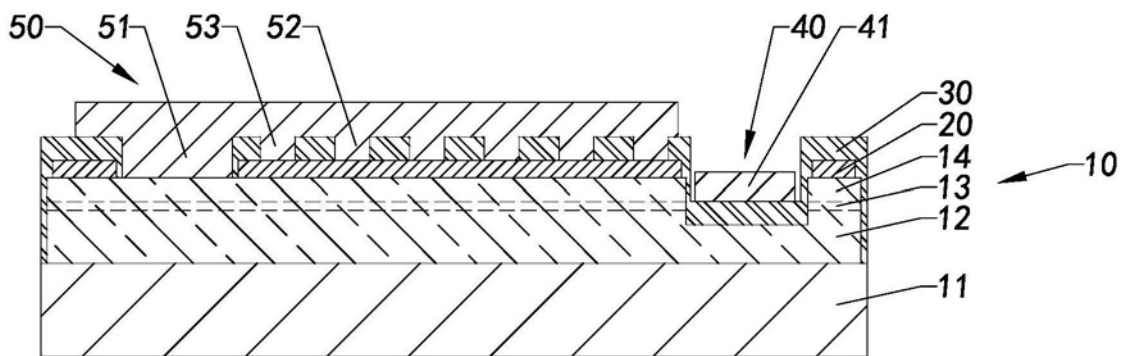


图5A

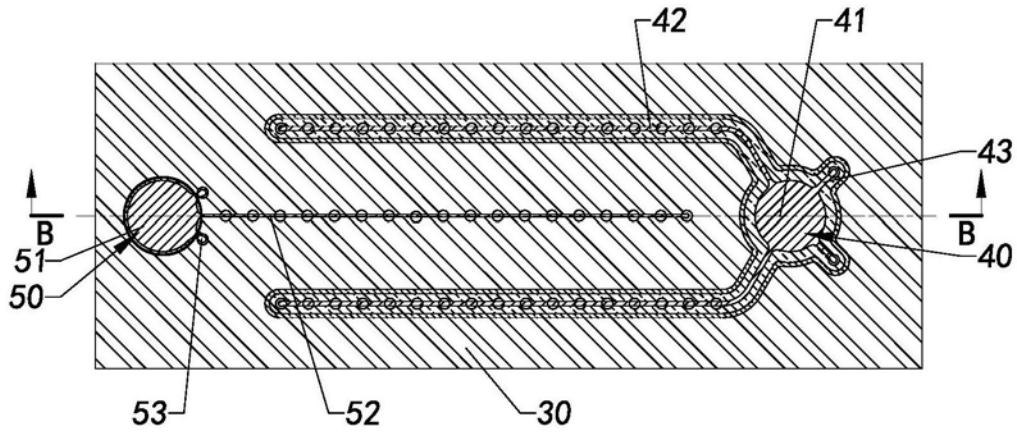


图5B

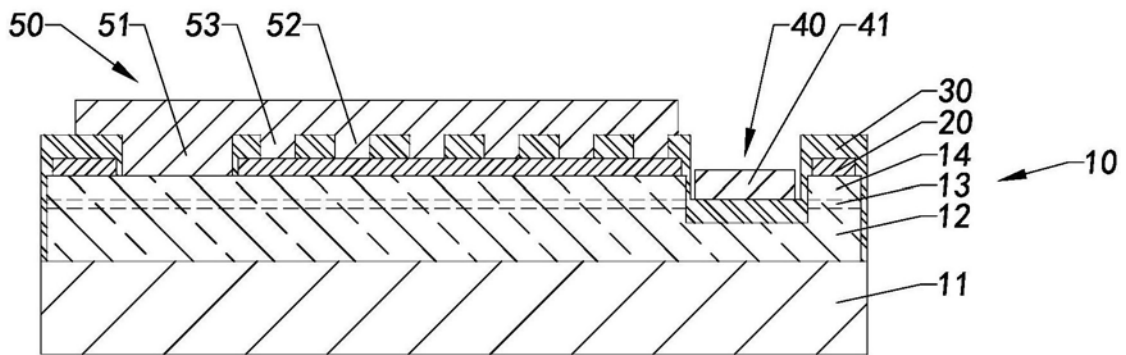


图6A

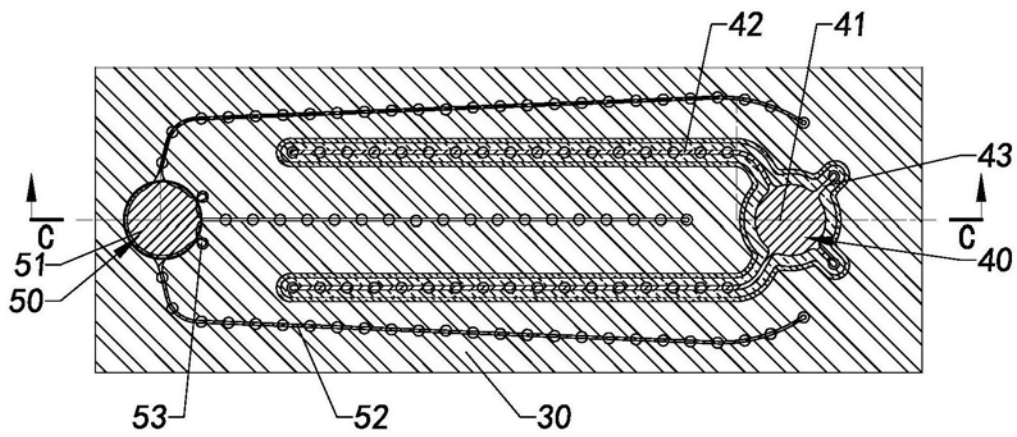


图6B

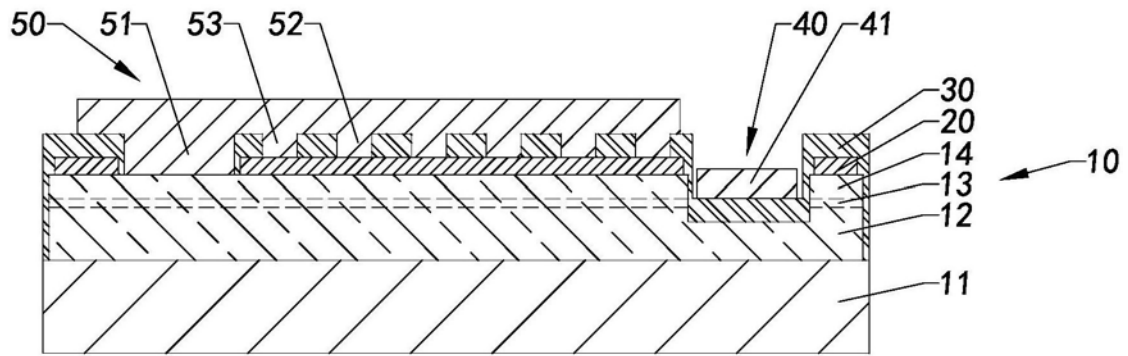


图7A

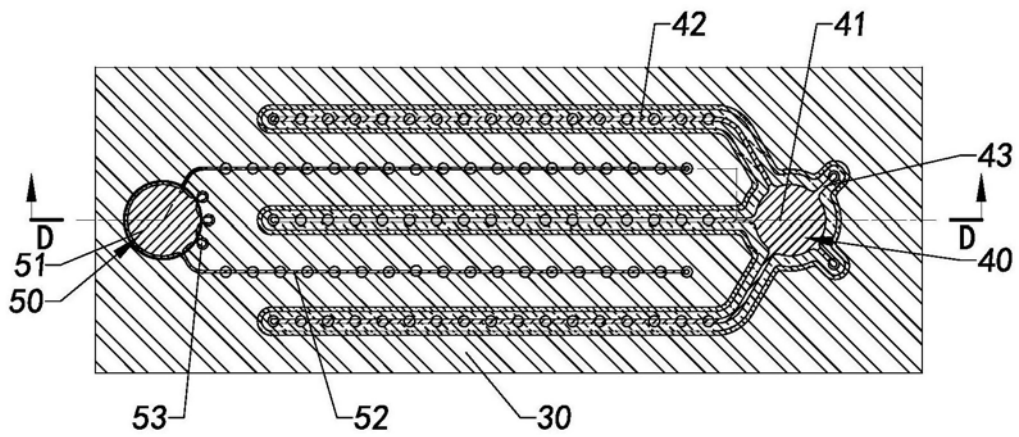


图7B