

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2021年8月19日(19.08.2021)



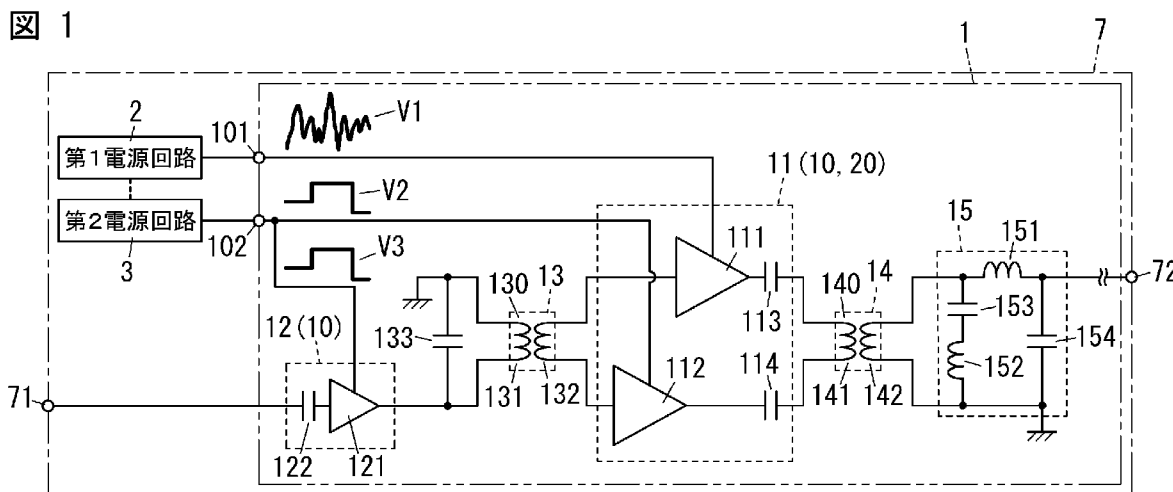
(10) 国際公開番号

WO 2021/161721 A1

- (51) 国際特許分類:  
H03F 1/02 (2006.01) H03F 3/24 (2006.01)  
H03F 3/193 (2006.01) H03F 3/68 (2006.01)
- (21) 国際出願番号: PCT/JP2021/001362
- (22) 国際出願日: 2021年1月15日(15.01.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2020-023195 2020年2月14日(14.02.2020) JP
- (71) 出願人: 株式会社村田製作所  
(MURATA MANUFACTURING CO., LTD.) [JP/  
JP]; 〒6178555 京都府長岡京市東神足 1  
丁目 1 0 番 1 号 Kyoto (JP).
- (72) 発明者: 田原 健二 (TAHARA, Kenji). 大門  
義弘(DAIMON, Yoshihiro).
- (74) 代理人: 特許業務法人北斗特許事務所  
(HOKUTO PATENT ATTORNEYS OFFICE);  
〒5300001 大阪府大阪市北区梅田一丁目 1 2  
- 1 7 梅田スクエアビル Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,  
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,  
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,  
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,  
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,  
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: POWER AMPLIFICATION CIRCUIT, HIGH FREQUENCY CIRCUIT, AND COMMUNICATION DEVICE

(54) 発明の名称: 電力増幅回路、高周波回路及び通信装置



- 2 First power supply circuit
- 3 Second power supply circuit

(57) Abstract: The present invention increases the speed of operation of a power amplification circuit. A power amplification circuit (1) is provided with amplification units (10) in a plurality of stages, an ET terminal (101), and an APT terminal (102). The amplification units (10) in a plurality of stages include an amplification unit (11) in the final stage. The amplification unit (11) in the final stage includes a first amplification element (111) and a second amplification element (112) which are connected in parallel to each other. The first amplification element (111) is connected to the ET terminal (101). The second amplification element (112) is connected to the APT terminal (102).



WO 2021/161721 A1

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

---

(57) 要約: 電力増幅回路の更なる高速動作を実現する。電力増幅回路(1)は、複数段の増幅部(10)と、ET端子(101)と、APT端子(102)と、を備える。複数段の増幅部(10)は、最終段の増幅部(11)を含む。最終段の増幅部(11)は、互いに並列に接続されている第1増幅素子(111)及び第2増幅素子(112)を有している。第1増幅素子(111)は、ET端子(101)に接続されている。第2増幅素子(112)は、APT端子(102)に接続されている。

## 明 細 書

**発明の名称**：電力増幅回路、高周波回路及び通信装置

### 技術分野

[0001] 本発明は、一般に電力増幅回路、高周波回路及び通信装置に関し、より詳細には、複数段の増幅部を備える電力増幅回路、高周波回路及び通信装置に関する。

### 背景技術

[0002] 従来、複数の電力増幅回路と、第1トラッカ回路と、第2トラッカ回路と、を備える電力管理システムが知られている（例えば特許文献1参照）。

[0003] 第1トラッカ回路は、第1ET変調信号に応じた第1ET変調電圧、又は第1APT変調信号に応じた第1APT変調電圧を生成する。第2トラッカ回路は、第2ET変調信号に応じた第2ET変調電圧、又は第2APT変調信号に応じた第1APT変調電圧を生成する。

[0004] 特許文献1に記載の電力管理システムでは、第1トラッカ回路又は第2トラッカ回路が、複数の電力増幅回路のうち選択された1つ以上の電力増幅回路にバイアス電圧を印加する。

### 先行技術文献

#### 特許文献

[0005] 特許文献1：米国特許出願公開第2018/0309409号明細書

### 発明の概要

#### 発明が解決しようとする課題

[0006] ところで、電力増幅回路の技術分野では、電力増幅回路の更なる高速動作が望まれている。

[0007] 本発明の目的は、更なる高速動作を実現することができる電力増幅回路、高周波回路及び通信装置を提供することにある。

#### 課題を解決するための手段

[0008] 本発明の一態様に係る電力増幅回路は、複数段の増幅部と、ET端子と、

A P T端子と、を備える。前記複数段の増幅部は、最終段の増幅部を含む。前記最終段の増幅部は、互いに並列に接続されている第1増幅素子及び第2増幅素子を有している。前記第1増幅素子は、前記E T端子に接続されている。前記第2増幅素子は、前記A P T端子に接続されている。

[0009] 本発明の一態様に係る高周波回路は、前記電力増幅回路と、第1電源回路と、第2電源回路と、を備える。前記第1電源回路は、前記E T端子に接続され、前記第1増幅素子に入力される高周波信号の振幅に応じて変化する第1電源電圧を生成する。前記第2電源回路は、前記A P T端子に接続され、前記第2増幅素子に入力される前記高周波信号の振幅の変化に応じて変化する、かつ前記第1電源電圧よりも低い周波数で変化する第2電源電圧を生成する。

[0010] 本発明の一態様に係る通信装置は、前記高周波回路と、信号処理回路と、を備える。前記信号処理回路は、前記高周波信号を処理して前記高周波回路に出力する。前記高周波回路の前記電力増幅回路は、前記信号処理回路から入力される前記高周波信号を増幅する。

### 発明の効果

[0011] 本発明の上記態様に係る電力増幅回路、高周波回路及び通信装置によれば、電力増幅回路の更なる高速動作を実現することができる。

### 図面の簡単な説明

[0012] [図1]図1は、実施形態1に係る電力増幅回路及び高周波回路の概略構成図である。

[図2]図2は、実施形態1に係る通信装置のブロック図である。

[図3]図3Aは、比較例に係る電力増幅回路に関し、第1電源回路から第1増幅素子に印加される第1電源電圧の変化を示すグラフである。図3Bは、同上の電力増幅回路に関し、第2電源回路から第1増幅素子に印加される第2電源電圧の変化を示すグラフである。

[図4]図4は、実施形態1に係る電力増幅回路に関し、第1電源回路から第1増幅素子に印加される第1電源電圧の変化を示すグラフである。

[図5]図5は、同上の電力増幅回路のACLR特性を示すグラフである。

[図6]図6は、実施形態1の変形例1に係る電力増幅回路及び高周波回路の概略構成図である。

[図7]図7は、実施形態2に係る電力増幅回路及び高周波回路の概略構成図である。

[図8]図8は、同上の電力変換回路に関し、出力電力と増幅効率との関係を示す特性図である。

[図9]図9は、実施形態3に係る電力増幅回路及び高周波回路の概略構成図である。

[図10]図10は、実施形態4に係る電力増幅回路及び高周波回路の概略構成図である。

### 発明を実施するための形態

[0013] 以下の実施形態1～4等において参照する各図は、いずれも模式的な図であり、図中の各構成要素の大きさや厚さそれぞれの比は、必ずしも実際の寸法比を反映しているとは限らない。なお、図1、図6、図7、図9及び図10では、高周波回路7、7a、7b、7c、7dにおいてフィルタ回路4の図示を省略し、図2では、高周波回路7において第1電源回路2及び第2電源回路3の図示を省略している。

[0014] (実施形態1)

以下、実施形態1に係る電力増幅回路、高周波回路及び通信装置について、図1～図6を参照して説明する。

[0015] (1) 電力増幅回路の構成

まず、実施形態1に係る電力増幅回路1の構成について、図面を参照して説明する。

[0016] 実施形態1に係る電力増幅回路1は、図1に示すように、複数(図示例では2つ)の増幅部10と、ET端子101と、APT端子102と、を備えている。また、実施形態1では、電力増幅回路1は、分波器13と、合成回路14と、出力整合回路15と、を更に備えている。

- [0017] 複数の増幅部10は、分波器13に対して、電力増幅回路1の出力側（アンテナ端子72側）に設けられている最終段の増幅部11と、電力増幅回路1の入力側（信号入力端子71側）に設けられているドライバ段の増幅部12と、を含む。実施形態1では、電力増幅回路1における増幅部の段数は2段である。
- [0018] 最終段の増幅部11は、第1増幅素子111及び第2増幅素子112を有している。また、実施形態1では、最終段の増幅部11は、複数（図示例では2つ）のキャパシタ113, 114を更に有している。実施形態1では、第1増幅素子111及び第2増幅素子112は、差動増幅回路20を構成している。ドライバ段の増幅部12は、増幅素子121と、キャパシタ122と、を有している。
- [0019] 第1増幅素子111は、ET端子101に接続されている。ET端子101は、後述の第1電源回路2に接続されている。第1電源回路2は、第1増幅素子111に入力される高周波信号の振幅に応じて変化する第1電源電圧V1を生成する。第2増幅素子112は、APT端子102に接続されている。APT端子102は、後述の第2電源回路3に接続されている。第2電源回路3は、第2増幅素子112に入力される高周波信号の振幅の変化に応じて変化する、かつ第1電源電圧V1よりも低い周波数で変化する第2電源電圧V2を生成する。
- [0020] 本明細書等において「接続されている」とは、2つの接続対象が電氣的に接続されていることをいう。また、本明細書等において「電氣的に接続されている」は、2つの接続対象が直接的に電氣的に接続されている場合と、2つの接続対象が間接的に接続されている場合と、を含む。
- [0021] 分波器13は、ドライバ段の増幅部12と最終段の増幅部11との間に設けられている。分波器13は、トランス130を含む。トランス130は、一次巻線131と、二次巻線132と、を有している。合成回路14は、最終段の増幅部11と出力整合回路15との間に設けられている。合成回路14は、トランス140を含む。トランス140は、一次巻線141と、二次

巻線 1 4 2 と、を有している。

[0022] 出力整合回路 1 5 は、合成回路 1 4 と出力整合回路 1 5 の出力側の回路（例えばフィルタ回路 4）との間に設けられている。

[0023] 電力増幅回路 1 は、図 1 に示すように、例えば、高周波回路 7 に用いられる。高周波回路 7 は、上述の電力増幅回路 1 に加えて、第 1 電源回路 2 と、第 2 電源回路 3 と、フィルタ回路 4（図 2 参照）と、信号入力端子 7 1 と、アンテナ端子 7 2 と、を更に備えている。

[0024] さらに、高周波回路 7 は、図 2 に示すように、例えば、通信装置 8 に用いられる。通信装置 8 は、例えば、スマートフォンのような携帯電話である。なお、通信装置 8 は、携帯電話であることに限定されず、例えば、スマートウォッチのようなウェアラブル端末等であってもよい。高周波回路 7 は、例えば、4 G（第 4 世代移動通信）規格、5 G（第 5 世代移動通信）規格等に対応可能な回路である。4 G 規格は、例えば、3 G P P（Third Generation Partnership Project）L T E（Long Term Evolution）規格である。5 G 規格は、例えば、5 G N R（New Radio）である。高周波回路 7 は、キャリアアグリゲーション及びデュアルコネクティビティに対応可能な回路であってもよい。

[0025] （2）電力増幅回路の各構成要素

次に、実施形態 1 に係る電力増幅回路 1 の各構成要素について、図 1 を参照して説明する。

[0026] （2. 1）最終段の増幅部

最終段の増幅部 1 1 は、図 1 に示すように、第 1 増幅素子 1 1 1 と、第 2 増幅素子 1 1 2 と、を有している。また、実施形態 1 では、最終段の増幅部 1 1 は、複数（図示例では 2 つ）のキャパシタ 1 1 3、1 1 4 を更に有している。実施形態 1 では、キャパシタ 1 1 3 が第 1 増幅素子 1 1 1 と対応し、キャパシタ 1 1 4 が第 2 増幅素子 1 1 2 と対応している。

[0027] 第 1 増幅素子 1 1 1 及び第 2 増幅素子 1 1 2 の各々は、例えば、n p n 型のバイポーラトランジスタである。より詳細には、第 1 増幅素子 1 1 1 及び

第2増幅素子112の各々は、HBT（Heterojunction Bipolar Transistor）である。第1増幅素子111及び第2増幅素子112の各々は、複数の単位トランジスタ（「フィンガー」ともいう）が並列接続されているマルチフィンガートランジスタである。単位トランジスタとは、トランジスタが構成される最小限の構成をいう。第1増幅素子111及び第2増幅素子112の各々は、後述の信号処理回路5のRF信号処理回路51（図2参照）からの高周波信号を増幅する。実施形態1では、第1増幅素子111及び第2増幅素子112は、互いに並列に接続されており、差動増幅回路20を構成している。

[0028] 実施形態1では、第1増幅素子111のサイズと第2増幅素子112のサイズとが同じである。実施形態1のように、第1増幅素子111及び第2増幅素子112の各々がマルチフィンガートランジスタの場合、サイズが大きくなるほど複数の単位トランジスタの数が多く、サイズが小さくなるほど複数の単位トランジスタの数が少なくなる。したがって、実施形態1では、第1増幅素子111のサイズと第2増幅素子112のサイズとが同じであるため、第1増幅素子111を構成する複数の単位トランジスタの数と第2増幅素子112を構成する複数の単位トランジスタの数とが同じである。

[0029] 第1増幅素子111は、第1ベース端子、第1コレクタ端子及び第1エミッタ端子を有している。第1増幅素子111は、第1ベース端子に入力される高周波信号を増幅して第1コレクタ端子から出力する。第1エミッタ端子は、グラウンドに電氣的に接続されている。言い換えると、第1エミッタ端子は、直接又は間接的にグラウンドに接続されている。つまり、第1エミッタ端子は、接地されている（エミッタ接地）。第1コレクタ端子は、ET端子101を介して後述の第1電源回路2に電氣的に接続されて第1電源電圧V1が印加（供給）される。また、第1コレクタ端子は、キャパシタ113を介して合成回路14のトランス140の一次巻線141の第1端に電氣的に接続されている。さらに、第1ベース端子は、分波器13のトランス130の二次巻線132の第1端に電氣的に接続されている。

[0030] 第2増幅素子112は、第2ベース端子、第2コレクタ端子及び第2エミッタ端子を有している。第2増幅素子112は、第2ベース端子に入力される高周波信号を増幅して第2コレクタ端子から出力する。第2エミッタ端子は、グラウンドに電氣的に接続されている。言い換えると、第2エミッタ端子は、直接又は間接的にグラウンドに接続されている。つまり、第2エミッタ端子は、接地されている（エミッタ接地）。第2コレクタ端子は、A P T端子102を介して後述の第2電源回路3に電氣的に接続されて第2電源電圧V2が印加（供給）される。また、第2コレクタ端子は、キャパシタ114を介してトランス140の一次巻線141の第2端に電氣的に接続されている。さらに、第2ベース端子は、トランス130の二次巻線132の第2端に電氣的に接続されている。

[0031] すなわち、実施形態1に係る電力増幅回路1では、第1増幅素子111の第1ベース端子と第2増幅素子112の第2ベース端子とが、トランス130の二次巻線132を介して互いに電氣的に接続されている。また、第1増幅素子111の第1コレクタ端子と第2増幅素子112の第2コレクタ端子とが、キャパシタ113、114及びトランス140の一次巻線141を介して互いに電氣的に接続されている。

[0032] キャパシタ113は、第1増幅素子111から出力されるDC成分（直流成分）をカットするDCカット用のキャパシタである。また、キャパシタ114は、第2増幅素子112から出力されるDC成分をカットするDCカット用のキャパシタである。

[0033] ここで、第1増幅素子111の第1ベース端子、及び第2増幅素子112の第2ベース端子は、H B Tのベースに相当する。また、第1増幅素子111の第1コレクタ端子、及び第2増幅素子112の第2コレクタ端子は、H B Tのコレクタに相当する。さらに、第1増幅素子111の第1エミッタ端子、及び第2増幅素子112の第2エミッタ端子は、H B Tのエミッタに相当する。なお、後述の増幅素子121についても同様である。

[0034] （2. 2）ドライバ段の増幅部

ドライバ段の増幅部 1 2 は、図 1 に示すように、増幅素子 1 2 1 と、キャパシタ 1 2 2 と、を有している。

[0035] 増幅素子 1 2 1 は、第 1 増幅素子 1 1 1 及び第 2 増幅素子 1 1 2 と同様、例えば、n p n 型のバイポーラトランジスタである。より詳細には、増幅素子 1 2 1 は、H B T である。増幅素子 1 2 1 は、第 1 増幅素子 1 1 1 及び第 2 増幅素子 1 1 2 と同様、複数の単位トランジスタが並列接続されているマルチフィンガートランジスタである。増幅素子 1 2 1 は、後述の信号処理回路 5 の R F 信号処理回路 5 1 (図 2 参照) からの高周波信号を増幅する。

[0036] 増幅素子 1 2 1 は、ベース端子、コレクタ端子及びエミッタ端子を有している。増幅素子 1 2 1 は、ベース端子に入力される高周波信号を増幅してコレクタ端子から出力する。エミッタ端子は、グラウンドに電氣的に接続されている。言い換えると、エミッタ端子は、直接又は間接的にグラウンドに接続されている。つまり、エミッタ端子は、接地されている (エミッタ接地)。コレクタ端子は、A P T 端子 1 0 2 を介して後述の第 2 電源回路 3 に電氣的に接続されて第 3 電源電圧 V 3 が印加 (供給) される。また、コレクタ端子は、トランス 1 3 0 の一次巻線 1 3 1 の第 1 端に電氣的に接続されている。さらに、ベース端子は、キャパシタ 1 2 2 を介して信号入力端子 7 1 に電氣的に接続されている。

[0037] キャパシタ 1 2 2 は、増幅素子 1 2 1 に入力される D C 成分をカットする D C カット用のキャパシタである。

[0038] (2. 3) 分波器

分波器 1 3 は、ドライバ段の増幅部 1 2 と最終段の増幅部 1 1 とを電氣的に絶縁するための回路である。分波器 1 3 は、図 1 に示すように、トランス 1 3 0 を含む。トランス 1 3 0 は、図 1 に示すように、一次巻線 1 3 1 と、二次巻線 1 3 2 と、を有している。

[0039] 一次巻線 1 3 1 の第 1 端は、増幅素子 1 2 1 のコレクタ端子に電氣的に接続されている。また、一次巻線 1 3 1 の第 2 端は、グラウンドに電氣的に接続されている。さらに、一次巻線 1 3 1 の第 1 端と第 2 端との間には、キャパ

シタ 1 3 3 が電氣的に接続されている。

[0040] 二次巻線 1 3 2 の第 1 端は、第 1 増幅素子 1 1 1 の第 1 ベース端子に電氣的に接続されている。また、二次巻線 1 3 2 の第 2 端は、第 2 増幅素子 1 1 2 の第 2 ベース端子に電氣的に接続されている。一次巻線 1 3 1 と二次巻線 1 3 2 の巻数比は、例えば、1 対 1 である。

[0041] (2. 4) 合成回路

合成回路 1 4 は、最終段の増幅部 1 1 と出力整合回路 1 5 とを電氣的に絶縁するための回路である。合成回路 1 4 は、図 1 に示すように、トランス 1 4 0 を含む。トランス 1 4 0 は、図 1 に示すように、一次巻線 1 4 1 と、二次巻線 1 4 2 と、を有している。

[0042] 一次巻線 1 4 1 の第 1 端は、キャパシタ 1 1 3 を介して第 1 増幅素子 1 1 1 の第 1 コレクタ端子に電氣的に接続されている。また、一次巻線 1 4 1 の第 2 端は、キャパシタ 1 1 4 を介して第 2 増幅素子 1 1 2 の第 2 コレクタ端子に電氣的に接続されている。

[0043] 二次巻線 1 4 2 の第 1 端は、出力整合回路 1 5 の第 1 入力端（インダクタ 1 5 1 とキャパシタ 1 5 3 との接続点）に電氣的に接続されている。また、二次巻線 1 4 2 の第 2 端は、出力整合回路 1 5 の第 2 入力端（インダクタ 1 5 2 におけるキャパシタ 1 5 3 と反対側の端部）に電氣的に接続され、かつグラウンドに電氣的に接続されている。一次巻線 1 4 1 と二次巻線 1 4 2 の巻数比は、例えば、1 対 1 である。

[0044] (2. 5) 出力整合回路

出力整合回路 1 5 は、図 1 に示すように、合成回路 1 4 の二次側に設けられている。出力整合回路 1 5 は、出力整合回路 1 5 の入力側の回路（最終段の増幅部 1 1 及び合成回路 1 4）と出力整合回路 1 5 の出力側の回路（例えばフィルタ回路 4）との間のインピーダンスを整合させるための回路である。出力整合回路 1 5 は、2 つのインダクタ 1 5 1, 1 5 2 と、2 つのキャパシタ 1 5 3, 1 5 4 と、を備えている。

[0045] インダクタ 1 5 1 の第 1 端は、トランス 1 4 0 の二次巻線 1 4 2 の第 1 端

に電氣的に接続され、インダクタ151の第2端は、フィルタ回路4（図2参照）の入力端に電氣的に接続されている。インダクタ152は、キャパシタ153と直列に接続されており、キャパシタ153と共にトランス140の二次巻線142の両端間に電氣的に接続されている。また、キャパシタ153におけるインダクタ152と反対側の端部は、トランス140の二次巻線142とインダクタ151との接続点に電氣的に接続されている。キャパシタ154は、インダクタ151を介してトランス140の二次巻線142の両端間に電氣的に接続されている。

[0046] (3) 高周波回路の各構成要素

次に、実施形態1に係る高周波回路7の各構成要素について、図1及び図2を参照して説明する。

[0047] 実施形態1に係る高周波回路7は、図1に示すように、電力増幅回路1と、第1電源回路2と、第2電源回路3と、を備えている。また、実施形態1では、高周波回路7は、図2に示すように、フィルタ回路4と、信号入力端子71と、アンテナ端子72と、を更に備えている。

[0048] (3.1) 端子

信号入力端子71は、図2に示すように、後述の信号処理回路5のRF信号処理回路51に電氣的に接続されている。信号入力端子71は、RF信号処理回路51からの高周波信号（送信信号）を高周波回路7に入力するための端子である。

[0049] アンテナ端子72は、図2に示すように、後述のアンテナ6に電氣的に接続されている。実施形態1では、アンテナ端子72は、高周波回路7からの高周波信号をアンテナ6に出力するための端子である。

[0050] (3.2) 第1電源回路

第1電源回路2は、例えば、ET（Envelope Tracking）モジュレータである。第1電源回路2は、例えば、DC-DCコンバータを含む。第1電源回路2は、上述したように、第1増幅素子111（の第1コレクタ端子）に対して第1電源電圧V1を印加（供給）する。第1電源回路2は、後述のペー

スバンド信号処理回路52（図2参照）から出力された信号のエンベロープ（包絡線）を検出する。すなわち、第1電源回路2は、送信信号を構成する搬送波信号の振幅変調の波形（エンベロープ信号）を検出する。具体的には、第1電源回路2は、I相信号とQ相信号とからエンベロープ信号を検出する。

[0051] 第1電源回路2は、エンベロープ信号の波形と予め設定された増幅率とを用いて、第1電源電圧V1を生成する。第1電源電圧V1は、エンベロープに応じて変動する。第1電源電圧V1の周期は、エンベロープ信号の周期と同じである。第1電源電圧V1の振幅変動は、エンベロープ信号の振幅変動と同じである。すなわち、エンベロープ信号と第1電源電圧V1の振幅特性（周期及び振幅変動）は同じである。第1電源回路2は、生成した第1電源電圧V1を第1増幅素子111へ出力する。

[0052] 図3Aは、第1電源回路2から出力される第1電源電圧V1の一例を示すグラフである。第1電源電圧V1は、図3Aの実線a1に示すように、高周波信号の振幅の変化に応じて変化している。そのため、第1増幅素子111は、飽和状態に近い状態で動作可能である。なお、図3Aにおける「w1」は、高周波信号の波形を示している。すなわち、第1電源回路2からET端子101に入力される信号は、第1増幅素子111に入力される高周波信号のエンベロープに追従するように変化する信号である。

[0053] ところで、実施形態1に係る高周波回路7では、第1電源回路2は、第2電源回路3から電圧情報を取得するように構成されている。電圧情報は、第2電源回路3から出力される第2電源電圧V2に関する情報であって、第2電源電圧V2の振幅変化に関する情報である。すなわち、第1電源回路2は、各期間T1、T2、T3（図3B参照）における第2電源電圧V2の振幅を把握している。

[0054] （3.3）第2電源回路

第2電源回路3は、例えば、APT（Average Power Tracking）方式に従って第2電源電圧V2及び第3電源電圧V3を生成する回路である。第2電

源回路3は、例えば、DC-DCコンバータを含む。第2電源回路3は、所定期間（後述の期間T1, T2, T3）ごとに高周波信号の平均電力振幅を算出し、算出した平均電力振幅に応じて第2増幅素子112及び増幅素子121への電圧供給レベルを変化させる。

[0055] 実施形態1では、第2電源電圧V2の周波数と第3電源電圧V3の周波数とが同じである。本明細書において「周波数が同じ」とは、2つの周波数が完全に一致する場合だけでなく、一方の周波数に対して他方の周波数が一定範囲（例えば±5%）に収まっている場合も含む。また、実施形態1では、第2電源電圧V2の振幅と第3電源電圧V3の振幅とが同じであると仮定するが、第2電源電圧V2の振幅と第3電源電圧V3の振幅とが異なってもよい。

[0056] 図3Bは、第2電源回路3から出力される第2電源電圧V2及び第3電源電圧V3の一例を示すグラフである。図3Bの例では、第2電源回路3は、実線b1に示すように、連続する3つの期間T1, T2, T3の各々において高周波信号の平均電力振幅を算出し、算出した平均電力振幅に応じて、3つの期間T1, T2, T3ごとに第2電源電圧V2及び第3電源電圧V3の電圧供給レベル（振幅）を変化させている。すなわち、第2電源回路3からAPT端子102に入力される信号は、所定期間T1, T2, T3ごとに検出される高周波信号の平均振幅に応じて変化する信号である。

[0057] (3.4) フィルタ回路

フィルタ回路4は、特定の通信バンド（例えばBand3）の送信帯域を通過帯域とするフィルタである。フィルタ回路4は、例えば、1チップの弾性波フィルタであり、複数の直列腕共振子及び複数の並列腕共振子の各々が弾性波共振子により構成されている。弾性波フィルタは、例えば、弾性表面波を利用する表面弾性波フィルタである。表面弾性波フィルタでは、複数の直列腕共振子及び複数の並列腕共振子の各々は、例えば、SAW (Surface Acoustic Wave) 共振子である。

[0058] (4) 通信装置の各構成要素

次に、実施形態 1 に係る通信装置 8 の各構成要素について、図 2 を参照して説明する。

[0059] 実施形態 1 に係る通信装置 8 は、図 2 に示すように、上述の高周波回路 7 に加えて、信号処理回路 5 と、アンテナ 6 と、を更に備えている。

[0060] (4. 1) 信号処理回路

信号処理回路 5 は、図 2 に示すように、RF 信号処理回路 5 1 と、ベースバンド信号処理回路 5 2 と、を有している。実施形態 1 では、信号処理回路 5 は、高周波回路 7 への高周波信号（送信信号）を処理する。

[0061] (4. 1. 1) RF 信号処理回路

RF 信号処理回路 5 1 は、高周波回路 7 の信号入力端子 7 1 に電氣的に接続されている。RF 信号処理回路 5 1 は、例えば、RF IC (Radio Frequency Integrated Circuit) であり、ベースバンド信号処理回路 5 2 からの高周波信号（送信信号）に対する信号処理を行う。RF 信号処理回路 5 1 は、ベースバンド信号処理回路 5 2 から出力された高周波信号に対してアップコンバート等の信号処理を行い、信号処理が行われた高周波信号を高周波回路 7 に出力する。

[0062] (4. 1. 2) ベースバンド信号処理回路

ベースバンド信号処理回路 5 2 は、例えば、BB IC (Baseband Integrated Circuit) である。ベースバンド信号処理回路 5 2 は、ベースバンド信号から I 相信号及び Q 相信号を生成する。ベースバンド信号は、例えば、外部から入力される音声信号、画像信号等である。ベースバンド信号処理回路 5 2 は、I 相信号と Q 相信号とを合成することで I Q 変調処理を行って、送信信号を出力する。この際、送信信号は、所定周波数の搬送波信号を、当該搬送波信号の周期よりも長い周期で振幅変調した変調信号（I Q 信号）として生成される。

[0063] (4. 2) アンテナ

アンテナ 6 は、高周波回路 7 のアンテナ端子 7 2 に電氣的に接続されている。アンテナ 6 は、高周波回路 7 から出力された送信信号（高周波信号）を

電波にて放射する送信機能を有している。

[0064] (5) 電力増幅回路の動作

次に、実施形態 1 に係る電力増幅回路 1 の動作について、図 3 A、図 3 B 及び図 4 を参照して説明する。

[0065] 実施形態 1 に係る電力増幅回路 1 は、例えば、信号処理回路 5 から出力された高周波信号（送信信号）を増幅し、増幅した高周波信号を後段のフィルタ回路 4（図 2 参照）へ出力する。すなわち、実施形態 1 に係る電力増幅回路 1 は、信号入力端子 7 1 から入力された高周波信号を増幅し、増幅した高周波信号をフィルタ回路 4 へ出力する。

[0066] ここで、最終段の増幅部 1 1 が第 1 増幅素子 1 1 1 のみを有し、第 1 増幅素子 1 1 1 に対して第 1 電源回路 2 から第 1 電源電圧  $V_1$  を印加させる場合を想定する。この場合、図 3 A に示すように、高周波信号の振幅の変化に応じて第 1 電源電圧  $V_1$  の振幅を変化させており、そのため第 1 増幅素子 1 1 1 の消費電力のロス（損失）を小さくすることができる。しかしながら、この場合、第 1 電源電圧  $V_1$  の振幅の変動が大きいため、第 1 増幅素子 1 1 1 の応答性が低下するという問題がある。

[0067] また、最終段の増幅部 1 1 が第 1 増幅素子 1 1 1 のみを有し、第 1 増幅素子 1 1 1 に対して第 2 電源回路 3 から第 2 電源電圧  $V_2$  を印加させる場合を想定する。この場合、図 3 B に示すように、所定期間（期間  $T_1$ ,  $T_2$ ,  $T_3$ ）ごとに算出される高周波信号の平均電力振幅に応じて第 2 電源電圧  $V_2$  の電圧供給レベル（振幅）を変化させており、そのため第 1 増幅素子 1 1 1 の応答性の低下を抑制することができる。しかしながら、この場合、高周波信号の振幅と第 2 電源電圧  $V_2$  の振幅との差が大きいため、第 1 増幅素子 1 1 1 の消費電力のロス（損失）が大きくなるという問題がある。

[0068] 実施形態 1 に係る電力増幅回路 1 では、第 1 増幅素子 1 1 1 の消費電力のロスを小さくしながらも第 1 増幅素子 1 1 1 の応答性の低下を抑制することを目的として、第 1 増幅素子 1 1 1 に対して第 1 電源電圧  $V_1$  を印加（供給）し、第 2 増幅素子 1 1 2 に対して第 2 電源電圧  $V_2$  を印加（供給）してい

る。さらに、実施形態 1 に係る電力増幅回路 1 では、第 1 電源回路 2 は、第 2 電源回路 3 の出力電圧である第 2 電源電圧  $V_2$  の振幅変化を把握しており、この第 2 電源電圧  $V_2$  を基準に第 1 電源電圧  $V_1$  を変化させている。

[0069] 図 4 は、実施形態 1 に係る電力増幅回路 1 の第 1 増幅素子 111 (の第 1 コレクタ端子) に印加される第 1 電源電圧  $V_1$  の変化を示すグラフである。図 4 では、実線 a 2 が第 1 電源電圧  $V_1$  を示し、破線 b 2 が第 2 電源電圧  $V_2$  を示している。また、図 4 における「w 1」は、RF 信号処理回路 5 1 から入力される高周波信号の波形を示している。

[0070] 上述したように、第 1 電源回路 2 は、第 2 電源回路 3 から出力される第 2 バイアス電圧  $V_2$  の振幅の変化を把握している。ここで、実施形態 1 では、上述したように、第 1 増幅素子 111 のサイズと第 2 増幅素子 112 のサイズとが同じである。そのため、最終段の増幅部 11 で得られる合成電力の半分を生成する第 1 増幅素子 111 に対して第 1 電源電圧  $V_1$  が印加され、残りの半分を生成する第 2 増幅素子 112 に対して第 2 電源電圧  $V_2$  が印加されることになる。そのため、第 1 電源回路 2 は、図 4 に示すように、第 2 電源電圧  $V_2$  を基準に、第 2 電源電圧  $V_2$  からの変化分だけ第 1 電源電圧  $V_1$  を変化させることになる。これにより、第 1 電源電圧  $V_1$  の振幅の変化幅を半分程度まで減らすことができる。その結果、第 1 増幅素子 111 の応答性の低下を抑制することができ、電力増幅回路 1 の更なる高速動作を実現することができる。また、第 1 増幅素子 111 に第 2 電源電圧  $V_2$  を印加させる場合に比べて、第 1 増幅素子 111 の消費電力のロスを小さくすることもできる。

[0071] (6) 電力増幅回路の特性

次に、実施形態 1 に係る電力増幅回路 1 の特性について、図 5 を参照して説明する。

[0072] 図 5 は、実施形態 1 に係る電力増幅回路 1 の ACLR (Adjacent Channel Leakage Ratio) 特性を示すグラフである。図 5 では、比較例に係る電力増幅回路の ACLR 特性を合わせて表示している。図 5 では、実線 c 1 が実施形

態 1 に係る電力増幅回路 1 の A C L R 特性を示し、破線 c 2 が比較例に係る電力増幅回路の A C L R 特性を示している。また、図 5 における「U T R A 1」は、5 M H z 離調での漏洩電力比を示している。ここで、図 5 では、高周波信号（送信信号）の帯域幅は、例えば、6 0 M H z である。

[0073] 実施形態 1 に係る電力増幅回路 1 では、第 1 増幅素子 1 1 1 に第 1 電源電圧 V 1 を印加し、第 2 増幅素子 1 1 2 に第 2 電源電圧 V 2 を印加しており、実線 c 1 に示すように、漏洩電力比 U T R A 1 が変化する。具体的には、実施形態 1 に係る電力増幅回路 1 では、出力電力が 2 3 d B m 以下の範囲で U T R A 1 が - 4 5 d B c よりも小さくなっており、出力電力が 2 3 d B m よりも大きい範囲で U T R A 1 が - 4 5 d B c よりも大きくなっている。

[0074] 一方、比較例に係る電力増幅回路では、第 1 増幅素子 1 1 1 に第 1 電源電圧 V 1 を印加しており、破線 c 2 に示すように、漏洩電力比 U T R A 1 が変化する。具体的には、比較例に係る電力増幅回路では、出力電力が 1 5 d B m 以下の範囲で U T R A 1 が - 4 5 d B c 程度であり、出力電力が 1 5 d B m よりも大きい範囲で U T R A 1 が - 4 5 d B c よりも大きくなっている。

[0075] すなわち、実施形態 1 に係る電力増幅回路 1 によれば、比較例に係る電力増幅回路に比べて、U T R A 1 が - 4 5 d B c 以下となる出力電力の範囲を広くすることができる。言い換えると、実施形態 1 に係る電力増幅回路 1 によれば、広範囲の出力電力に対して U T R A 1 を - 4 5 d B c 以下に抑えることができる。

[0076] （7）効果

以上説明したように、実施形態 1 に係る電力増幅回路 1 では、第 1 増幅素子 1 1 1 が E T 端子 1 0 1 に接続され、第 2 増幅素子 1 1 2 が A P T 端子 1 0 2 に接続されている。また、実施形態 1 に係る電力増幅回路 1 では、第 1 増幅素子 1 1 1 と第 2 増幅素子 1 1 2 とが互いに並列に接続されている。そのため、最終段の増幅部 1 1 から出力される合成電力を第 1 増幅素子 1 1 1 と第 2 増幅素子 1 1 2 とで二分することができ、これにより第 1 増幅素子 1 1 1 に印加される電圧（第 1 電源電圧 V 1）の振幅を小さくすることが可能

となる。その結果、第1増幅素子111の応答性の低下を抑制することができ、電力増幅回路1の更なる高速動作が可能になる。

[0077] また、実施形態1に係る電力増幅回路1では、最終段の増幅部11とフィルタ回路4との間にトランス140を備えている。これにより、高周波信号の帯域幅を広くすることができる。

[0078] (8) 変形例

実施形態1は、本発明の様々な実施形態の一つに過ぎない。実施形態1は、本発明の目的を達成できれば、設計等に応じて種々の変更が可能である。以下、実施形態1の変形例について説明する。

[0079] (8.1) 変形例1

実施形態1では、最終段の増幅部11とアンテナ端子72との間に合成回路14を備えているが、合成回路14は省略されていてもよい。また、実施形態1では、ドライバ段の増幅部12と最終段の増幅部11との間に分波器13を備えているが、分波器13についても省略されていてもよい。以下、変形例1に係る電力増幅回路1a及び高周波回路7aについて、図6を参照して説明する。なお、第1電源回路2及び第2電源回路3については、実施形態1に係る高周波回路7と同様であり、ここでは説明を省略する。

[0080] 変形例1に係る高周波回路7aは、図6に示すように、電力増幅回路1aと、第1電源回路2と、第2電源回路3と、を備えている。また、変形例1では、高周波回路7aは、信号入力端子71、アンテナ端子72と、フィルタ回路(図示せず)と、を更に備えている。

[0081] (8.1.1) 電力増幅回路の各構成要素

次に、変形例1に係る電力増幅回路1aの各構成要素について、図6を参照して説明する。

[0082] 変形例1に係る電力増幅回路1aは、図6に示すように、複数段(図示例では2段)の増幅部10aと、ET端子101と、APT端子102と、を備えている。複数段の増幅部10aは、最終段の増幅部11aと、ドライバ段の増幅部12aと、を含んでいる。また、変形例1では、電力増幅回路1

aは、複数（図示例では3つ）の整合回路161, 162, 163を更に備えている。

[0083] (8. 1. 1. 1) 最終段の増幅部

最終段の増幅部11aは、図6に示すように、第1増幅素子111と、第2増幅素子112と、を有している。また、変形例1では、最終段の増幅部11aは、複数（図示例では2つ）のキャパシタ113, 114と、複数（図示例では2つ）の整合回路115, 116と、を更に有している。

[0084] 整合回路115は、最終段の増幅部11aと後段のフィルタ回路（図示せず）との間のインピーダンスを整合させるための回路である。整合回路115は、第1増幅素子111とキャパシタ113との間に設けられている。

[0085] 整合回路116は、整合回路115と同様、最終段の増幅部11aと後段のフィルタ回路（図示せず）との間のインピーダンスを整合させるための回路である。整合回路116は、第2増幅素子112とキャパシタ114との間に設けられている。

[0086] 整合回路115, 116の各々は、例えば、複数のインダクタ（図示せず）及び複数のキャパシタ（図示せず）を含む。なお、整合回路115, 116の各々は、複数のインダクタ及び複数のキャパシタを含む構成であることに限定されず、例えば、複数のインダクタのみを含む構成であってもよいし、複数のキャパシタのみを含む構成であってもよい。あるいは、整合回路115, 116の各々は、1つのインダクタのみを含む構成であってもよいし、1つのキャパシタのみを含む構成であってもよい。

[0087] 変形例1に係る電力増幅回路1aでは、実施形態1に係る電力増幅回路1と同様、第1増幅素子111及び第2増幅素子112は、互いに並列に接続されており、差動増幅回路20aを構成している。第1増幅素子111は、E T端子101を介して第1電源回路2からの第1電源電圧V1が印加され、第2増幅素子112は、A P T端子102を介して第2電源回路3からの第2電源電圧V2が印加される。

[0088] (8. 1. 1. 2) ドライバ段の増幅部

ドライバ段の増幅部 1 2 a は、図 6 に示すように、増幅素子 1 2 1 と、キャパシタ 1 2 2 と、整合回路 1 2 3 と、を有している。

[0089] 整合回路 1 2 3 は、前段の R F 信号処理回路（図示せず）とドライバ段の増幅部 1 2 a との間のインピーダンスを整合させるための回路である。整合回路 1 2 3 は、増幅素子 1 2 1 とキャパシタ 1 2 2 との間に設けられている。

[0090] 整合回路 1 2 3 は、例えば、複数のインダクタ（図示せず）及び複数のキャパシタ（図示せず）を含む。なお、整合回路 1 2 3 は、複数のインダクタ及び複数のキャパシタを含む構成であることに限定されず、例えば、複数のインダクタのみを含む構成であってもよいし、複数のキャパシタのみを含む構成であってもよい。あるいは、整合回路 1 2 3 は、1 つのインダクタのみを含む構成であってもよいし、1 つのキャパシタのみを含む構成であってもよい。

[0091] （8. 1. 1. 3）整合回路

整合回路 1 6 1 は、ドライバ段の増幅部 1 2 a と最終段の増幅部 1 1 a との間のインピーダンスを整合させるための回路である。整合回路 1 6 1 は、ドライバ段の増幅部 1 2 a の増幅素子 1 2 1 と最終段の増幅部 1 1 a の第 1 増幅素子 1 1 1 との間に設けられている。

[0092] 整合回路 1 6 2 は、整合回路 1 6 1 と同様、ドライバ段の増幅部 1 2 a と最終段の増幅部 1 1 a との間のインピーダンスを整合させるための回路である。整合回路 1 6 2 は、ドライバ段の増幅部 1 2 a の増幅素子 1 2 1 と最終段の増幅部 1 1 a の第 2 増幅素子 1 1 2 との間に設けられている。

[0093] 整合回路 1 6 3 は、最終段の増幅部 1 1 a と後段のフィルタ回路（図示せず）との間のインピーダンスを整合させるための回路である。整合回路 1 6 3 は、最終段の増幅部 1 1 a のキャパシタ 1 1 3, 1 1 4 とフィルタ回路の入力端との間に設けられている。

[0094] 整合回路 1 6 1, 1 6 2, 1 6 3 の各々は、例えば、複数のインダクタ（図示せず）及び複数のキャパシタ（図示せず）を含む。なお、整合回路 1 6

1, 162, 163の各々は、複数のインダクタ及び複数のキャパシタを含む構成であることに限定されず、例えば、複数のインダクタのみを含む構成であってもよいし、複数のキャパシタのみを含む構成であってもよい。あるいは、整合回路161, 162, 163の各々は、1つのインダクタのみを含む構成であってもよいし、1つのキャパシタのみを含む構成であってもよい。

[0095] 変形例1に係る電力増幅回路1aでは、実施形態1に係る電力増幅回路1と同様、第1増幅素子111がET端子101に接続され、第2増幅素子112がAPT端子102に接続されている。また、変形例1に係る電力増幅回路1aでは、第1増幅素子111と第2増幅素子112とが互いに並列に接続されている。そのため、最終段の増幅部11aから出力される合成電力を第1増幅素子111と第2増幅素子112とで二分することができ、これにより第1増幅素子111に印加される電圧（第1電源電圧V1）の振幅を小さくすることが可能となる。その結果、第1増幅素子111の応答性の低下を抑制することができ、電力増幅回路1の更なる高速動作が可能になる。

[0096] (8.2) その他の変形例

以下、その他の変形例について列挙する。

[0097] 実施形態1及び変形例1では、増幅部の段数が2段であるが、3段以上であってもよく、例えば、ドライバ段の増幅部12, 12aと最終段の増幅部11, 11aとの間に別の増幅部が設けられていてもよい。

[0098] また、実施形態1及び変形例1では、第1増幅素子111、第2増幅素子112及び増幅素子121の各々は、npn型のバイポーラトランジスタを含んでいるが、例えば、pnp型のバイポーラトランジスタを含んでいてもよい。あるいは、第1増幅素子111、第2増幅素子112及び増幅素子121の各々は、MOSFET (Metal Oxide Field-Effect Transistor) のような電界効果型トランジスタを含んでいてもよい。この場合、第1増幅素子111、第2増幅素子112及び増幅素子121の各々のサイズは、各増幅素子を構成するMOSFETのゲート幅によって決まる。例えば、第1増幅

素子 1 1 1 のサイズと第 2 増幅素子 1 1 2 のサイズとが同じである場合、第 1 増幅素子 1 1 1 を構成する MOSFET のゲート幅と第 2 増幅素子 1 1 2 を構成する MOSFET のゲート幅とが同じになる。

[0099] また、実施形態 1 及び変形例 1 では、フィルタ回路 4 は、弾性表面波を利用する弾性波フィルタであるが、これに限らず、例えば、弾性境界波、板波等を利用する弾性波フィルタであってもよい。

[0100] また、弾性波フィルタでは、複数の直列腕共振子及び複数の並列腕共振子の各々は、SAW 共振子に限らず、例えば、BAW (Bulk Acoustic Wave) 共振子であってもよい。

[0101] また、実施形態 1 及び変形例 1 では、高周波回路 7, 7 a は、電力増幅回路 1, 1 a 及びフィルタ回路 4 を含む送信回路のみを備えているが、アンテナ端子 7 2 から入力される受信信号を増幅するローノイズアンプ及びローノイズアンプに接続されるフィルタ回路を含む受信回路を備えていてもよい。さらに、フィルタ回路 4 は、送信フィルタに限らず、デュプレクサであってもよい。

[0102] 実施形態 1 及び変形例 1 では、第 1 電源回路 2 は、第 2 電源回路 3 から電圧情報を取得しているが、これに限定されない。第 1 電源回路 2 は、例えば、所定期間ごとに高周波信号の平均電力振幅を算出し、算出した平均電力振幅に応じて第 2 電源電圧 V 2 の振幅を算出してもよい。

[0103] 実施形態 1 及び変形例 1 では、第 1 増幅素子 1 1 1 のサイズと第 2 増幅素子 1 1 2 のサイズとが同じであるが、これに限らない。例えば、第 1 増幅素子 1 1 1 のサイズが第 2 増幅素子 1 1 2 のサイズよりも大きいてもよいし、第 1 増幅素子 1 1 1 のサイズが第 2 増幅素子 1 1 2 のサイズよりも小さくてもよい。第 1 増幅素子 1 1 1 のサイズが第 2 増幅素子 1 1 2 のサイズよりも大きい場合には、消費電力を削減することができる。また、第 1 増幅素子 1 1 1 のサイズが第 2 増幅素子 1 1 2 のサイズよりも小さい場合には、応答性がよくなる（速くなる）。

[0104] (実施形態 2)

実施形態 2 に係る電力増幅回路 1 b 及び高周波回路 7 b について、図 7 及び図 8 を参照して説明する。実施形態 2 に係る電力変換回路 1 b 及び高周波回路 7 b に関し、実施形態 1 に係る電力変換回路 1 及び高周波回路 7 と同様の構成要素については、同一の符号を付して説明を省略する。

[0105] (1) 電力増幅回路及び高周波回路の構成

実施形態 2 に係る高周波回路 7 b は、図 7 に示すように、電力増幅回路 1 b と、第 1 電源回路 2 と、第 2 電源回路 3 と、フィルタ回路 4 (図 2 参照) と、を備えている。なお、第 1 電源回路 2、第 2 電源回路 3 及びフィルタ回路 4 については、上述の実施形態 1 に係る高周波回路 7 と同様であり、ここでは説明を省略する。

[0106] 実施形態 2 に係る電力増幅回路 1 b は、図 7 に示すように、ドライバ段の増幅部 1 2 と、最終段の増幅部 1 1 b と、分波器 1 3 と、合成回路 1 4 と、を備えている。

[0107] ドライバ段の増幅部 1 2 は、増幅素子 1 2 1 と、キャパシタ 1 2 2 と、を有している。増幅素子 1 2 1 は、例えば、n p n 型のバイポーラトランジスタである。増幅素子 1 2 1 は、信号処理回路 5 の R F 信号処理回路 5 1 (図 2 参照) からの高周波信号を増幅する。

[0108] 増幅素子 1 2 1 は、ベース端子、コレクタ端子及びエミッタ端子を有している。増幅素子 1 2 1 は、ベース端子に入力される高周波信号を増幅してコレクタ端子から出力する。エミッタ端子は、グラウンドに接続されている。言い換えると、エミッタ端子は、直接又は間接的にグラウンドに接続されている。つまり、エミッタ端子は、接地されている (エミッタ接地)。コレクタ端子は、分波器 1 3 のトランス 1 3 0 の一次巻線 1 3 1 の第 1 端に電氣的に接続されている。トランス 1 3 0 の一次巻線 1 3 1 の第 2 端は、A P T 端子 1 0 2 を介して第 2 電源回路 3 に接続されている。さらに、ベース端子は、キャパシタ 1 2 2 を介して信号入力端子 7 1 に電氣的に接続されている。キャパシタ 1 2 2 は、増幅素子 1 2 1 に入力される D C 成分をカットする D C カット用のキャパシタである。

[0109] 最終段の増幅部 1 1 b は、第 1 増幅素子 1 1 1 と、第 2 増幅素子 1 1 2 と、を有している。また、最終段の増幅部 1 1 b は、複数（例えば、5 つ）のキャパシタ 1 1 3, 1 1 4, 1 1 8, 1 1 9, 1 2 0 を更に有している。また、最終段の増幅部 1 1 b は、位相調整回路 1 1 7 を更に有している。第 1 増幅素子 1 1 1 及び第 2 増幅素子 1 1 2 の各々は、例えば、n p n 型のバイポーラトランジスタである。また、第 1 増幅素子 1 1 1 は、例えば、C 級アンプである。第 2 増幅素子 1 1 2 は、例えば、A B 級アンプである。

[0110] 第 1 増幅素子 (Peaking Amplifier/Aux Amplifier) 1 1 1 は、第 1 ベース端子、第 1 コレクタ端子及び第 1 エミッタ端子を有している。第 1 増幅素子 1 1 1 は、第 1 ベース端子に入力される第 1 信号（高周波信号）を増幅して、第 1 コレクタ端子から第 1 増幅信号を出力する。第 1 エミッタ端子は、グラウンドに接続されている。言い換えると、第 1 エミッタ端子は、直接又は間接的にグラウンドに接続されている。つまり、第 1 エミッタ端子は、接地されている（エミッタ接地）。第 1 コレクタ端子は、E T 端子 1 0 1 を介して第 1 電源回路 2 に接続されて第 1 電源電圧 V 1 が印加（供給）される。また、第 1 コレクタ端子は、キャパシタ 1 1 3 及び位相調整回路 1 1 7 を介して、合成回路 1 4 のトランス 1 4 0 の一次巻線 1 4 1 の第 1 端に接続されている。さらに、第 1 ベース端子は、キャパシタ 1 1 8 を介して分波器 1 3 のトランス 1 3 0 の二次巻線 1 3 2 の第 1 端に接続されている。キャパシタ 1 1 3 は、第 1 増幅素子 1 1 1 から出力される D C 成分をカットする D C カット用のキャパシタである。キャパシタ 1 1 8 は、第 1 増幅素子 1 1 1 に入力される D C 成分をカットする D C カット用のキャパシタである。

[0111] 第 2 増幅素子 (Main Amplifier/Carrier Amplifier) 1 1 2 は、第 2 ベース端子、第 2 コレクタ端子及び第 2 エミッタ端子を有している。第 2 増幅素子 1 1 2 は、第 2 ベース端子に入力される第 2 信号（高周波信号）を増幅して、第 2 コレクタ端子から第 2 増幅信号を出力する。第 2 エミッタ端子は、グラウンドに接続されている。言い換えると、第 2 エミッタ端子は、直接又は間接的にグラウンドに接続されている。つまり、第 2 エミッタ端子は、接地さ

れている（エミッタ接地）。第2コレクタ端子は、A P T端子102を介して第2電源回路3に接続されて第2電源電圧V2が印加（供給）される。また、第2コレクタ端子は、キャパシタ114を介してトランス140の一次巻線141の第2端に接続されている。さらに、第2ベース端子は、キャパシタ119を介してトランス130の二次巻線132の第2端に接続されている。キャパシタ114は、第2増幅素子112から出力されるDC成分をカットするDCカット用のキャパシタである。キャパシタ119は、第2増幅素子112に入力されるDC成分をカットするDCカット用のキャパシタである。

[0112] 実施形態2に係る電力増幅回路1bでは、図7に示すように、第1増幅信号が通る第1信号経路R1と第2増幅信号が通る第2信号経路R2とは、合成回路14のトランス140の一次巻線141を介して互いに接続されている。また、実施形態2に係る電力増幅回路1bでは、位相調整回路117は、第1信号経路R1に設けられている。したがって、実施形態2に係る電力増幅回路1bでは、第1信号経路R1が特定信号経路である。

[0113] 分波器13は、図7に示すように、トランス130を含む。トランス130は、一次巻線131と、二次巻線132と、を有している。一次巻線131の第1端は、上述したように、増幅素子121のコレクタ端子に接続されている。一次巻線131の第2端は、上述したように、A P T端子102を介して第2電源回路3に接続されている。二次巻線132の第1端は、上述したように、キャパシタ118を介して第1増幅素子111の第1ベース端子に接続されている。二次巻線132の第2端は、上述したように、キャパシタ119を介して第2増幅素子112の第2ベース端子に接続されている。さらに、二次巻線132の両端間には、キャパシタ120が接続されている。分波器13は、ドライバ段の増幅部12を介して入力される高周波の入力信号を、第1信号と第2信号とに分配する。第1信号と第2信号とは、互いに位相が異なる信号である。上述したように、第1信号は第1増幅素子111に入力され、第2信号は第2増幅素子112に入力される。

[0114] 合成回路14は、図7に示すように、トランス140を含む。トランス140は、一次巻線141と、二次巻線142と、を有している。一次巻線141の第1端は、上述したように、キャパシタ113及び位相調整回路117を介して、第1増幅素子111の第1コレクタ端子に接続されている。一次巻線141の第2端は、上述したように、キャパシタ114を介して第2増幅素子112の第2コレクタ端子に接続されている。二次巻線142の第1端は、グランドに接続されている。また、二次巻線142の第2端は、キャパシタ134を介してアンテナ端子72に接続されている。キャパシタ134は、アンテナ端子72に入力されるDC成分をカットするDCカット用のキャパシタである。合成回路14は、第1増幅素子111から出力される第1増幅信号と、第2増幅素子112から出力される第2増幅素子と、を合成する。これにより、アンテナ端子72に入力される信号を更に増幅することが可能となる。

[0115] 位相調整回路117は、例えば、 $\lambda/4$ 線路を含む。位相調整回路117は、第1信号経路R1を通る第1増幅信号の位相を調整する。より具体的には、位相調整回路117は、第1増幅信号の位相を $90^\circ$ 遅らせる。ここで、「 $\lambda$ 」は、第1増幅素子111及び第2増幅素子112から出力される高周波信号（第1増幅信号及び第2増幅信号）の波長である。

[0116] (2) 電力増幅回路の動作

次に、実施形態2に係る電力増幅回路1bの動作について説明する。

[0117] (2.1) 第1動作

電力増幅回路1bの第1動作時には、第1増幅素子111及び第2増幅素子112の両方が動作している。このとき、第1増幅素子111に入力される第1信号の電力レベルは、基準電力レベル以上になっている。「基準電力レベル」は、例えば、第1増幅素子111の出力電力と第2増幅素子112の出力電力とが同じである場合に、第2増幅素子112への入力電力の略2倍の電力で規定される。また、「基準電力レベル」は、例えば、第1増幅素子111及び第2増幅素子112への入力電力を徐々に上げていった場合に

、第2増幅素子112が飽和してから第1増幅素子111が出力を開始するまでの電力で規定される。すなわち、第1増幅素子111は、第1増幅素子111に入力される第1信号の電力レベルが基準電力レベル以上になると、第1信号を増幅して第1増幅信号を出力する。一方、第2増幅素子112は、第2増幅素子112に入力される第2信号の電力レベルにかかわらず、第2信号を増幅して第2増幅信号を出力する。

[0118] ここで、第1増幅素子111のインピーダンスを $Z_1$ 、第2増幅素子112のインピーダンスを $Z_2$ と仮定する。また、第1増幅素子111及び第2増幅素子112の各々の出力電圧を $V_0$ 、トランス140の一次巻線141の両端電圧（以下、「一次電圧」という）を $V_{11}$ 、トランス140の二次巻線142の両端電圧（以下、「二次電圧」という）を $V_{21}$ と仮定する。また、一次巻線141に流れる電流（以下、「一次電流」という）を $i_{11}$ 、二次巻線142に流れる電流（以下、「二次電流」という）を $i_{21}$ と仮定する。また、一次巻線141と二次巻線142との巻き数比を、 $1:m$ と仮定する。

[0119] ここで、第1増幅素子111から出力される第1増幅信号（電圧信号）の位相と、第2増幅素子112から出力される第2増幅信号（電圧信号）の位相とは逆位相であるため、一次巻線141に印加される一次電圧 $V_{11}$ は、式（1）のようになる。

[数1]

$$V_{11} = 2 \times V_0 \quad \dots (1)$$

[0120] したがって、二次巻線142に印加される二次電圧 $V_{21}$ は、式（2）のようになる。

[数2]

$$V_{21} = m \times V_{11} = 2 \times m \times V_0 \quad \dots (2)$$

[0121] また、二次巻線142に流れる二次電流 $i_{21}$ は、式（3）のようになる。

[数3]

$$i_{21} = \frac{1}{m} \times i_{11} \quad \dots (3)$$

[0122] ここで、二次巻線 1 4 2 に接続されている負荷の抵抗値を  $R_L$  とした場合、抵抗値  $R_L$  は、式 (4) のようになる。

[数4]

$$R_L = \frac{V_{21}}{i_{21}} = \frac{2 \times m \times V_0}{\frac{1}{m} \times i_{11}} = \frac{2 \times m^2 \times V_0}{i_{11}} \quad \dots (4)$$

[0123] したがって、第 1 動作時では、第 1 増幅素子 1 1 1 のインピーダンス  $Z_1$  及び第 2 増幅素子 1 1 2 のインピーダンス  $Z_2$  の各々は、式 (5) のようになる。

[数5]

$$Z_1 = Z_2 = \frac{V_0}{i_{11}} = V_0 \times \frac{R_L}{2 \times m^2 \times V_0} = \frac{R_L}{2 \times m^2} \quad \dots (5)$$

[0124] 第 1 動作時では、第 1 増幅素子 1 1 1 のインピーダンス  $Z_1$  及び第 2 増幅素子 1 1 2 のインピーダンス  $Z_2$  の各々は低く、例えば、 $5 \Omega \sim 10 \Omega$  である。

[0125] (2. 2) 第 2 動作

電力増幅回路 1 b の第 2 動作時には、第 1 増幅素子 1 1 1 への入力電力が小さくなり、第 1 増幅素子 1 1 1 の出力電力が 0 に近づく。実施形態 2 に係る電力増幅回路 1 b では、第 1 増幅素子 1 1 1 が接続されている第 1 信号経路 R 1 に  $\lambda/4$  線路 (位相調整回路 1 1 7) が設けられているため、トランス 1 4 0 の一次巻線 1 4 1 の第 1 端はショートになる。このとき、第 1 増幅素子 1 1 1 は、第 1 増幅素子 1 1 1 のインピーダンス  $Z_1$  が常に大きくなっているため、第 1 信号経路 R 1 から切り離された状態になる。

[0126] このとき、一次巻線 1 4 1 に印加される一次電圧  $V_{11}$  は、式 (6) のようになる。

[数6]

$$V_{11} = V_0 \quad \dots (6)$$

[0127] したがって、二次巻線 1 4 2 に印加される二次電圧  $V_{21}$  は、式 (7) のようになる。

[数7]

$$V_{21} = m \times V_{11} = m \times V_0 \quad \dots (7)$$

[0128] 二次電流  $i_{21}$  については第1動作時と同じであるため、二次巻線142に接続されている負荷の抵抗値  $R_L$  は、式(8)のようになる。

[数8]

$$R_L = \frac{V_{21}}{i_{21}} = \frac{m \times V_0}{\frac{1}{m} \times i_{11}} = \frac{m^2 \times V_0}{i_{11}} \quad \dots (8)$$

[0129] したがって、第2動作時には、第2増幅素子112のインピーダンス  $Z_2$  は、式(9)のようになる。

[数9]

$$Z_2 = \frac{V_0}{i_{11}} = V_0 \times \frac{R_L}{m^2 \times V_0} = \frac{R_L}{m^2} \quad \dots (9)$$

[0130] 要するに、第2動作時における第2増幅素子112のインピーダンス  $Z_2$  は、式(5)及び式(9)から、第1動作時における第2増幅素子112のインピーダンス  $Z_2$  の2倍になる。したがって、第2動作時には、第1動作時に比べて電力増幅回路1bの増幅効率を向上させることが可能となる。すなわち、実施形態2に係る電力増幅回路1bによれば、増幅効率の低下を抑制することが可能となる。

[0131] 図8は、電力増幅回路の出力電力と増幅効率との関係を示す特性図である。図8における実線d1は、実施形態2に係る電力増幅回路1bの特性を示している。また、図8における破線d2は、比較例に係るドハティ増幅回路の特性を示している。また、図8における一点鎖線d3は、第1増幅素子111及び第2増幅素子112の両方を第1電源回路2で動作させる場合の特性を示している。

[0132] 実施形態2に係る電力増幅回路1bでは、図8に示すように、第1増幅素子111及び第2増幅素子112の両方を第1電源回路2で動作させる場合と比較して、出力電力の全域(0dBm以上、33dBm以下の領域)にわ

たって増幅効率を向上させることが可能となる。また、実施形態2に係る電力増幅回路1bでは、比較例に係るドハティ増幅回路と比較して、出力電力が28dBm以上の領域において増幅効率を向上させることが可能となる。一方、実施形態2に係る電力増幅回路1bでは、比較例に係るドハティ増幅回路と比較して、出力電力が28dBmよりも小さい領域においては増幅効率がわずかに下回っている。

[0133] 実施形態2に係る電力増幅回路1bでは、位相調整回路117は、第1信号経路R1に設けられているが、これに限らない。位相調整回路117は、例えば、第2信号経路R2に設けられていてもよい。すなわち、第2信号経路R2が特定信号経路であってもよい。

[0134] (実施形態3)

実施形態3に係る電力増幅回路1c及び高周波回路7cについて、図9を参照して説明する。実施形態3に係る電力変換回路1c及び高周波回路7cに関し、実施形態1に係る電力変換回路1及び高周波回路7と同様の構成要素については、同一の符号を付して説明を省略する。

[0135] (1) 電力増幅回路及び高周波回路の構成

実施形態3に係る高周波回路7cは、図9に示すように、電力増幅回路1cと、第1電源回路2と、第2電源回路3と、フィルタ回路4(図2参照)と、を備えている。なお、第1電源回路2、第2電源回路3及びフィルタ回路4については、上述の実施形態1に係る高周波回路7と同様であり、ここでは説明を省略する。

[0136] 実施形態3に係る電力増幅回路1cは、図9に示すように、ドライバ段の増幅部12cと、最終段の増幅部11cと、複数(例えば、2つ)の分波器13A、13Bと、複数(例えば、2つ)の合成回路14A、14Bと、を備えている。また、実施形態3に係る電力増幅回路1cは、分波器17を更に備えている。以下の説明において、複数の分波器13A、13Bを区別して説明する場合には、複数の分波器13A、13Bをそれぞれ、第1分波器13A、第2分波器13Bと称することもある。また、以下の説明において

、複数の合成回路 14 A, 14 B を区別して説明する場合には、複数の合成回路 14 A, 14 B をそれぞれ、第 1 合成回路 14 A、第 2 合成回路 14 B と称することもある。

[0137] ドライバ段の増幅部 12 c は、複数（例えば、2 つ）の増幅素子 12 1, 12 4 と、複数（例えば、2 つ）のキャパシタ 12 2, 12 5 と、を有している。複数の増幅素子 12 1, 12 4 の各々は、例えば、npn 型のバイポーラトランジスタである。複数の増幅素子 12 1, 12 4 の各々は、信号処理回路 5 の RF 信号処理回路 5 1（図 2 参照）からの高周波信号を増幅する。

[0138] 複数の増幅素子 12 1, 12 4 の各々は、ベース端子、コレクタ端子及びエミッタ端子を有している。複数の増幅素子 12 1, 12 4 の各々は、ベース端子に入力される高周波信号を増幅してコレクタ端子から出力する。複数の増幅素子 12 1, 12 4 の各々のエミッタ端子は、グラウンドに接続されている。言い換えると、増幅素子 12 1, 12 4 の各々のエミッタ端子は、直接又は間接的にグラウンドに接続されている。つまり、増幅素子 12 1, 12 4 の各々のエミッタ端子は、接地されている（エミッタ接地）。増幅素子 12 1 のコレクタ端子は、第 2 分波器 13 B のトランス 13 0 の一次巻線 13 1 の第 1 端に接続されている。第 2 分波器 13 B のトランス 13 0 の一次巻線 13 1 の第 2 端は、APT 端子 10 2 を介して第 2 電源回路 3 に接続されている。また、増幅素子 12 1 のベース端子は、キャパシタ 12 2 及び分波器 17 のトランス 17 1 の一次巻線 17 1 1 を介して信号入力端子 7 1 に接続されている。増幅素子 12 4 のコレクタ端子は、第 1 分波器 13 A のトランス 13 0 の一次巻線 13 1 の第 1 端に接続されている。第 1 分波器 13 A のトランス 13 0 の一次巻線 13 1 の第 2 端は、APT 端子 10 2 を介して第 2 電源回路 3 に接続されている。また、増幅素子 12 4 のベース端子は、キャパシタ 12 5 及び分波器 17 のキャパシタ 17 2 を介して信号入力端子 7 1 に接続されている。キャパシタ 12 2 は、増幅素子 12 1 に入力される DC 成分をカットする DC カット用のキャパシタである。キャパシタ 12 5

は、増幅素子124に入力されるDC成分をカットするDCカット用のキャパシタである。

[0139] 最終段の増幅部11cは、第1増幅素子111と、第2増幅素子112と、を有している。また、最終段の増幅部11cは、第3増幅素子164と、第4増幅素子165と、を更に有している。また、最終段の増幅部11cは、複数（例えば、8つ）のキャパシタ135, 136, 137, 138, 143, 144, 145, 146を更に有している。また、最終段の増幅部11cは、複数（例えば、2つ）の位相調整回路117A, 117Bを更に有している。第1増幅素子111、第2増幅素子112、第3増幅素子164及び第4増幅素子165の各々は、例えば、npn型のバイポーラトランジスタである。また、第1増幅素子111及び第3増幅素子164の各々は、例えば、C級アンプである。第2増幅素子112及び第4増幅素子165の各々は、例えば、AB級アンプである。以下の説明において、複数の位相調整回路117A, 117Bを区別して説明する場合には、複数の位相調整回路117A, 117Bをそれぞれ、第1位相調整回路117A, 第2位相調整回路117Bと称することもある。

[0140] 第1増幅素子111は、第1ベース端子、第1コレクタ端子及び第1エミッタ端子を有している。第1増幅素子111は、第1ベース端子に入力される第1信号（高周波信号）を増幅して、第1コレクタ端子から第1増幅信号を出力する。第1エミッタ端子は、グラウンドに接続されている。言い換えると、第1エミッタ端子は、直接又は間接的にグラウンドに接続されている。つまり、第1エミッタ端子は、接地されている（エミッタ接地）。第1コレクタ端子は、第1位相調整回路117Aを介して、第1合成回路14Aのトランス140の一次巻線141の第1端に接続されている。さらに、第1ベース端子は、キャパシタ136を介して、第1分波器13Aのトランス130の二次巻線132の第1端に接続されている。キャパシタ136は、第1増幅素子111に入力されるDC成分をカットするDCカット用のキャパシタである。

[0141] 第2増幅素子112は、第2ベース端子、第2コレクタ端子及び第2エミッタ端子を有している。第2増幅素子112は、第2ベース端子に入力される第2信号（高周波信号）を増幅して、第2コレクタ端子から第2増幅信号を出力する。第2エミッタ端子は、グラウンドに接続されている。言い換えると、第2エミッタ端子は、直接又は間接的にグラウンドに接続されている。つまり、第2エミッタ端子は、接地されている（エミッタ接地）。第2コレクタ端子は、第2合成回路14Bのトランス140の一次巻線141の第1端に接続されている。さらに、第2ベース端子は、キャパシタ144を介して、第2分波器13Bのトランス130の二次巻線132の第1端に接続されている。キャパシタ144は、第2増幅素子112に入力されるDC成分をカットするDCカット用のキャパシタである。

[0142] 第3増幅素子164は、第3ベース端子、第3コレクタ端子及び第3エミッタ端子を有している。第3増幅素子164は、第3ベース端子に入力される第3信号（高周波信号）を増幅して、第3コレクタ端子から第3増幅信号を出力する。第3エミッタ端子は、グラウンドに接続されている。言い換えると、第3エミッタ端子は、直接又は間接的にグラウンドに接続されている。つまり、第3エミッタ端子は、接地されている（エミッタ接地）。第3コレクタ端子は、第2位相調整回路117Bを介して、第1合成回路14Aのトランス140の一次巻線141の第2端に接続されている。さらに、第3ベース端子は、キャパシタ137を介して、第1分波器13Aのトランス130の二次巻線132の第2端に接続されている。キャパシタ137は、第3増幅素子164に入力されるDC成分をカットするDCカット用のキャパシタである。実施形態3に係る電力増幅回路1cでは、第3増幅素子164は、第1増幅素子111と並列に接続されている。そして、第1増幅素子111の第1コレクタ端子と第3増幅素子164の第3コレクタ端子との間には、キャパシタ135が接続されている。

[0143] 第4増幅素子165は、第4ベース端子、第4コレクタ端子及び第4エミッタ端子を有している。第4増幅素子165は、第4ベース端子に入力され

る第4信号（高周波信号）を増幅して、第4コレクタ端子から第4増幅信号を出力する。第4エミッタ端子は、グラウンドに接続されている。言い換えると、第4エミッタ端子は、直接又は間接的にグラウンドに接続されている。つまり、第4エミッタ端子は、接地されている（エミッタ接地）。第4コレクタ端子は、第2合成回路14Bのトランス140の一次巻線141の第2端に接続されている。さらに、第4ベース端子は、キャパシタ145を介して、第2分波器13Bのトランス130の二次巻線132の第2端に接続されている。キャパシタ145は、第4増幅素子165に入力されるDC成分をカットするDCカット用のキャパシタである。実施形態3に係る電力増幅回路1cでは、第4増幅素子165は、第2増幅素子112と並列に接続されている。そして、第2増幅素子112の第2コレクタ端子と第4増幅素子165の第4コレクタ端子との間には、キャパシタ143が接続されている。

[0144] 実施形態3に係る電力増幅回路1cでは、図9に示すように、第1増幅信号が通る第1信号経路R1と第3増幅信号が通る第3信号経路R3とは、第1合成回路14Aのトランス140の一次巻線141を介して互いに接続されている。また、実施形態3に係る電力増幅回路1cでは、図9に示すように、第2増幅信号が通る第2信号経路R2と第4増幅信号が通る第4信号経路R4とは、第2合成回路14Bのトランス140の一次巻線141を介して互いに接続されている。また、実施形態3に係る電力増幅回路1cでは、第1位相調整回路117Aは、第1信号経路R1に設けられている。また、実施形態3に係る電力増幅回路1cでは、第2位相調整回路117Bは、第3信号経路R3に設けられている。したがって、実施形態3に係る電力増幅回路1cでは、第1信号経路R1が第1特定信号経路であり、第3信号経路R3が第2特定信号経路である。

[0145] ここで、実施形態3に係る電力増幅回路1cでは、ドライバ段の増幅部12cを構成する2つの増幅素子121, 124は、互いに並列に接続されている。したがって、第1分波器13A及び第2分波器13Bを介して2つの増幅素子121, 124にそれぞれ接続されている第1増幅素子111及び

第2増幅素子112についても、互いに並列に接続されていることとする。また、第1分波器13A及び第2分波器13Bを介して2つの増幅素子121、124にそれぞれ接続されている第3増幅素子164及び第4増幅素子165についても同様である。

[0146] 第1分波器13Aは、図9に示すように、トランス130を含む。トランス130は、一次巻線131と、二次巻線132と、を有している。一次巻線131の第1端は、上述したように、増幅素子124のコレクタ端子に接続されている。一次巻線131の第2端は、上述したように、APT端子102を介して第2電源回路3に接続されている。二次巻線132の第1端は、上述したように、キャパシタ137を介して第3増幅素子164の第3ベース端子に接続されている。二次巻線132の第2端は、上述したように、キャパシタ136を介して第1増幅素子111の第1ベース端子に接続されている。さらに、二次巻線132の両端間には、キャパシタ138が接続されている。第1分波器13Aは、ドライバ段の増幅部12cの増幅素子124を介して入力される高周波の第1入力信号を、第1信号と第3信号とに分配する。第1信号と第3信号とは、互いに位相が異なる信号である。上述したように、第1信号は第1増幅素子111に入力され、第3信号は第3増幅素子164に入力される。

[0147] 第2分波器13Bは、図9に示すように、トランス130を含む。トランス130は、一次巻線131と、二次巻線132と、を有している。一次巻線131の第1端は、上述したように、増幅素子121のコレクタ端子に接続されている。一次巻線131の第2端は、上述したように、APT端子102を介して第2電源回路3に接続されている。二次巻線132の第1端は、上述したように、キャパシタ145を介して第4増幅素子165の第4ベース端子に接続されている。二次巻線132の第2端は、上述したように、キャパシタ144を介して第2増幅素子112の第2ベース端子に接続されている。さらに、二次巻線132の両端間には、キャパシタ146が接続されている。第2分波器13Bは、ドライバ段の増幅部12cの増幅素子12

1を介して入力される高周波の第2入力信号を、第2信号と第4信号とに分配する。第2信号と第4信号とは、互いに位相が異なる信号である。上述したように、第2信号は第2増幅素子112に入力され、第4信号は第4増幅素子165に入力される。

[0148] 第1合成回路14Aは、図9に示すように、トランス140を含む。トランス140は、一次巻線141と、二次巻線142と、を有している。一次巻線141の第1端（第3信号経路R3側の端部）は、上述したように、第2位相調整回路117Bを介して、第3増幅素子164の第3コレクタ端子に接続されている。一次巻線141の第2端（第1信号経路R1側の端部）は、上述したように、第1位相調整回路117Aを介して、第1増幅素子111の第1コレクタ端子に接続されている。二次巻線142の第1端は、グランドに接続されている。また、二次巻線142の第2端は、第2合成回路14Bのトランス140の一次巻線141の第1端に接続されている。また、一次巻線141の midpoint M1は、ET端子101を介して第1電源回路2に接続されている。第1合成回路14Aは、第1増幅素子111から出力される第1増幅信号と、第3増幅素子164から出力される第3増幅素子と、を合成する。これにより、アンテナ端子72に向けて出力される信号を更に増幅することが可能となる。

[0149] 第2合成回路14Bは、図9に示すように、トランス140を含む。トランス140は、一次巻線141と、二次巻線142と、を有している。一次巻線141の第1端（第4信号経路R4側の端部）は、上述したように、第4増幅素子165の第4コレクタ端子に接続されている。一次巻線141の第2端（第2信号経路R2側の端部）は、上述したように、第2増幅素子112の第2コレクタ端子に接続されている。二次巻線142の第1端は、上述したように、第1合成回路14Aのトランス140の二次巻線142の第2端に接続されている。また、二次巻線142の第2端は、キャパシタ134を介してアンテナ端子72に接続されている。キャパシタ134は、アンテナ端子72に入力されるDC成分をカットするDCカット用のキャパシタ

である。また、一次巻線141の midpoint M2は、APT端子102を介して第2電源回路3に接続されている。第2合成回路14Bは、第2増幅素子112から出力される第2増幅信号と、第4増幅素子165から出力される第4増幅素子と、を合成する。これにより、アンテナ端子72に向けて出力される信号を更に増幅することが可能となる。

[0150] 第1位相調整回路117Aは、例えば、 $\lambda/4$ 線路を含む。第1位相調整回路117Aは、第1信号経路R1を通る第1増幅信号の位相を調整する。より具体的には、第1位相調整回路117Aは、第1増幅信号の位相を $90^\circ$ 遅らせる。

[0151] 第2位相調整回路117Bは、例えば、 $\lambda/4$ 線路を含む。第2位相調整回路117Bは、第3信号経路R3を通る第3増幅信号の位相を調整する。より具体的には、第2位相調整回路117Bは、第3増幅信号の位相を $90^\circ$ 遅らせる。

[0152] 分波器17は、トランス171と、複数（例えば、2つ）のキャパシタ172、173と、抵抗器174と、を有している。トランス171は、一次巻線1711と、二次巻線1712と、を有している。一次巻線1711の第1端は、信号入力端子71に接続されている。一次巻線1711の第2端は、キャパシタ122を介して増幅素子121のベース端子に接続されている。二次巻線1712の第1端は、キャパシタ125とキャパシタ172との接続点に接続されている。二次巻線1712の第2端は、キャパシタ173と抵抗器174との接続点に接続されている。また、キャパシタ173と抵抗器174とは、一次巻線1711及びキャパシタ122の接続点とグラウンドとの間において、互いに直列に接続されている。分波器17は、信号入力端子71を介して入力される信号を、互いに位相の異なる2つの信号に分配してドライバ段の増幅部12cに入力する。

[0153] (2) 電力増幅回路の動作

次に、実施形態3に係る電力増幅回路1cの動作について説明する。

[0154] (2.1) 第1動作

電力増幅回路 1 c の第 1 動作時には、第 1 増幅素子 1 1 1、第 2 増幅素子 1 1 2、第 3 増幅素子 1 6 4 及び第 4 増幅素子 1 6 5 の全てが動作している。このとき、第 1 増幅素子 1 1 1 に入力される第 1 信号の電力レベル、及び第 3 増幅素子 1 6 4 に入力される第 3 信号の電力レベルは、基準電力レベル以上になっている。すなわち、第 1 増幅素子 1 1 1 は、第 1 増幅素子 1 1 1 に入力される第 1 信号の電力レベルが基準電力レベル以上になると、第 1 信号を増幅して第 1 増幅信号を出力する。また、第 3 増幅素子 1 6 4 は、第 3 増幅素子 1 6 4 に入力される第 3 信号の電力レベルが基準電力レベル以上になると、第 3 信号を増幅して第 3 増幅信号を出力する。一方、第 2 増幅素子 1 1 2 は、第 2 増幅素子 1 1 2 に入力される第 2 信号の電力レベルにかかわらず、第 2 信号を増幅して第 2 増幅信号を出力する。また、第 4 増幅素子 1 6 5 は、第 4 増幅素子 1 6 5 に入力される第 4 信号の電力レベルにかかわらず、第 4 信号を増幅して第 4 増幅信号を出力する。

[0155] ここで、第 1 増幅素子 1 1 1 のインピーダンスを  $Z_1$ 、第 2 増幅素子 1 1 2 のインピーダンスを  $Z_2$ 、第 3 増幅素子 1 6 4 のインピーダンスを  $Z_3$ 、第 4 増幅素子 1 6 5 のインピーダンスを  $Z_4$  と仮定する。また、第 1 増幅素子 1 1 1、第 2 増幅素子 1 1 2、第 3 増幅素子 1 6 4 及び第 4 増幅素子 1 6 5 の各々の出力電圧を  $V_0$ 、第 1 合成回路 1 4 A 及び第 2 合成回路 1 4 B の各々のトランス 1 4 0 の一次巻線 1 4 1 の両端電圧（以下、「一次電圧」という）を  $V_{11}$ 、第 1 合成回路 1 4 A 及び第 2 合成回路 1 4 B の各々のトランス 1 4 0 の二次巻線 1 4 2 の両端電圧（以下、「二次電圧」という）を  $V_{21}$  と仮定する。また、第 1 合成回路 1 4 A 及び第 2 合成回路 1 4 B の各々の一次巻線 1 4 1 に流れる電流（以下、「一次電流」という）を  $i_{11}$ 、第 1 合成回路 1 4 A 及び第 2 合成回路 1 4 B の各々の二次巻線 1 4 2 に流れる電流（以下、「二次電流」という）を  $i_{21}$  と仮定する。また、第 1 合成回路 1 4 A 及び第 2 合成回路 1 4 B の各々において、一次巻線 1 4 1 と二次巻線 1 4 2 との巻き数比を、 $1 : m$  と仮定する。

[0156] ここで、第 1 増幅素子 1 1 1 から出力される第 1 増幅信号（電圧信号）の

位相と、第3増幅素子164から出力される第3増幅信号（電圧信号）の位相とが逆位相である。また、第2増幅素子112から出力される第2増幅信号（電圧信号）の位相と、第4増幅素子165から出力される位相とが逆相である。そのため、第1合成回路14A及び第2合成回路14Bの各々のトランス140の一次巻線141に印加される一次電圧 $V_{11}$ は、式(10)のようになる。

[数10]

$$V_{11} = 2 \times V_0 \quad \dots (10)$$

[0157] したがって、第1合成回路14A及び第2合成回路14Bの各々のトランス140の二次巻線142に印加される二次電圧 $V_{21}$ は、式(11)のようになる。

[数11]

$$V_{21} = m \times V_{11} = 2 \times m \times V_0 \quad \dots (11)$$

[0158] また、第1合成回路14A及び第2合成回路14Bの各々のトランス140の二次巻線142に流れる二次電流 $i_{21}$ は、式(12)のようになる。

[数12]

$$i_{21} = \frac{1}{m} \times i_{11} \quad \dots (12)$$

[0159] ここで、互いに直列に接続された第1合成回路14Aの二次巻線142及び第2合成回路14Bの二次巻線142に接続されている負荷の抵抗値を $R_L$ とした場合、抵抗値 $R_L$ は、式(13)のようになる。

[数13]

$$R_L = \frac{V_{21} + V_{21}}{i_{21}} = \frac{2 \times m \times V_0 + 2 \times m \times V_0}{\frac{1}{m} \times i_{11}} = \frac{4 \times m^2 \times V_0}{i_{11}} \quad \dots (13)$$

[0160] したがって、第1動作時には、第2増幅素子112のインピーダンス $Z_2$ 及び第4増幅素子165のインピーダンス $Z_4$ の各々は、式(14)のようになる。

[数14]

$$Z_2 = Z_4 = \frac{V_0}{i_{11}} = V_0 \times \frac{R_L}{4 \times m^2 \times V_0} = \frac{R_L}{4 \times m^2} \quad \dots (14)$$

[0161] 第1動作時には、第2増幅素子112のインピーダンス $Z_2$ 及び第4増幅素子165のインピーダンス $Z_4$ の各々は低く、例えば、 $5\Omega \sim 10\Omega$ である。

[0162] (2.2) 第2動作

電力増幅回路1cの第2動作時には、第1増幅素子111及び第3増幅素子164への入力電力が小さくなり、第1増幅素子111及び第3増幅素子164の出力電力が0に近づく。実施形態3に係る電力増幅回路1cでは、第1増幅素子111が接続されている第1信号経路R1には $\lambda/4$ 線路(第1位相調整回路117A)が設けられており、第3増幅素子164が接続されている第3信号経路R3には $\lambda/4$ 線路(第2位相調整回路117B)が設けられているため、第1合成回路14Aのトランス140の一次巻線141の両端はショートになる。このとき、第1増幅素子111は、第1増幅素子111のインピーダンス $Z_1$ が常に大きくなっているため、第1信号経路R1から切り離された状態になる。また、第3増幅素子164は、第3増幅素子164のインピーダンス $Z_3$ が常に大きくなっているため、第3信号経路R3から切り離された状態になる。

[0163] このとき、第2合成回路14Bのトランス140の一次巻線141に印加される一次電圧 $V_{11}$ は、式(15)のようになる。

[数15]

$$V_{11} = 2 \times V_0 \quad \dots (15)$$

[0164] したがって、第2合成回路14Bのトランス140の二次巻線142に印加される二次電圧 $V_{21}$ は、式(16)のようになる。

[数16]

$$V_{21} = m \times V_{11} = 2 \times m \times V_0 \quad \dots (16)$$

[0165] 第2合成回路14Bのトランス140の二次巻線142に流れる二次電流 $i_{21}$ については第1動作時と同じであるため、二次巻線142に接続されて

いる負荷の抵抗値  $R_L$  は、式 (17) のようになる。

[数17]

$$R_L = \frac{V_{21}}{i_{21}} = \frac{2 \times m \times V_0}{\frac{1}{m} \times i_{11}} = \frac{2 \times m^2 \times V_0}{i_{11}} \quad \dots (17)$$

[0166] したがって、第2動作時には、第2増幅素子112のインピーダンス  $Z_2$  及び第4増幅素子165のインピーダンス  $Z_4$  は、式 (18) のようになる。

[数18]

$$Z_2 = Z_4 = \frac{V_0}{i_{11}} = V_0 \times \frac{R_L}{2 \times m^2 \times V_0} = \frac{R_L}{2 \times m^2} \quad \dots (18)$$

[0167] 要するに、第2動作時における第2増幅素子112のインピーダンス  $Z_2$  は、式 (14) 及び式 (18) から、第1動作時における第2増幅素子112のインピーダンス  $Z_2$  の2倍になる。また、第2動作時における第4増幅素子165のインピーダンス  $Z_4$  は、式 (14) 及び式 (18) から、第1動作時における第4増幅素子165のインピーダンス  $Z_4$  の2倍になる。したがって、第2動作時には、第1動作時に比べて電力増幅回路1cの増幅効率を向上させることが可能となる。すなわち、実施形態3に係る電力増幅回路1cによれば、増幅効率の低下を抑制することが可能となる。

[0168] 実施形態3に係る電力増幅回路1cでは、第1位相調整回路117Aは、第1信号経路R1に設けられているが、これに限らない。第1位相調整回路117Aは、例えば、第2信号経路R2に設けられていてもよい。すなわち、第2信号経路R2が第1特定信号経路であってもよい。また、実施形態3に係る電力増幅回路1cでは、第2位相調整回路117Bは、第3信号経路R3に設けられているが、これに限らない。第2位相調整回路117Bは、例えば、第4信号経路R4に設けられていてもよい。すなわち、第4信号経路R4が第2特定信号経路であってもよい。

[0169] (実施形態4)

実施形態4に係る電力増幅回路1d及び高周波回路7dについて、図10を参照して説明する。実施形態4に係る電力変換回路1d及び高周波回路7

dに関し、実施形態1に係る電力変換回路1及び高周波回路7と同様の構成要素については、同一の符号を付して説明を省略する。

[0170] 実施形態4に係る高周波回路7dは、図10に示すように、電力増幅回路1dと、第1電源回路2と、第2電源回路3と、フィルタ回路4（図2参照）と、を備えている。なお、第1電源回路2、第2電源回路3及びフィルタ回路4については、上述の実施形態1に係る高周波回路7と同様であり、ここでは説明を省略する。

[0171] 実施形態4に係る電力増幅回路1dは、図10に示すように、ドライバ段の増幅部12（図1参照）と、最終段の増幅部11dと、出力整合回路15（図1参照）と、を備えている。なお、ドライバ段の増幅部12及び出力整合回路15については、上述の実施形態1に係る電力増幅回路1と同様であり、ここでは説明を省略する。

[0172] 最終段の増幅部11dは、第1増幅素子111及び第2増幅素子112を有している。また、最終段の増幅部11dは、複数（例えば、2つ）のキャパシタ113、114を更に有している。また、最終段の増幅部11dは、位相調整回路117を更に有している。第1増幅素子111及び第2増幅素子112の各々は、例えば、npn型のバイポーラトランジスタである。

[0173] 第1増幅素子111は、第1ベース端子、第1コレクタ端子及び第1エミッタ端子を有している。第1増幅素子111は、第1ベース端子に入力される第1信号（高周波信号）を増幅して、第1コレクタ端子から第1増幅信号を出力する。第1エミッタ端子は、グラウンドに接続されている。言い換えると、第1エミッタ端子は、直接又は間接的にグラウンドに接続されている。つまり、第1エミッタ端子は、接地されている（エミッタ接地）。第1コレクタ端子は、ET端子101を介して第1電源回路2に接続されて第1電源電圧V1が印加（供給）される。また、第1コレクタ端子は、キャパシタ113を介して第2接続点P2に接続されている。さらに、第1ベース端子は、第1接続点P1に接続されている。

[0174] 第2増幅素子112は、第2ベース端子、第2コレクタ端子及び第2エミ

ツタ端子を有している。第2増幅素子112は、第2ベース端子に入力される第2信号（高周波信号）を増幅して、第2コレクタ端子から第2増幅信号を出力する。第2エミッタ端子は、グラウンドに接続されている。言い換えると、第2エミッタ端子は、直接又は間接的にグラウンドに接続されている。つまり、第2エミッタ端子は、接地されている（エミッタ接地）。第2コレクタ端子は、A P T端子102を介して第2電源回路3に接続されて第2電源電圧V2が印加（供給）される。また、第2コレクタ端子は、位相調整回路117及びキャパシタ114を介して第2接続点P2に接続されている。さらに、第2ベース端子は、第1接続点P1に接続されている。すなわち、第1増幅素子111の第1ベース端子と第2増幅素子112の第2ベース端子とは、第1接続点P1で互いに接続されている。また、第2接続点P2は、第1増幅素子111から出力される第1増幅信号が通る第1信号経路R1と、第2増幅素子112から出力される第2増幅信号が通る第2信号経路R2とを接続する点である。実施形態4に係る電力増幅回路1dでは、位相調整回路117は、第2信号経路R2に設けられており、第2信号経路R2が特定信号経路である。

[0175] 位相調整回路117は、例えば、 $\lambda/4$ 線路を含む。位相調整回路117は、第2信号経路R2を通る第2増幅信号の位相を調整する。より具体的には、位相調整回路117は、第2増幅信号の位相を $90^\circ$ 遅らせる。

[0176] 実施形態4に係る電力増幅回路1dでは、電力増幅回路1dに入力された入力信号は、第1接続点P1を経由して第1信号と第2信号とに分配される。したがって、第1信号と第2信号とは、同一の信号である。「第1信号と第2信号とが同一」とは、少なくとも第1信号の位相と第2信号の位相とが同一であることを意味する。また、「第1信号の位相と第2信号の位相とが同一」とは、第1信号の位相と第2信号の位相とが厳密に同じである場合だけでなく、第2信号の位相が第1信号の位相 $\pm 5\%$ の範囲内に収まっている場合も含む。

[0177] 実施形態4に係る電力増幅回路1dでは、第1信号経路R1を通る第1増

幅信号と第2信号経路R2を通る第2増幅信号とが、第2接続点P2で合成される。実施形態4に係る電力増幅回路1dでは、第2増幅素子112から出力される第2増幅信号が位相調整回路117を通過することで、第2増幅信号の位相は第1増幅信号の位相よりも90°遅れる。

[0178] 実施形態4に係る電力増幅回路1dにおいても、第2増幅素子112のみが動作する第2動作時における第2増幅素子112のインピーダンスを、第1増幅素子111及び第2増幅素子112の両方が動作する第1動作時における第2増幅素子112のインピーダンスよりも大きくすることが可能となる。これにより、第2動作時では、第1動作時に比べて電力増幅回路1dの増幅効率を向上させることが可能となる。すなわち、実施形態4に係る電力増幅回路1dによれば、増幅効率の低下を抑制することが可能となる。

[0179] 実施形態4に係る電力増幅回路1dでは、位相調整回路117は、第2信号経路R2に設けられているが、これに限らない。位相調整回路117は、例えば、第1信号経路R1に設けられていてもよい。すなわち、第1信号経路R1が特定信号経路であってもよい。

[0180] (態様)

本明細書には、以下の態様が開示されている。

[0181] 第1の態様に係る電力増幅回路(1; 1a~1d)は、複数段の増幅部(10; 10a~10d)と、ET端子(101)と、APT端子(102)と、を備える。複数段の増幅部(10; 10a~10d)は、最終段の増幅部(11; 11a~11d)を含む。最終段の増幅部(11; 11a~11d)は、互いに並列に接続されている第1増幅素子(111)及び第2増幅素子(112)を有している。第1増幅素子(111)は、ET端子(101)に接続されている。第2増幅素子(112)は、APT端子(102)に接続されている。

[0182] この態様によれば、電力増幅回路(1; 1a~1d)の更なる高速動作を実現することができる。

[0183] 第2の態様に係る電力増幅回路(1; 1a~1d)では、第1の態様にお

いて、E T端子（101）に入力される信号は、第1増幅素子（111）に入力される高周波信号のエンベロープに追従するように変化する信号である。A P T端子（102）に入力される信号は、所定期間（T1、T2、T3）ごとに検出される高周波信号の平均振幅に応じて変化する信号である。

[0184] この態様によれば、電力増幅回路（1；1a～1d）の更なる高速動作を実現することができる。

[0185] 第3の態様に係る電力増幅回路（1；1a～1d）では、第1の態様において、E T端子（101）には、第1増幅素子（111）に入力される高周波信号の振幅に応じて変化する第1電源電圧（V1）が印加される。A P T端子（102）には、第2増幅素子（112）に入力される高周波信号の振幅の変化に応じて変化する、かつ第1電源電圧（V1）よりも低い周波数で変化する第2電源電圧（V2）が印加される。

[0186] この態様によれば、電力増幅回路（1；1a～1d）の更なる高速動作を実現することができる。

[0187] 第4の態様に係る電力増幅回路（1；1a）では、第1～第3の態様のいずれか1つにおいて、第1増幅素子（111）のサイズは、第2増幅素子（112）のサイズよりも小さい。

[0188] この態様によれば、第1増幅素子（111）の応答性がよくなるという利点がある。

[0189] 第5の態様に係る電力増幅回路（1；1a）では、第1～第3の態様のいずれか1つにおいて、第1増幅素子（111）のサイズは、第2増幅素子（112）のサイズよりも大きい。

[0190] この態様によれば、第1増幅素子（111）の消費電力のロスを小さくすることができる。

[0191] 第6の態様に係る電力増幅回路（1；1a）では、第1～第5の態様のいずれか1つにおいて、複数段の増幅部（10；10a）は、ドライバ段の増幅部（12；12a）を更に含む。ドライバ段の増幅部（12；12a）は、A P T端子（102）に接続されている。

- [0192] この態様によれば、電力増幅回路（1；1 a）の更なる高速動作を実現しつつ、ドライバ段の増幅部（1 2；1 2 a）の応答性の低下を抑えることができる。
- [0193] 第7の態様に係る電力増幅回路（1；1 a）では、第1～第6の態様のいずれか1つにおいて、第1増幅素子（1 1 1）及び第2増幅素子（1 1 2）は、差動増幅回路（2 0；2 0 a）を構成している。
- [0194] この態様によれば、簡単な構成で差動増幅回路（2 0；2 0 a）を実現することができる。
- [0195] 第8の態様に係る電力増幅回路（1）は、第7の態様において、トランス（1 4 0）を更に備える。トランス（1 4 0）は、差動増幅回路（2 0）の出力端に接続されている。
- [0196] この態様によれば、高周波信号の帯域幅を広くすることができる。
- [0197] 第9の態様に係る電力増幅回路（1 b，1 c，1 d）では、第1～第3の態様のいずれか1つにおいて、第1増幅素子（1 1 1）は、第1増幅素子（1 1 1）に入力される第1信号の電力レベルが基準電力レベル以上になると、第1信号を増幅して第1増幅信号を出力する。第2増幅素子（1 1 2）は、第2増幅素子（1 1 2）に入力される第2信号の電力レベルにかかわらず、第2信号を増幅して第2増幅信号を出力する。
- [0198] この態様によれば、増幅効率を向上させることが可能となる。
- [0199] 第10の態様に係る電力増幅回路（1 b）は、第9の態様において、分波器（1 3）と、合成回路（1 4）と、位相調整回路（1 1 7）と、を更に備える。分波器（1 3）は、入力信号を、第1信号と、第1信号とは位相が異なる第2信号とに分配する。合成回路（1 4）は、トランス（1 4 0）を含み、第1増幅信号と第2増幅信号とを合成する。位相調整回路（1 1 7）は、特定信号経路に設けられ、特定信号経路を通る信号の位相を調整する。特定信号経路は、第1増幅信号が通る第1信号経路（R 1）と第2増幅信号が通る第2信号経路（R 2）との一方の信号経路である。第1信号経路（R 1）と第2信号経路（R 2）とは、合成回路（1 4）を介して互いに接続され

ている。

[0200] この態様によれば、第1増幅信号の位相と第2増幅信号の位相とを逆相にすることが可能となり、その結果、出力信号の偶数波をキャンセルすることが可能であると共に、上記出力信号の振幅を複数倍に増幅することが可能となる。

[0201] 第11の態様に係る電力増幅回路(1c)は、第9の態様において、第1分波器(13A)と、第2分波器(13B)と、第3増幅素子(164)と、第4増幅素子(165)と、第1合成回路(14A)と、第2合成回路(14B)と、第1位相調整回路(117A)と、第2位相調整回路(117B)と、を更に備える。第1分波器(13A)は、第1入力信号を、第1信号と、第1信号とは位相が異なる第3信号とに分配する。第2分波器(13B)は、第2入力信号を、第2信号と、第2信号とは位相が異なる第4信号とに分配する。第3増幅素子(164)は、第1増幅素子(111)と並列に接続されており、第3信号を増幅して第3増幅信号を出力する。第4増幅素子(165)は、第2増幅素子(112)と並列に接続されており、第4信号を増幅して第4増幅信号を出力する。第1合成回路(14A)は、トランス(140)を含み、第1増幅信号と第3増幅信号とを合成する。第2合成回路(14B)は、トランス(140)を含み、第2増幅信号と第4増幅信号とを合成する。第1位相調整回路(117A)は、第1特定信号経路に設けられ、第1特定信号経路を通る信号の位相を調整する。第1特定信号経路は、第1増幅信号が通る第1信号経路(R1)と第2増幅信号が通る第2信号経路(R2)との一方の信号経路である。第2位相調整回路(117B)は、第2特定信号経路に設けられ、第2特定信号経路を通る信号の位相を調整する。第2特定信号経路は、第3増幅信号が通る第3信号経路(R3)と第4増幅信号が通る第4信号経路(R4)との一方の信号経路である。

[0202] この態様によれば、増幅効率を更に向上させることが可能となる。

[0203] 第12の態様に係る電力増幅回路(1d)は、第9の態様において、位相調整回路(117)を更に備える。位相調整回路(117)は、特定信号経

路に設けられ、特定信号経路を通る信号の位相を調整する。特定信号経路は、第1増幅信号が通る第1信号経路(R1)と第2増幅信号が通る第2信号経路(R2)との一方の信号経路である。第1信号と第2信号とは、同一の信号である。第1信号経路(R1)と第2信号経路(R2)とは、直接的に接続されている。

[0204] この態様によれば、トランスを用いることなく信号を増幅することが可能であり、部品点数の削減を図ることが可能となる。

[0205] 第13の態様に係る高周波回路(7; 7a)は、第1～第12の態様のいずれか1つの電力増幅回路(1; 1a～1d)と、第1電源回路(2)と、第2電源回路(3)と、を備える。第1電源回路(2)は、ET端子(101)に接続され、第1増幅素子(111)に入力される高周波信号の振幅に応じて変化する第1電源電圧(V1)を生成する。第2電源回路(3)は、APT端子(102)に接続され、第2増幅素子(112)に入力される高周波信号の振幅の変化に応じて変化する、かつ第1電源電圧(V1)よりも低い周波数で変化する第2電源電圧(V2)を生成する。

[0206] この態様によれば、電力増幅回路(1; 1a～1d)の更なる高速動作を実現することができる。

[0207] 第14の態様に係る通信装置(8)は、第13の態様の高周波回路(7; 7a～7d)と、信号処理回路(5)と、を備える。信号処理回路(5)は、高周波信号を処理して高周波回路(7; 7a～7d)に出力する。高周波回路(7; 7a～7d)の電力増幅回路(1; 1a～1d)は、信号処理回路(5)から入力される高周波信号を増幅する。

[0208] この態様によれば、電力増幅回路(1; 1a～1d)の更なる高速動作を実現することができる。

## 符号の説明

- [0209] 1, 1a, 1b, 1c, 1d 電力増幅回路  
2 第1電源回路  
3 第2電源回路

- 4 フィルタ回路
- 5 信号処理回路
- 6 アンテナ
- 7, 7 a, 7 b, 7 c, 7 d 高周波回路
- 8 通信装置
- 10, 10 a, 10 b, 10 c, 10 d 複数段の増幅部
- 11, 11 a, 11 b, 11 c, 11 d 最終段の増幅部
- 12, 12 a, 12 c ドライバ段の増幅部
- 13 分波器
- 13 A 第1分波器
- 13 B 第2分波器
- 14 合成回路
- 14 A 第1合成回路
- 14 B 第2合成回路
- 15 出力整合回路
- 17 分波器
- 20, 20 a, 20 b, 20 c, 20 d 差動増幅回路
- 51 RF信号処理回路
- 52 ベースバンド信号処理回路
- 71 信号入力端子
- 72 アンテナ端子
- 101 ET端子
- 102 APT端子
- 111 第1増幅素子
- 112 第2増幅素子
- 113, 114 キャパシタ
- 115, 116 整合回路
- 117 位相調整回路

- 1 1 7 A 第1位相調整回路
- 1 1 7 B 第2位相調整回路
- 1 1 8, 1 1 9, 1 2 0 キャパシタ
- 1 2 1 増幅素子
- 1 2 2 キャパシタ
- 1 2 3 整合回路
- 1 2 4 増幅素子
- 1 2 5 キャパシタ
- 1 3 0 トランス
- 1 3 1 一次巻線
- 1 3 2 二次巻線
- 1 3 3 キャパシタ
- 1 3 4, 1 3 5, 1 3 6, 1 3 7, 1 3 8 キャパシタ
- 1 4 0 トランス
- 1 4 1 一次巻線
- 1 4 2 二次巻線
- 1 4 3, 1 4 4, 1 4 5, 1 4 6 キャパシタ
- 1 5 1, 1 5 2 インダクタ
- 1 5 3, 1 5 4 キャパシタ
- 1 6 1, 1 6 2, 1 6 3 整合回路
- 1 6 4 第3増幅素子
- 1 6 5 第4増幅素子
- 1 7 1 トランス
- 1 7 2, 1 7 3 キャパシタ
- 1 7 4 抵抗器
- 1 7 1 1 1次巻線
- 1 7 1 2 2次巻線
- M 1, M 2 中点

P 1, P 2 接続点

R 1 第 1 信号経路

R 2 第 2 信号経路

R 3 第 3 信号経路

R 4 第 4 信号経路

V 1 第 1 電源電圧

V 2 第 2 電源電圧

V 3 第 3 電源電圧

## 請求の範囲

- [請求項1] 最終段の増幅部を含む複数段の増幅部と、  
E T 端子と、  
A P T 端子と、を備え、  
前記最終段の増幅部は、互いに並列に接続されている第 1 増幅素子及び第 2 増幅素子を有し、  
前記第 1 増幅素子は、前記 E T 端子に接続され、  
前記第 2 増幅素子は、前記 A P T 端子に接続されている、  
電力増幅回路。
- [請求項2] 前記 E T 端子に入力される信号は、前記第 1 増幅素子に入力される高周波信号のエンベロープに追従するように変化する信号であり、  
前記 A P T 端子に入力される信号は、所定期間ごとに検出される前記高周波信号の平均振幅に応じて変化する信号である、  
請求項 1 に記載の電力増幅回路。
- [請求項3] 前記 E T 端子には、前記第 1 増幅素子に入力される高周波信号の振幅に応じて変化する第 1 電源電圧が印加され、  
前記 A P T 端子には、前記第 2 増幅素子に入力される前記高周波信号の振幅の変化に応じて変化する、かつ前記第 1 電源電圧よりも低い周波数で変化する第 2 電源電圧が印加される、  
請求項 1 に記載の電力増幅回路。
- [請求項4] 前記第 1 増幅素子のサイズは、前記第 2 増幅素子のサイズよりも小さい、  
請求項 1 ～ 3 のいずれか 1 項に記載の電力増幅回路。
- [請求項5] 前記第 1 増幅素子のサイズは、前記第 2 増幅素子のサイズよりも大きい、  
請求項 1 ～ 3 のいずれか 1 項に記載の電力増幅回路。
- [請求項6] 前記複数段の増幅部は、ドライバ段の増幅部を更に含み、  
前記ドライバ段の増幅部は、前記 A P T 端子に接続されている、

請求項 1 ～ 5 のいずれか 1 項に記載の電力増幅回路。

[請求項7] 前記第 1 増幅素子及び前記第 2 増幅素子は、差動増幅回路を構成している、

請求項 1 ～ 6 のいずれか 1 項に記載の電力増幅回路。

[請求項8] 前記差動増幅回路の出力端に接続されているトランスを更に備える、

請求項 7 に記載の電力増幅回路。

[請求項9] 前記第 1 増幅素子は、前記第 1 増幅素子に入力される第 1 信号の電力レベルが基準電力レベル以上になると、前記第 1 信号を増幅して第 1 増幅信号を出力し、

前記第 2 増幅素子は、前記第 2 増幅素子に入力される第 2 信号の電力レベルにかかわらず、前記第 2 信号を増幅して第 2 増幅信号を出力する、

請求項 1 ～ 3 のいずれか 1 項に記載の電力増幅回路。

[請求項10] 入力信号を、前記第 1 信号と、前記第 1 信号とは位相が異なる前記第 2 信号とに分配する分波器と、

トランスを含み、前記第 1 増幅信号と前記第 2 増幅信号とを合成する合成回路と、

前記第 1 増幅信号が通る第 1 信号経路と前記第 2 増幅信号が通る第 2 信号経路との一方の信号経路である特定信号経路に設けられ、前記特定信号経路を通る信号の位相を調整する位相調整回路と、を更に備え、

前記第 1 信号経路と前記第 2 信号経路とは、前記合成回路を介して互いに接続されている、

請求項 9 に記載の電力増幅回路。

[請求項11] 第 1 入力信号を、前記第 1 信号と、前記第 1 信号とは位相が異なる第 3 信号とに分配する第 1 分波器と、

第 2 入力信号を、前記第 2 信号と、前記第 2 信号とは位相が異なる

第4信号とに分配する第2分波器と、

前記第1増幅素子と並列に接続されており、前記第3信号を増幅して第3増幅信号を出力する第3増幅素子と、

前記第2増幅素子と並列に接続されており、前記第4信号を増幅して第4増幅信号を出力する第4増幅素子と、

トランスを含み、前記第1増幅信号と前記第3増幅信号とを合成する第1合成回路と、

トランスを含み、前記第2増幅信号と前記第4増幅信号とを合成する第2合成回路と、

前記第1増幅信号が通る第1信号経路と前記第2増幅信号が通る第2信号経路との一方の信号経路である第1特定信号経路に設けられ、前記第1特定信号経路を通る信号の位相を調整する第1位相調整回路と、

前記第3増幅信号が通る第3信号経路と前記第4増幅信号が通る第4信号経路との一方の信号経路である第2特定信号経路に設けられ、前記第2特定信号経路を通る信号の位相を調整する第2位相調整回路と、を更に備える、

請求項9に記載の電力増幅回路。

[請求項12]

前記第1増幅信号が通る第1信号経路と前記第2増幅信号が通る第2信号経路との一方の信号経路である特定信号経路に設けられ、前記特定信号経路を通る信号の位相を調整する位相調整回路を更に備え、

前記第1信号と前記第2信号とは、同一の信号であり、

前記第1信号経路と前記第2信号経路とは、直接的に接続されている、

請求項9に記載の電力増幅回路。

[請求項13]

請求項1～12のいずれか1項に記載の電力増幅回路と、

前記E T端子に接続され、前記第1増幅素子に入力される高周波信号の振幅に応じて変化する第1電源電圧を生成する第1電源回路と、

前記 A P T 端子に接続され、前記第 2 増幅素子に入力される前記高周波信号の振幅の変化に応じて変化し、かつ前記第 1 電源電圧よりも低い周波数で変化する第 2 電源電圧を生成する第 2 電源回路と、を備える、

高周波回路。

[請求項14]

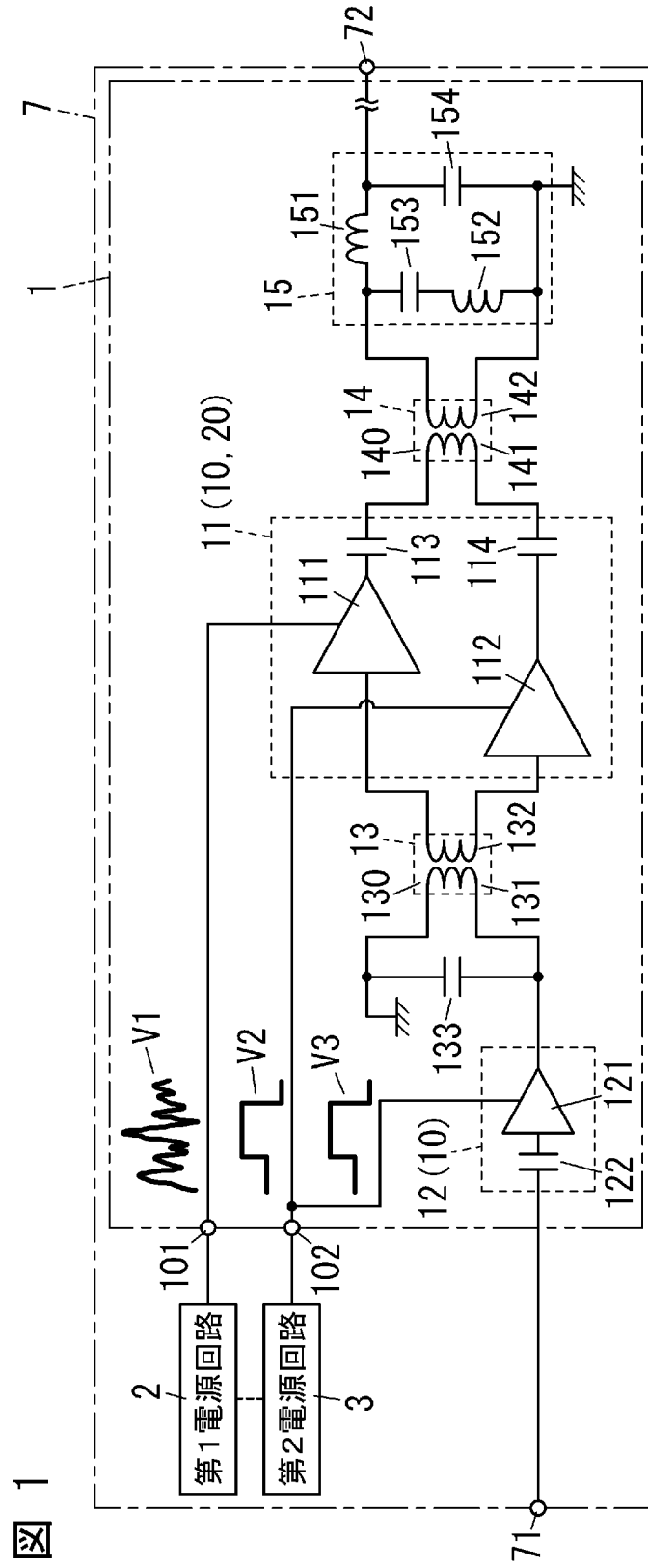
請求項 1 3 に記載の高周波回路と、

前記高周波信号を処理して前記高周波回路に出力する信号処理回路と、を備え、

前記高周波回路の前記電力増幅回路は、前記信号処理回路から入力される前記高周波信号を増幅する、

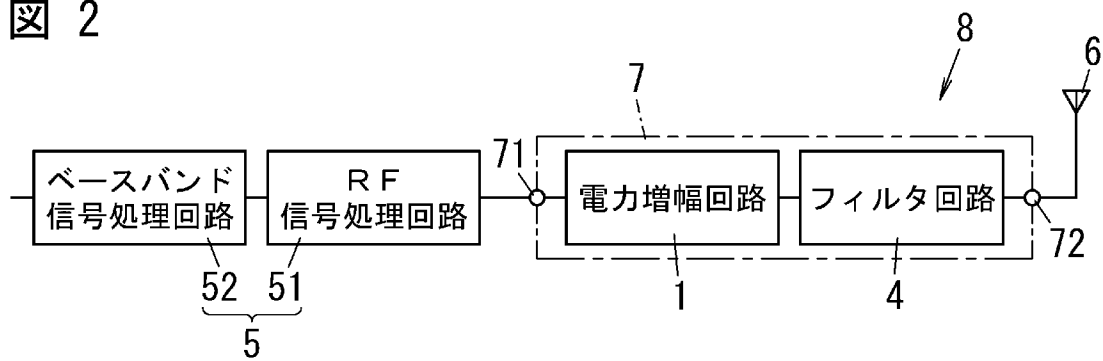
通信装置。

[図1]



[図2]

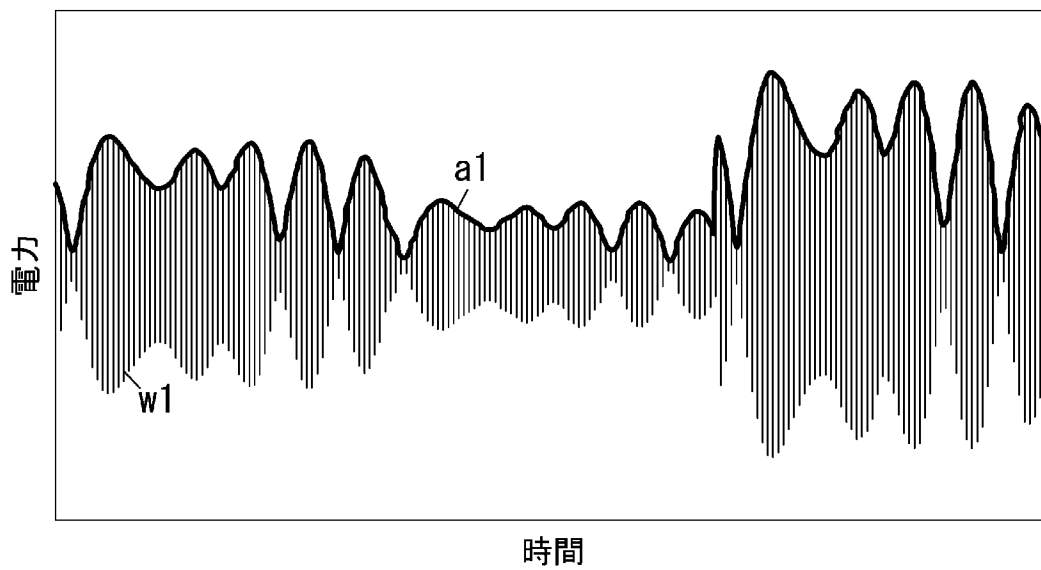
図 2



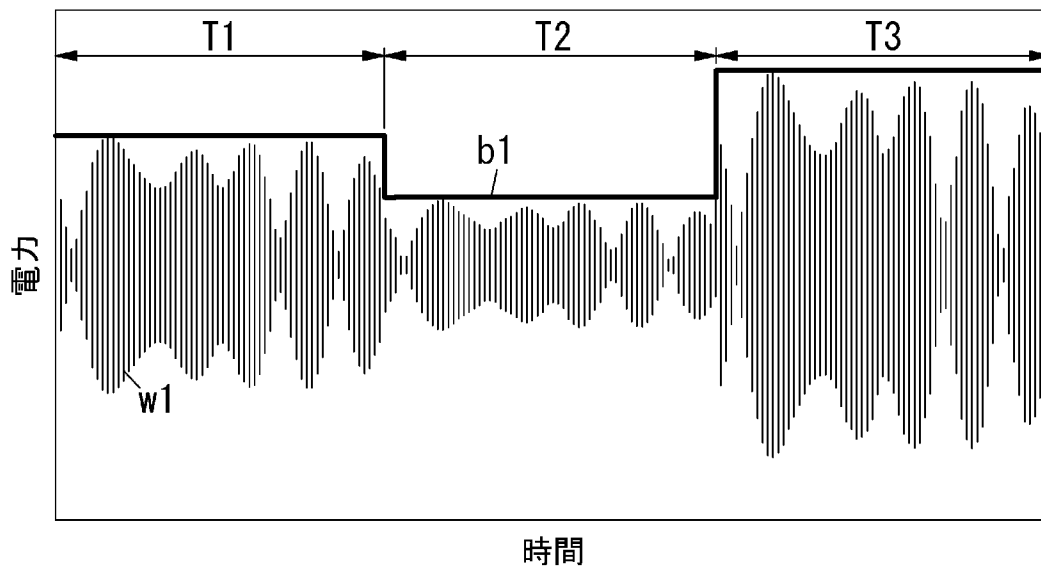
[図3]

図 3

A

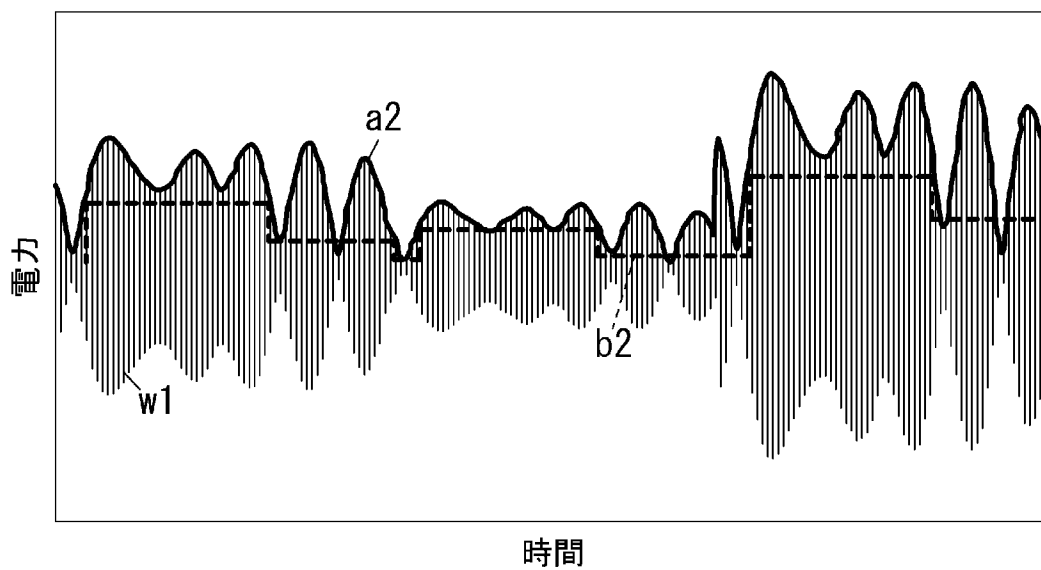


B



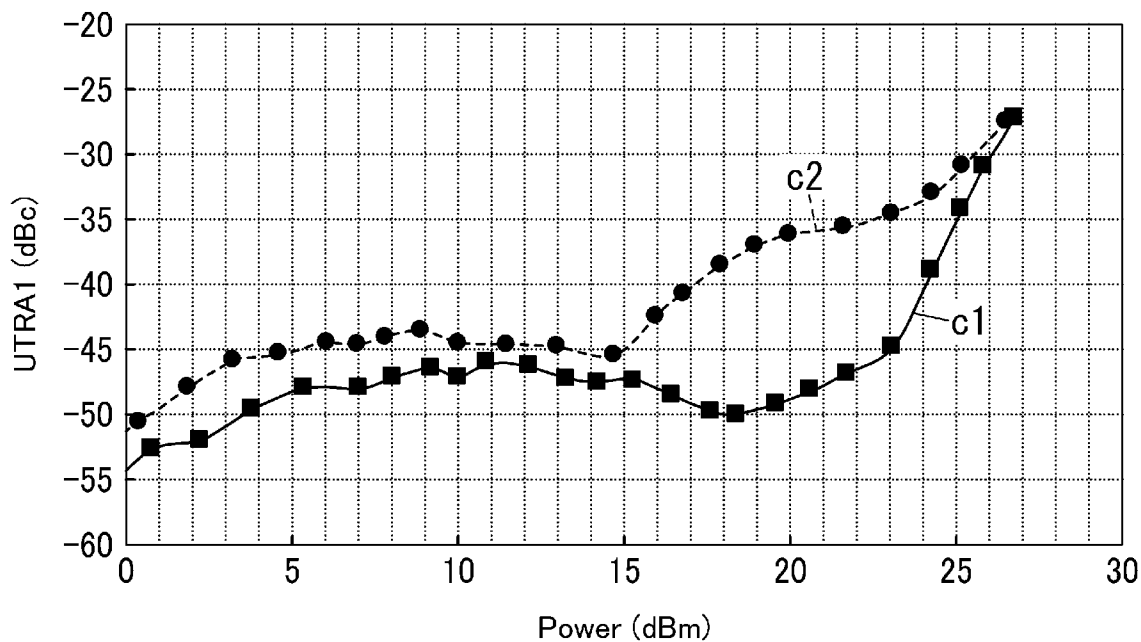
[図4]

図 4



[図5]

図 5



[図6]

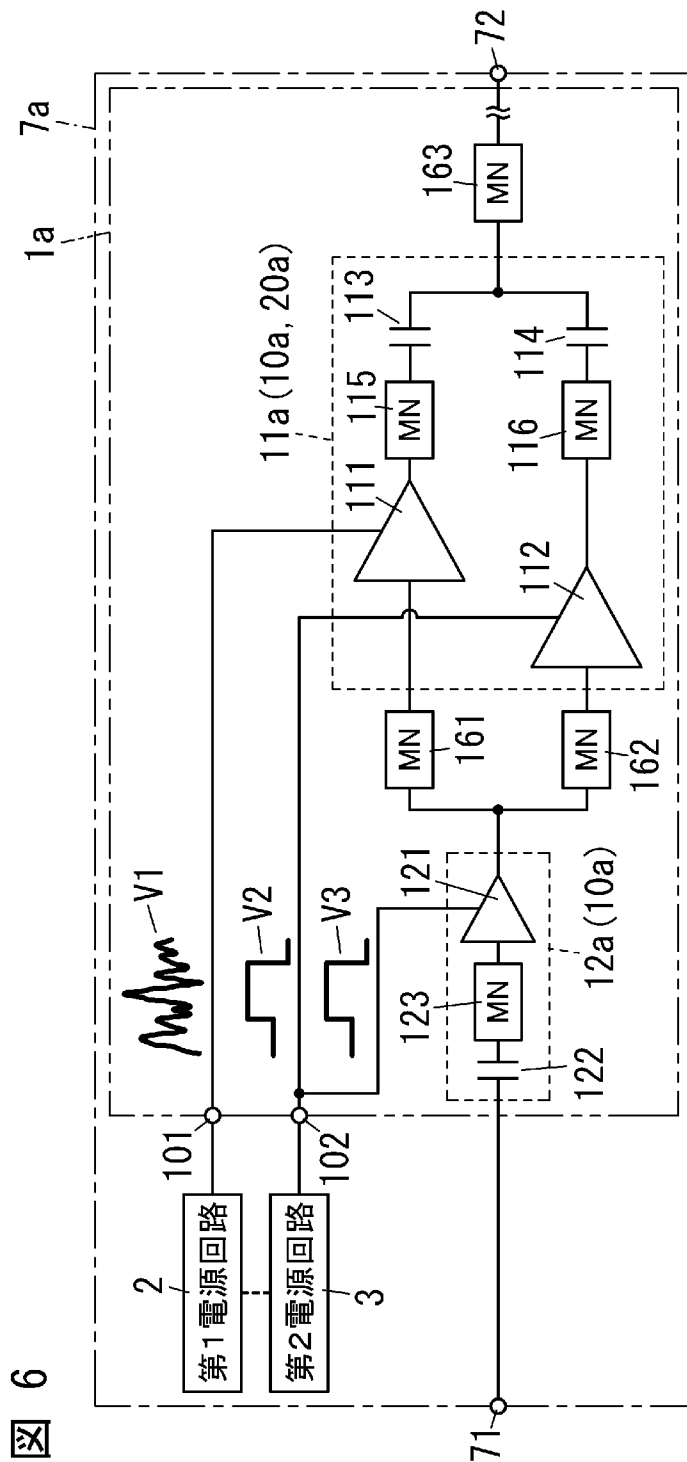
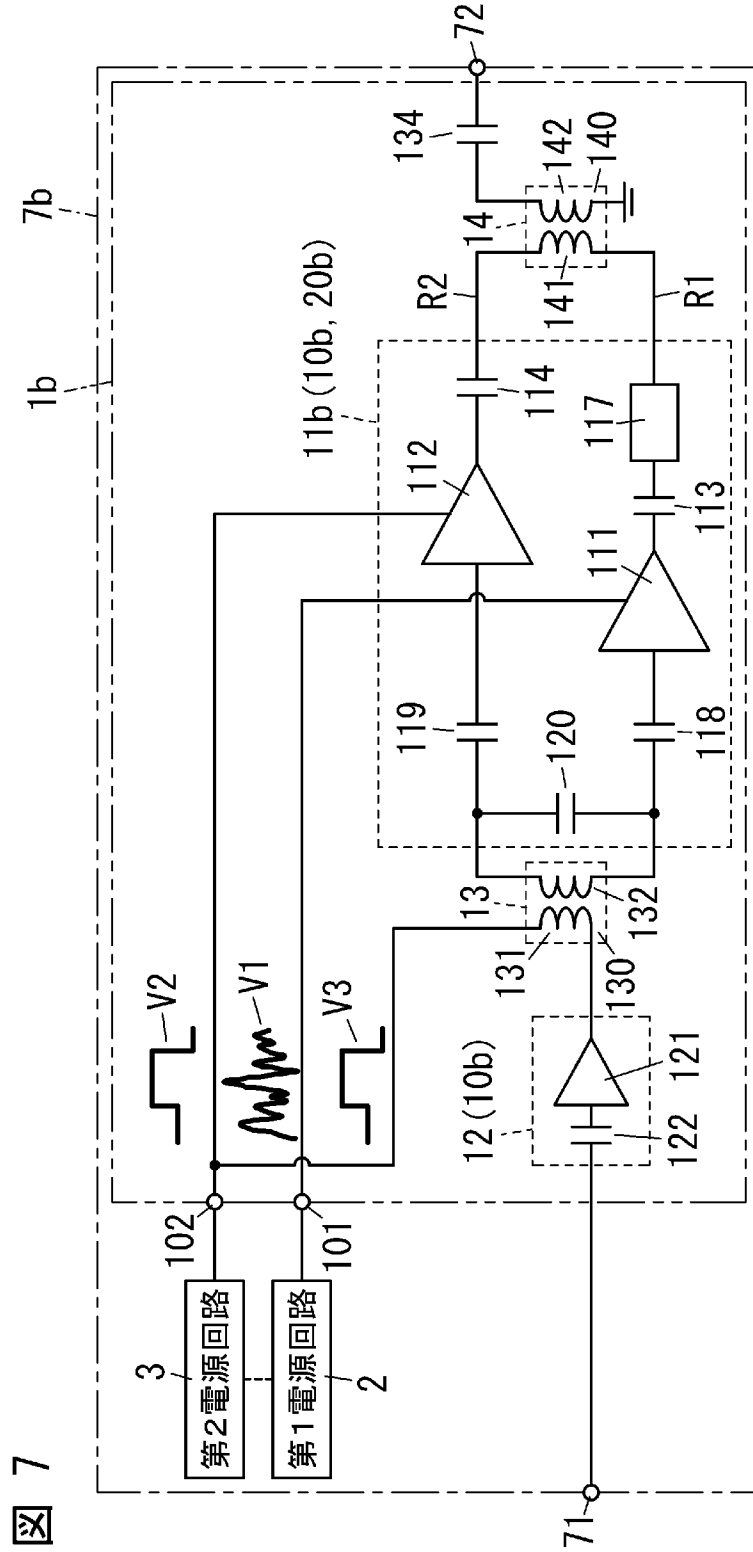


図 6

[図7]



[図8]

図 8

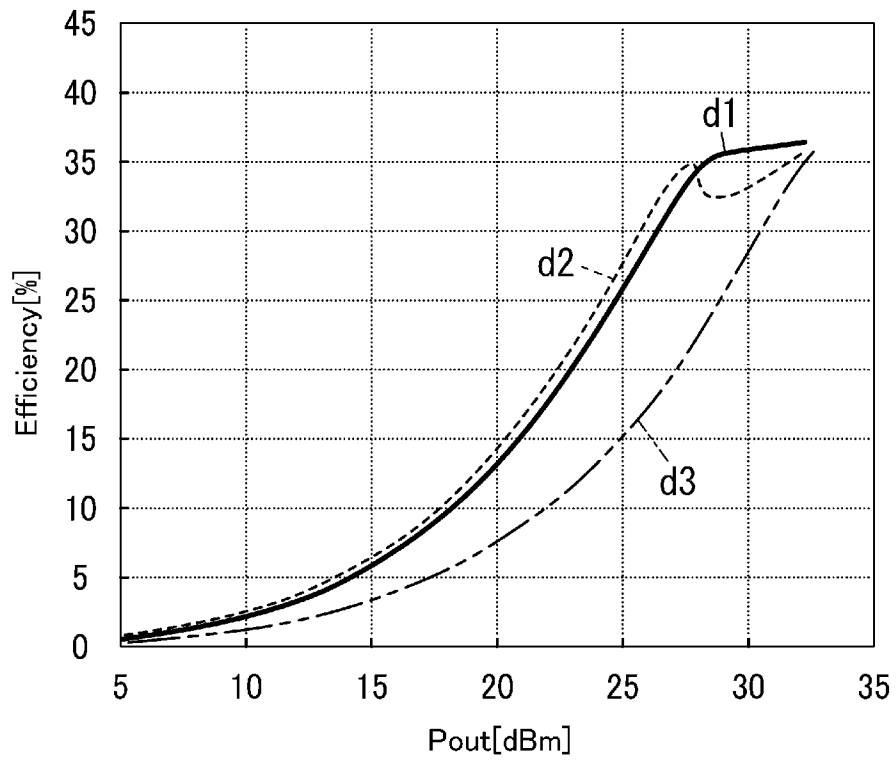
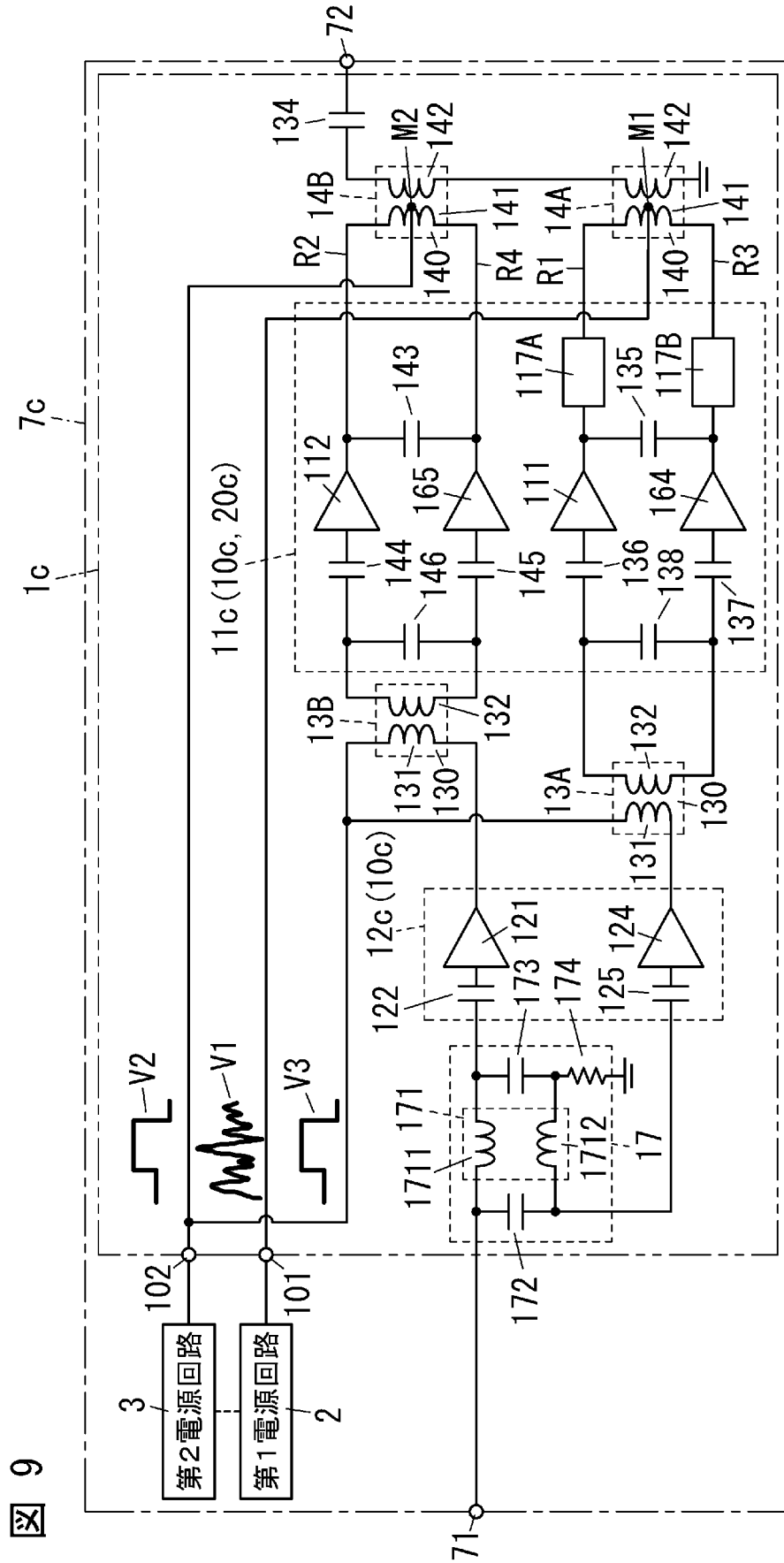
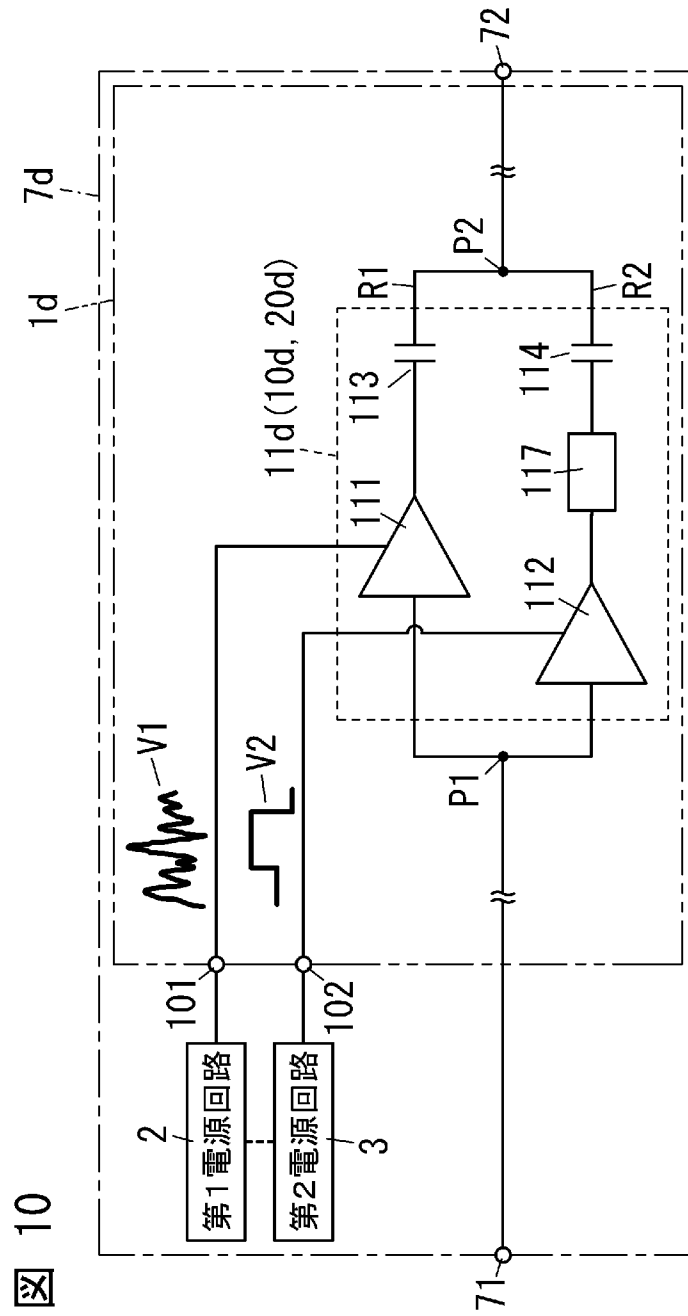


図9



[図10]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2021/001362

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl. H03F1/02 (2006.01) i, H03F3/193 (2006.01) i, H03F3/24 (2006.01) i, H03F3/68 (2006.01) i FI: H03F1/02111, H03F3/193, H03F3/24, H03F3/68 According to International Patent Classification (IPC) or to both national classification and IPC										
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H03F1/02, H03F3/193, H03F3/24, H03F3/68										
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <table style="width:100%; border: none;"> <tr> <td style="padding-left: 20px;">Published examined utility model applications of Japan</td> <td style="text-align: right;">1922-1996</td> </tr> <tr> <td style="padding-left: 20px;">Published unexamined utility model applications of Japan</td> <td style="text-align: right;">1971-2021</td> </tr> <tr> <td style="padding-left: 20px;">Registered utility model specifications of Japan</td> <td style="text-align: right;">1996-2021</td> </tr> <tr> <td style="padding-left: 20px;">Published registered utility model applications of Japan</td> <td style="text-align: right;">1994-2021</td> </tr> </table>			Published examined utility model applications of Japan	1922-1996	Published unexamined utility model applications of Japan	1971-2021	Registered utility model specifications of Japan	1996-2021	Published registered utility model applications of Japan	1994-2021
Published examined utility model applications of Japan	1922-1996									
Published unexamined utility model applications of Japan	1971-2021									
Registered utility model specifications of Japan	1996-2021									
Published registered utility model applications of Japan	1994-2021									
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)										
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>										
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.								
A	WO 2018/187245 A1 (SKYWORKS SOLUTIONS, INC.) 11 October 2018 (2018-10-11), entire text, all drawings	1-14								
A	US 2019/0253023 A1 (YANG et al.) 15 August 2019 (2019-08-15), entire text, all drawings	1-14								
<input type="checkbox"/> Further documents are listed in the continuation of Box C.										
<input checked="" type="checkbox"/> See patent family annex.										
<table style="width:100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top;">                     * Special categories of cited documents:                      "A" document defining the general state of the art which is not considered to be of particular relevance                      "E" earlier application or patent but published on or after the international filing date                      "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)                      "O" document referring to an oral disclosure, use, exhibition or other means                      "P" document published prior to the international filing date but later than the priority date claimed                 </td> <td style="width: 50%; vertical-align: top;">                     "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                      "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                      "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art                      "&amp;" document member of the same patent family                 </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family						
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family									
Date of the actual completion of the international search 17 March 2021	Date of mailing of the international search report 30 March 2021									
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.									

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/JP2021/001362

WO 2018/187245 A1 11 October 2018

US 2018/0316311 A1  
entire text, all drawings

GB 2575747 A

DE 112018001855 T5

TW 201840228 A

KR 10-2019-0127966 A

CN 110622412 A

JP 2020-516194 A

US 2019/0253023 A1 15 August 2019

KR 10-2019-0096616 A  
entire text, all drawings

A. 発明の属する分野の分類（国際特許分類（IPC）） H03F 1/02(2006.01)i; H03F 3/193(2006.01)i; H03F 3/24(2006.01)i; H03F 3/68(2006.01)i FI: H03F1/02 111; H03F3/193; H03F3/24; H03F3/68		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03F1/02; H03F3/193; H03F3/24; H03F3/68 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2021年 日本国実用新案登録公報 1996 - 2021年 日本国登録実用新案公報 1994 - 2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2018/187245 A1 (SKYWORKS SOLUTIONS, INC.) 11.10.2018 (2018 - 10 - 11) 全文全図	1-14
A	US 2019/0253023 A1 (YANG et al.) 15.08.2019 (2019 - 08 - 15) 全文全図	1-14
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの		
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）		
“O” 口頭による開示、使用、展示等に言及する文献		
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		
国際調査を完了した日	国際調査報告の発送日	
17.03.2021	30.03.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  工藤 一光 5W 9274  電話番号 03-3581-1101 内線 3576	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/001362

引用文献			公表日	パテントファミリー文献			公表日
WO	2018/187245	A1	11.10.2018	US	2018/0316311	A1	
				全文全図			
				GB	2575747	A	
				DE	112018001855	T5	
				TW	201840228	A	
				KR	10-2019-0127966	A	
				CN	110622412	A	
				JP	2020-516194	A	
-----							
US	2019/0253023	A1	15.08.2019	KR	10-2019-0096616	A	
				全文全図			
-----							