

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G06F 7/38

(45) 공고일자 1992년09월04일
(11) 공고번호 특1992-0007503

(21) 출원번호	특1988-0017380	(65) 공개번호	특1990-0010547
(22) 출원일자	1988년12월24일	(43) 공개일자	1990년07월07일
(71) 출원인	재단법인 한국전자통신연구소 경상현 대전직할시 서구 가정동 161		

(72) 발명자 김상중
대전직할시 서구 도룡동 주공아파트 3-202
(74) 대리인 박해천

심사관 : 이재화 (책자공보 제2930호)

(54) 이진화상 정보 처리장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

이진화상 정보 처리장치

[도면의 간단한 설명]

제1도는 이진화상 정보처리장치가 적용되는 시스템의 개략 구성도.

제2도는 종래의 이진화상 정보처리장치의 구성 블록도.

제3도는 본 발명의 구성 블록도.

제4도는 시스템버스 인터페이스 회로의 일실시예시도.

제5도는 CPU측에서 본 메모리 및 입출력 장치의 할당 예시도.

제6도는 제2버스제어 논리회로 구성을 일실시예시도.

제7도는 제6도의 동작타이밍도.

제8도는 이미지버스 액세스 타이밍도

* 도면의 주요부분에 대한 부호의 설명

- | | |
|------------------|--------------------|
| 1 : CPU | 2 : 부호 및 복호장치 |
| 3 : 부호저장 메모리부 | 4 : 이미지저장 메모리부 |
| 5 : 내부버스 | 6 : ROM |
| 7 : RAM | 8 : 이미지 입·출력제어부 |
| 9 : 시스템버스 | 10 : 시스템버스 인터페이스회로 |
| 11 : 공통메모리부 | 12 : 버스 |
| 13 : 이미지버스 | 14 : 이미지버스 인터페이스회로 |
| 15 : 제1버스제어 논리회로 | 16 : 제2버스제어 논리회로 |

[발명의 상세한 설명]

본 발명은 이진화상 정보처리장치에 관한 것이다.

국제적인 통신표준으로 정착된 G4 팩시밀리의 클래스 2, 클래스 3장치나 혼합모드 운용능력을 가진 텔리텍스와 같은 장치를 실현하기 위해서는, 이진(Binary)화상을 입력하고 G4 팩시밀리 부호화 방식(Modified MR방식 : CCITT T.6 "G4 팩시밀리 장치에 있어서의 팩시밀리 부호와 방식 및 부호화 제어기능")에 따라 효율적으로 이진화상 정보를 압축 또는 확장하며 인쇄하는 기능을 설계하여야 한다.

또한, 입력된 이진화상을 사용자 기능에 따라 적절한 해상도(Resolution)를 유지하며, 화면에 표시하는 기능이 필수적으로 요구된다.

그러나 이러한 요구사항을 만족하기 위해서는 현재 표준으로 사용되는 300dpi(dot per inch ; inch 당 화소수)의 해상도를 갖는 ISO A4 문서(210×297mm) 크기 1장에 대한 정보량이 1메가 바이트 정도의 많은 양이므로, 시스템 성능을 실시간(Real Time)으로 구현하기 위한 이진화상 정보처리 장치가 요구된다.

이러한 요구에 부응하여 개발된 종래의 이진화상 정보처리 장치는 제2도에 도시되어 있으며, 제1도를 함께 참조하여 설명하면 다음과 같다.

종래의 이진화상 정보처리장치는 그 주요 구성으로 시스템버스(9)에 각각 연결된 CPU(1), 부호 및 복호장치(2), 부호저장 메모리부(3) 및 이미지저장 메모리부(4)로 구성되어 있어, 이진정보 송수신시에 상기 각각이 시스템버스(9)를 통하여 제1도의 다른 프로세서, 즉 시스템 제어장치나 그래픽 표시장치등에 연결되도록 되어 있어 시스템버스(9)에 과중한 부하가 걸리게 되므로 제1도에 예시한 통신 제어장치의 성능이 저하되는 등 실시간 처리에 많은 제약을 받게 된다.

즉, 상기와 같은 구조에 있어서 통상적으로 그래픽 처리장치(제1도)의 이미지 사용이 대부분의 시스템버스를 점유하게 되어 송수신등의 즉시 처리가 지연되는 단점이 있다.

본 발명은 상기 문제점을 해결하는데 그 목적이 있으며, 상기 문제점을 해결하기 위한 수단, 즉, 이진화상 정보처리를 실시간으로 실현시키는 장치로서, 이미지버스, 이미지의 입·출력 제어 및 부호화, 복호화 기능을 관리하는 국부 CPU(시스템 cpu에 대응)를 두고 입력된 이진화상을 저장하는 이미지저장 메모리부와 부호화된 부호를 저장하는 부호저장 메모리를 분리구성 함으로써, 다수의 프로세서(Processor ; 사용자 기능을 수행하는 에터티)가 공유할 수 있어 다양한 이진화상의 부가처리 기능이 가능하게 하였고, 비교적 입·출력 시간이 많이 걸리는 이미지의 입·출력은 국부 CPU가 관장케 하도록 하고, 시스템 제어장치는 이와동시에 통신등의 시스템 부가기능을 수행할 수 있게 하였으며, 1메가 바이트 정도의 다량의 이미지정보는 시스템 버스를 통하지 않고, 이미지버스를 통해 그래픽 표시 및 처리가 되게 함으로써 사용자응답시간, 통신망 최대속도 전송효율, 이진화상 입출력 동시처리 기능면에서 시스템 효율을 비약적으로 개선할 수 있는 장치를 구성하였다.

이하, 첨부된 제3도이하를 참조하여 본 발명의 일 실시예를 상세히 설명한다.

제3도는 본 발명의 구성을 도시한 블록도이며, 도면에서, 1은 CPU를, 2는 부호 및 복호장치를, 3은 부호저장 메모리부를, 4는 이미지저장 메모리부를, 5는 내부버스를, 6은 ROM을, 7은 RAM을, 8은 이미지 입·출력 제어부를, 9는 시스템버스를, 10은 시스템버스 인터페이스회로를, 11은 공통메모리부를, 12는 버스, 13는 이미지버스를, 14는 이미지버스 인터페이스회로를, 15는 제1버스제어 논리회로를, 16은 제2버스 제어 논리회로를 각각 나타낸다.

그리고 제4도는 시스템 버스 인터페이스 회로의 일 실시예시도, 제5도는 CPU측에서 본 메모리 및 입출력 장치의 할당 예시도, 제6도는 제2버스제어 논리회로 구성의 일 실시예시도, 제7도는 제6도의 동작 타이밍도, 제8도는 이미지버스 액세스 타이밍도이다.

이미지 입출력 제어부(8), ROM(6) 및, RAM(7)은 내부버스(5)를 통해 CPU(1)에 연결되고, 상기 CPU(1)는 버스(12)에 의해 공통메모리부(11), 제1버스제어 논리회로(15), 제2버스제어 논리회로(16)에 연결된다.

본 발명의 실시예에서의 상기 CPU(1)는 일본 히다치사의 64180RL을 사용하여 구현하였으며, ROM(6)은 2개의 27C128, RAM(7)은 2개의 62256SRAM을 사용하였다.

공통메모리부(11)는 실시예에서 2개의 6264SRAM을 사용하여 구현하였으며, 시스템버스 인터페이스회로(10)에 어드레스, 데이터 신호라인이 연결된다.

제1버스제어 논리회로(15)는 상기 시스템버스 인터페이스회로(10), 부호저장 메모리부(3), 부호 및 복호장치(2)에 연결되며, 부호저장메모리(3)를 액세스하는 CPU(1), 시스템버스 인터페이스회로(10), 부호 및 복호장치(2)의 어드레스 및 데이터 신호를 74LS244, 245를 이용한 버퍼와 액세스 신호 및 대기(WAIT) 신호 조합회로로 구성된다.

그리고 제2버스제어 논리회로(16)는 부호 및 복호장치(2), 이미지저장메모리부(4), 이미지버스 인터페이스회로(14)에 연결되며, 시스템버스 인터페이스회로(10)는 시스템버스(9)에 연결되고, 상기 이미지버스 인터페이스회로(14)는 이미지버스(13)에 연결된다.

시스템버스(9)는 멀티버스 1(IEEE 796버스)를 사용하여 구현하였으며, 사용자 응답시간을 개선하기 위한 고해상도 그래픽 처리장치와 본 방치간의 이미지 전송을 위해 설계된 전용 이미지버스이다. 이는 일부 시스템버스와의 확장 어드레스 신호(A14-A17)를 수용하고 그래픽 처리장치와 이미지 정보를 비동기 방식으로 제8도의 타이밍에 의해 고속으로 액세스할 수 있는 것을 특징으로 한다.

상기에서와 같이 이미지저장 메모리부(4)와 부호저장 메모리부(3)는 별개의 버스를 분리하고 상기 부호 및 복호장치(2)는 상기 제1 및 제2버스제어 논리회로(15, 16)를 통해 상기 양 메모리부(3, 4)를 모두 사용할 수 있다. 또한 부호저장 메모리부(3)에 저장된 부호는 CPU(1), 부호 및 복호장치(2)

및 시스템 제어장치(제1도 참조)가 상기 제1버스제어 논리회로(15)를 통해 동시에 쓰고 읽을 수 있으며, 이미지저장 메모리부(4)에 저장된 이미지 정보는 CPU(1), 부호 및 복호장치(2) 및 그래픽 처리장치(제1도 참조)가 제2버스제어 논리회로(16)를 통해 동시에 쓰고 읽을 수 있도록 구성하였다.

여기서, 부호저장 메모리부(2)는 실시예에서 SRAM인 62256 4개를 사용하여 128K 바이트로 구성하고, CPU(1) 측에서 본 메모리 및 입출력 장치의 할당도를 제5도에 나타내었다.

한편 입출력 제어부(8)의 이미지 입력장치인 이미지 스캐너로 부터 입력되거나, 부호화된 이진화상 정보가 부호 및 복호장치(2)를 거쳐 복호화된 이진화상 정보가 저장되는 또는 이를 인쇄하기 위한 메모리로 사용되는 이미지저장 메모리부(4)는 SRAM인 62256 24개를 모듈화하여 768K 바이트로 구성하였다.

시스템 버스 인터페이스를 이용하는 제1도에서의 호스트는 시스템버스를 통하여 화상 정보처리를 지시하는 패러미터를 전달하거나, 부호화된 코드를 액세스할 수 있다.

이진화상 정보처리 시스템의 메모리는 실시예의 호스트인 80286의 900000-92FFFF(Hex)번지에 할당되며, 처음 64K Bytes는 패러미터 및 문자 또는 그래픽 정보를 인쇄용 버퍼를 위한 공통메모리(11)로, 다음의 128KBytes는 부호저장 메모리(3)에 할당된다.

호스트는 화상의 입력시 해상도, 입력범위, 기타 옵션을 패러미터로, 출력시 해상도, 인자범위, 코드의 종류 및 옵션을 패러미터로, 부호화 및 복호화시 부호와 및 복호화의 범위, 메모리의 위치등을 패러미터로 전달하고, 본 발명은 인식신호(ACK)를 전송한후 처리가 끝나면 인터럽트를 이용하여 종료를 알리게 된다.

CPU(1)는 1M Bytes이상의 메모리를 액세스 할 수 있으며, 주변소자를 내장하고 있는 다기능 프로세서이며, 시스템버스(9)와의 인터페이스가 용이하다는 점에서 히타치사의 HD64180-R1을 사용하였다. 이때 요구되는 기능을 만족하기 위해서는 부호저장 메모리부(3)의 경우 3개의 프로세서(호스트, CPU, 부호 및 복호장치(2))가, 이미지저장메모리부(4)의 경우 또한 3개의 프로세서(CPU, Graphic Processor, 부호 및 복호장치)가 이를 액세스할 수 있어야 하므로 버퍼를 사용하여 각 버스를 분리하고 액세스하고자 하는 프로세서의 상태 정보를 이용하여 버스 조정회로를 구성하였다.

이때, 부호 및 복호장치(2)의 부호저장 메모리쪽은 부호 및 복호장치(2)가 마스터(Master) 또는 슬레이브(Slave)로 동작할 수 있으므로 버스 조정이 용이하나, 이미지저장메모리 쪽은 제어할수 있는 상태 정보가 없으므로 부호 및 복호장치(2)의 어드레스 래치 인에이블(ALE), 쓰기(DWR), 읽기(DRD) 신호와 나머지 프로세서의 액세스 상태 정보를 이용하여 준비(DREADY) 신호를 입력하여 제2버스제어 논리회로(16)를 구성하였다. 이의 구성에 따른 실시예를 제6도에, 그리고 동작 타이밍도를 제7도에 나타내었다.

한편 메모리는 모드 1MBytes를 운용하였으며 CPU내부에 내장된 MMU(Memory Management Unit)를 이용하여 액세스할 수 있다.

또한, 부호 및 복호장치(2)는 CCITT T.6에 따른 부호화 및 복호화 기능을 실현하기 위해 MH, MR, MMR기능을 펌웨어(firmware)로 내장한 미국 AMD사의 CEP(Am7971)칩을 사용하였다.

상기 CEP는 12Mbps의 속도로 이진화상 정보를 동시에 부호화 및 복호화할 수 있으며, 부호화된 코드의 오류 검출기능을 갖고 있으며, 내부에 2개의 프로세서가 독립된 2개의 버스를 갖고 16MBytes의 메모리를 액세스할 수 있다.

동작이 제어는 CPU(1)와 인터페이스할 수 있는 46개의 레지스터를 제어함으로써 이루어지며, 선택적으로 몇가지 비표준 부호화 방식을 선택할 수 있다. 46개의 레지스터들은 각각 코드의 형식, 부호화 또는 복호화의 범위, 메모리 어드레스, CEP의 상태를 제어할 수 있게 되어 있는데, CEP의 상태를 알려주는 상태 정보 레지스터, 정보의 부호화 및 복호화, 오류복원, 재동작을 지시하는 제어 레지스터, 코드 형식을 제어하는 패러미터 레지스터, 부호화 및 복호화할 문서의 크기를 제어하는 마진 레지스터, 특정모드를 지정하는 모드 레지스터, 메모리의 운용범위 및 크기를 지정하는 크기 레지스터로 분류할 수 있다.

부호 및 복호장치(2)의 이미지저장 메모리부(4) 액세스를 위하여 제6도에 예시한 제2버스제어 논리회로(16)를 설계하여, 그래픽 프로세서(Graphic Processor)의 실시예인 일본 마쓰다사의 MN8617과 CPU(1)의 액세스 정보, CEP의 상태정보인 ALE, DWR, DRD 신호가 CEP의 DREADY 입력을 제어함으로써 이미지 버퍼를 상기 3개의 프로세서가 데이터의 오류없이 액세스할 수 있도록 하였다.

이진화상 정보를 그래픽 프로세서가 고해상도 표시장치(CRT)에 표시하려 하거나, 사용자의 편집을 위해 임의의 조작을 하려할 때 보통 수백 Bytes에서 1M bytes 정도의 다량의 정보가 이동하게 되므로 시스템의 성능을 저하시키지 않도록 그래픽 프로세서와의 이진화상 정보교환은 독자적인 이미지 버스를 통한다.

물리적인 연결은 독자적으로 정의된 60핀의 단자를 이용하였으며, 액세스 타이밍은 그래픽 프로세서인 MN8617의 특성을 고려하여 제8도에서와 같이 설계하였다.

여기서 그래픽 프로세서의 실시예인 MN8617의 액세스가 비동기되어 동작하므로 이의 버스조정은 액세스 요구에 대해 ACK신호를 이용하여 제어하며, 유효한 데이터 타이밍은 ACK를 내준뒤 300nsec 후 DACK신호를 이용하여 알려주게 하였다.

이진화상의 입력을 위한 이미지입력장치인 이미지 스캐너는 일본 시스템 퀄리티(System Quality)사의 IS-300M2를 사용하였으며, 이는 원고대 고정형 평면 주사 방식으로 최소 5×5mm, 최대 216×297mm의 주사범위를 갖고 있다. 그리고 ISO A4문서를 300dpi의 이진화상 정보로 14초이내에 입력할 수 있으며, 그레이(Grey) 정보를 하프 톤(Halftone)으로 30초 이내에 입력할 수 있다. 또한 180, 200, 240, 300dpi의 해상도의 선택이 가능하며 독해 농도를 소프트웨어를 조정할수 있다. 선택기능

으로서 거울영상 입력, 상태정보 출력, 16 그레이 레벨(Grey Level) 입력기능이 가능하다.

스캐너와의 인터페이스는 일반적인 8비트 양방향 센트로닉스(Centronix)이며, 스캐너에 동작을 지시하기 위해서는 먼저 제어비트를 세트하여 스캐너를 슬레이브(slave)로 동작하게 한 후, 명령이 전달되고 이미지 입력지시에 따라 스캐너가 마스터(Master)로 동작하여 취득한 정보를 넘겨 주게된다. 이때 CPU(1)의 부하를 덜기위해 스캐너가 입력한 정보가 유효할 때만 입력되는 스트로브 신호로 부터 인터럽트가 발생하여 처리하게 하였다.

이미지 입출력제어부(8) 내의 이미지 출력장치인 프린터는 센트로닉스(Centronix) 인터페이스를 갖는 QLBP2000을 이용하여 문자 및 그래픽 정보, 이진화상 정보를 인쇄하였고, 이미지출력 제어장치는 1개의 래치와 2개의 D F/F만을 사용하여 간단히 구성하였다. 즉 먼저 할당된, 제5도에 나타난 프린터 입출력 포트에 데이터를 래치한 후 소프트웨어적으로 스트로브 신호를 인가하여 CPU의 인터럽트 입력과 연결된 프린터로 부터의 ACK신호를 받아 수행 싸이클을 종료하도록 하였다.

이하, 상기와 같이 구성된 본 발명의 작용 및 효과를 살펴보기로 한다.

제1도에서와 같이 이진화상을 입력하여 화면에 표시하거나, G4 팩시밀리 부호화 방법에 의해 이진화상을 부호화(압축) 또는 복호화(확장)하며 출력장치를 통해 인쇄하는 기능이 요구되는 시스템에서, 본 발명과 같이 장치를 구성하므로써 다음과 같은 효과가 있다.

첫째, 이미지버스를 두어 다수의 이진 화상정보량이 전혀 시스템버스에 부하를 주지않고, 신속히 그래픽 처리장치의 요구에 따라 이동할 수 있어 전체 시스템의 성능개선이 월등하며, 이진화상의 처리(편집, 확대, 축소등의 사용자 처리) 속도가 증진된다. 특히 정보의 송·수신시 시스템버스의 부하가 증가할때 종래(제2도)의 방법에 비해 성능의 개선은 현저하다.

둘째, 국부 CPU를 둬므로써 종래에서와 같은 구성은 이진화상의 잡음제거나 프리-프로세싱(에지 샤프닝, 필터링 등)이 송·수신이나 부호화동작시 그래픽 화면 표시등에 제약을 받으나, 본 발명의 구성에서는 이와 무관하게 처리가 가능하다.

셋째, 이미지저장 메모리와 부호저장 메모리를 사용하는 버스를 분리하고, 버스제어 논리회로를 추가함으로써, 시스템 제어장치가 부호를 이용할때, 이미지버스를 통해 그래픽 처리장치는 이와 무관하게 이미지를 사용할 수 있으며, 상술한 바와 같이 다수의 프로세서가 부호 및 이미지저장 메모리의 타이밍을 공유함으로써 이용할 수 있게 된다.

그리하여, 그래픽 처리장치의 이미지사용이 대부분의 시스템버스를 점유하여, 송·수신등의 즉시 처리가 곤란한 종래장치와 같은 구성의 단점을 없앨 수 있으므로, G4 팩시밀리 클럭스 3장치와 같은 경우 수신즉시 부호 및 복호, 그래픽 화면에의 표시가 가능하다.

넷째, 국부 CPU는 시스템버스를 통해 공통메모리에 현역된 명령을 지시함으로써, 비교적, 입·출력 시간이 많이 소요되는 이미지를 저장할 수 있으며, 송신을 위한 이미지의 입력 및 부호화 프로세스와 수신을 위한 보호의 수신 및 복호화가 동시에 이루어질 수 있다.

다섯째, 국부 CPU 및 부호, 복호장치, 메모리(부호저장용 및 이미지저장용)를 제3도에서와 같이 CPU가 부호, 복호장치를 제어하고 부호 및 복호장치가 간단한 2개의 버스제어 논리회로를 통해 버스를 공유하게 되므로 하드웨어 구성상 종래 장치의 구성보다 간결하며 장치의 집적화가 용이하다.

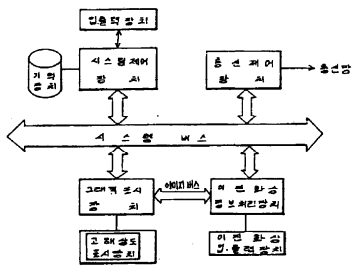
(57) 청구의 범위

청구항 1

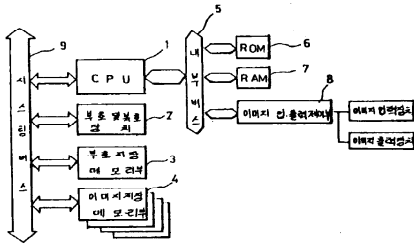
이미지 입출력제어부(8), ROM(6) 및 RAM(7)은 내부 버스(5)를 통해 CPU(1)에 연결되고, 상기 CPU(1)는 버스 (12)에 의해 공통메모리수단(1), 제1버스제어논리수단(15), 제2버스제어 논리수단(16)에 연결되며, 상기 공통메모리수단(1)은 시스템버스 인터페이스수단(10)에 연결되고, 상기 제1버스제어 논리수단(15)은 상기 시스템버스 인터페이스수단(10), 부호저장 메모리수단(3), 부호 및 복호수단(2)에 연결되고, 상기 제2버스제어 논리수단(16)은 상기 부호 및 복호수단(2), 이미지저장 메모리수단(4), 이미지버스 인터페이스수단(14)에 연결되며, 상기 시스템버스 인터페이스수단(10)은 시스템 버스(9)에 연결되고, 상기 이미지버스 인터페이스수단(14)은 이미지버스(13)에 연결되도록 구성되어; 상기 이미지저장메모리수단(4)과 부호저장 메모리수단(3)은 별개의 버스로 분리되도록 하고 상기 부호 및 복호수단(2)은 상기 제1 및 제2 버스제어 논리수단(15, 16)을 통해 상기 부호저장 및 이미지저장수단(3, 4)을 모두 사용할 수 있도록 하며, 상기 부호저장 메모리수단(3)에 저장된 부호는 CPU(1), 부호 및 복호장치(2) 및 시스템 제어장치가 상기 제1버스제어 논리수단(15)을 통해 동시에 쓰고 읽을 수 있도록 하며, 상기 이미지저장메모리(4)에 저장된 이미지 정보는 CPU(1), 부호 및 복호장치(2) 및 그래픽처리장치가 제2버스제어 논리수단(16)을 통해 동시에 쓰고 읽을 수 있도록 된 것을 특징으로 하는 이진화상 정보처리장치.

도면

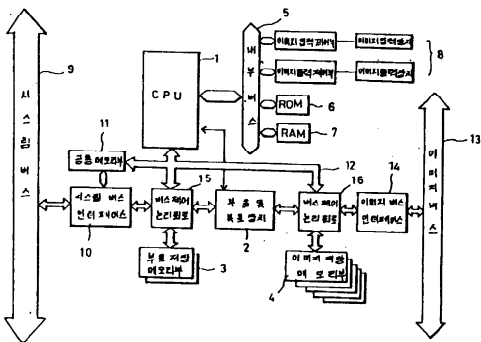
도면1



도면2



도면3



도면4

