

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02012/066701

発行日 平成26年5月12日 (2014. 5. 12)

(43) 国際公開日 平成24年5月24日 (2012. 5. 24)

(51) Int. Cl. F I テーマコード (参考)  
 HO 1 L 29/812 (2006. 01) HO 1 L 29/80 H 5 F 1 0 2  
 HO 1 L 29/778 (2006. 01)  
 HO 1 L 21/338 (2006. 01)

審査請求 未請求 予備審査請求 未請求 (全 20 頁)

出願番号	特願2012-544078 (P2012-544078)	(71) 出願人	000005821 パナソニック株式会社 大阪府門真市大字門真1006番地
(21) 国際出願番号	PCT/JP2011/004069	(74) 代理人	110001427 特許業務法人前田特許事務所
(22) 国際出願日	平成23年7月19日 (2011. 7. 19)	(72) 発明者	好田 慎一 大阪府門真市大字門真1006番地 パナソニック株式会社内
(31) 優先権主張番号	特願2010-258913 (P2010-258913)	(72) 発明者	石田 昌宏 大阪府門真市大字門真1006番地 パナソニック株式会社内
(32) 優先日	平成22年11月19日 (2010. 11. 19)	(72) 発明者	山田 康博 大阪府門真市大字門真1006番地 パナソニック株式会社内
(33) 優先権主張国	日本国 (JP)		

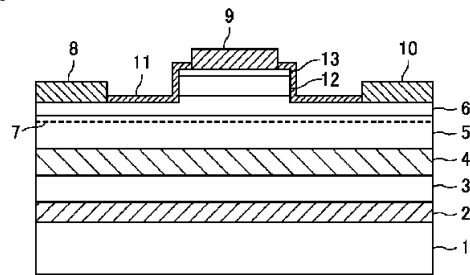
最終頁に続く

(54) 【発明の名称】 窒化物半導体装置

(57) 【要約】

窒化物半導体装置は、基板 1 の上に順次形成された、第 1 の窒化物半導体層 ( 3 )、第 2 の窒化物半導体層 ( 4 )、第 3 の窒化物半導体層 ( 5 ) 及び第 4 の窒化物半導体層 ( 6 ) を有している。第 3 の窒化物半導体層 ( 5 ) における第 4 の窒化物半導体層 ( 6 ) との界面の近傍にキャリアが蓄積されたチャネルが形成される。第 2 の窒化物半導体層 ( 4 ) は、第 3 の窒化物半導体層 ( 5 ) よりもバンドギャップが大きい。第 1 の窒化物半導体層 ( 3 ) は、そのバンドギャップが第 2 の窒化物半導体層 ( 4 ) のバンドギャップと同等かそれよりも大きく、且つ、第 2 の窒化物半導体層 ( 4 ) よりも高濃度の炭素が導入されている。

【図1】



## 【特許請求の範囲】

## 【請求項 1】

基板の上に順次形成された、第 1 の窒化物半導体層、第 2 の窒化物半導体層、第 3 の窒化物半導体層及び第 4 の窒化物半導体層を備え、

前記第 3 の窒化物半導体層における前記第 4 の窒化物半導体層との界面の近傍にキャリアが蓄積されたチャンネルが形成され、

前記第 2 の窒化物半導体層は、前記第 3 の窒化物半導体層よりもバンドギャップが大きく、

前記第 1 の窒化物半導体層は、そのバンドギャップが前記第 2 の窒化物半導体層のバンドギャップと同等かそれよりも大きく、且つ、前記第 2 の窒化物半導体層よりも高濃度の炭素が導入されている窒化物半導体装置。

10

## 【請求項 2】

請求項 1 において、

前記第 1 の窒化物半導体層及び前記第 2 の窒化物半導体層は、組成にアルミニウムを含む窒化物半導体装置。

## 【請求項 3】

請求項 2 において、

前記第 4 の窒化物半導体層は、前記第 1 の窒化物半導体層よりも高い組成比のアルミニウムを含む窒化物半導体装置。

20

## 【請求項 4】

請求項 1 において、

前記第 4 の窒化物半導体層の上に互いに間隔をおいて形成されたソース電極及びドレイン電極と、

前記第 4 の窒化物半導体層の上における前記ソース電極及びドレイン電極の間の領域に形成されたゲート電極とをさらに備えている窒化物半導体装置。

## 【請求項 5】

請求項 4 において、

前記第 4 の窒化物半導体層と前記ゲート電極との間に形成された p 型の第 5 の窒化物半導体層をさらに備えている窒化物半導体装置。

30

## 【請求項 6】

請求項 4 において、

前記第 4 の窒化物半導体層と前記ゲート電極との間に形成された絶縁膜をさらに備えている窒化物半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、窒化物半導体装置に関し、特にトランジスタ構造を有する窒化物半導体装置に関する。

## 【背景技術】

## 【0002】

40

窒化ガリウム ( Ga N )、窒化アルミニウム ( Al N ) 若しくは窒化インジウム ( In N ) 又はそれらの混晶を主成分とする窒化物半導体 ( III 族窒化物半導体 ) は、ワイドバンドギャップ半導体であり、絶縁破壊電界が大きく、また、シリコン系半導体又はガリウム砒素 ( Ga A s ) 系の化合物半導体と比べて電子の飽和ドリフト速度が大きい。このため、高い電子移動度を得られると共に、高耐圧化が可能である。さらに、面方位の ( 0 0 0 1 ) 面を主面とする窒化アルミニウムガリウム ( Al Ga N ) と窒化ガリウム ( Ga N ) 等とのヘテロ界面には、自発分極及びピエゾ分極により電荷が生じる。ヘテロ界面におけるシートキャリア濃度は、これら分極の効果によって、特にドーピングを行わなくても  $1 \times 10^{13} \text{ cm}^{-2}$  以上となる。このため、ヘテロ界面における 2 次元電子ガス ( 2 Dimensional Electron Gas: 2 DEG ) を利用して、電流密度が

50

大きいヘテロ接合電界効果トランジスタ ( H e t e r o - j u n c t i o n F i e l d E f f e c t T r a n s i s t o r : H F E T ) を実現することができる。

【 0 0 0 3 】

図 1 2 に、 A l G a N / G a N からなるヘテロ構造を有する従来の電界効果型トランジスタ ( H F E T ) の断面構成を示す ( 例えば、特許文献 1 を参照。 ) 。

【 0 0 0 4 】

図 1 2 に示すように、第 1 の従来例に係る窒化物半導体を用いた H F E T は、基板 1 0 1 の上に、低温で成長した G a N からなる低温バッファ層 1 0 2、G a N 又は A l G a N からなる高抵抗バッファ層 1 0 3、アンドープ G a N 層 1 0 5 及びアンドープ A l G a N 層 1 0 6 が順次形成されている。アンドープ A l G a N 層 1 0 6 の上には、それぞれ T i 層及び A l 層からなるソース電極 1 0 8 及びドレイン電極 1 1 0 が互いに間隔をおいて形成されている。アンドープ A l G a N 層 1 0 6 の上におけるソース電極 1 0 8 及びドレイン電極 1 1 0 の間の領域には、N i 層、P t 層及び A u 層からなるゲート電極 1 0 9 が形成されている。また、図示はしていないが、各電極を含めアンドープ A l G a N 層 1 0 6 を覆うように、窒化シリコン ( S i N ) からなるパシベーション膜が形成されている。

【 0 0 0 5 】

このような構造を持つ H F E T は、アンドープ A l G a N 層 1 0 6 とアンドープ G a N 層 1 0 5 との界面に生成する 2 次元電子ガスがチャネルとして利用される。例えば、ソース電極 1 0 8 とドレイン電極 1 1 0 との間に所定の電圧を印加すると、チャネル内の電子がソース電極 1 0 8 からドレイン電極 1 1 0 に向かって移動する。このとき、ゲート電極 1 0 9 に加える電圧 ( バイアス ) を制御して、該ゲート電極 1 0 9 の直下の空乏層の厚さを変化させることにより、ソース電極 1 0 8 からドレイン電極 1 1 0 へ移動する電子、すなわちドレイン電流を制御することが可能となる。

【 0 0 0 6 】

窒化物半導体を用いた H F E T においては、電流コラプスと呼ばれる現象が観測され、デバイスの動作時に問題を引き起こすことが知られている。電流コラプスは、例えばゲートをオフにしている間は、ソース・ドレイン間及びドレイン・基板間等に強い電界が印加され、その後、ゲート電極 1 0 9 をオンにしても、ソース・ドレイン間のチャネル電流が減少し、オン抵抗が増大するという現象として観測される。特許文献 1 においては、オン状態におけるソース・ドレイン間の電圧を 0 V ~ 1 0 V 及び 0 V ~ 3 0 V で掃引し、得られる電流値の比の値を電流コラプス値と定義している。また、高抵抗バッファ層 1 0 3 の炭素濃度を  $1 0^{17} / \text{cm}^{-3}$  以上且つ  $1 0^{20} / \text{cm}^{-3}$  以下とし、さらに、2 次元電子ガス層から高抵抗バッファ層 1 0 3 までの厚さ ( 以下、チャネル層と呼ぶ ) を 0 . 0 5  $\mu\text{m}$  以上とすれば、電流コラプスの値は実用上問題がないレベルとなることを記載している。一方、高抵抗バッファ層 1 0 3 の炭素濃度を  $1 0^{17} / \text{cm}^{-3}$  以上とし、チャネル層の厚さを 1  $\mu\text{m}$  以下とすれば、商用電源の場合に必要な耐圧 4 0 0 V 以上も確保できるとされている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 0 7 - 2 5 1 1 4 4 号公報

【 特許文献 2 】 特開 2 0 0 6 - 3 3 9 5 6 1 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

前記の従来例は、電流コラプスをオン状態での電圧掃引による測定により定義し、チャネル層の厚さの下限値等を設定している。

【 0 0 0 9 】

しかしながら、前記の従来例においては、炭素濃度が低いチャネル層を厚くすると、横方向 ( 基板の主面に平行な方向 ) のリーク電流が増加してしまうため、消費電力が上昇し

10

20

30

40

50

、且つ信頼性が悪化するという問題が生じる。

【0010】

また、横方向のリーク電流を抑えるためにチャネル層を薄くすると、特許文献1にあるように、炭素濃度が高い高抵抗バッファ層がチャネル層に近づくことになるため、電流コラプスの抑制効果が劣化するという問題が生じる。

【0011】

すなわち、前記従来のHFEETは、リーク電流の低減と電流コラプスの低減との両立が困難である。

【0012】

本発明は、前記の問題に鑑み、窒化物半導体装置において、電流コラプスを抑制し、且つ横方向のリーク電流を低減できる電界効果トランジスタを実現できるようにすることを目的とする。

10

【課題を解決するための手段】

【0013】

前記の目的を達成するため、本発明は、窒化物半導体装置を、基板の上に順次形成された、第1の窒化物半導体層、第2の窒化物半導体層、第3の窒化物半導体層及び第4の窒化物半導体層を備え、第3の窒化物半導体層における第4の窒化物半導体層との界面の近傍にキャリアが蓄積されたチャネルが形成され、第2の窒化物半導体層は、第3の窒化物半導体層よりもバンドギャップが大きく、第1の窒化物半導体層は、そのバンドギャップが第2の窒化物半導体層のバンドギャップと同等かそれよりも大きく、且つ、第2の窒化物半導体層よりも高濃度の炭素が導入されている構成とする。

20

【0014】

本発明の窒化物半導体装置によると、第2の窒化物半導体層は第3の窒化物半導体層よりもバンドギャップが大きいため、第3の窒化物半導体層から第2の窒化物半導体層に向かう電子は、第3の窒化物半導体層と第2の窒化物半導体層との間のバンドギャップの差によって、第2の窒化物半導体層及び第1の窒化物半導体層に到達しにくくなる。また、第2の窒化物半導体層は、第1の窒化物半導体層と比べて炭素濃度が低いため、第3の窒化物半導体層と同様に電子がトラップされにくいので、電力コラプスが増大しにくくなる。また、第1の窒化物半導体層は、そのバンドギャップが第2の窒化物半導体層のバンドギャップと同等かそれよりも大きいため、第1の窒化物半導体層と第2の窒化物半導体層との界面での自発分極又はピエゾ分極による2次元電子ガスの発生を抑えることができる。さらに、第1の窒化物半導体層は、第2の窒化物半導体層と比べて炭素濃度が高いため、第1の窒化物半導体層の抵抗が上昇して、本発明の窒化物半導体装置における耐圧が向上する。

30

【0015】

本発明の窒化物半導体装置において、第1の窒化物半導体層及び第2の窒化物半導体層は、組成にアルミニウムを含むことが好ましい。

【0016】

このようにすると、第1の窒化物半導体層及び第2の窒化物半導体層のバンドギャップを第3の窒化物半導体層のバンドギャップよりも容易に大きくすることができる。

40

【0017】

この場合に、第4の窒化物半導体層は、第1の窒化物半導体層よりも高い組成比のアルミニウムを含むことが好ましい。

【0018】

このようにすると、第3の窒化物半導体層における第4の窒化物半導体層との界面の近傍に、2次元電子ガスを確実に生成することができる。

【0019】

本発明の窒化物半導体装置は、第4の窒化物半導体層の上に互いに間隔をおいて形成されたソース電極及びドレイン電極と、第4の窒化物半導体層の上におけるソース電極及びドレイン電極の間の領域に形成されたゲート電極とをさらに備えていてもよい。

50

## 【 0 0 2 0 】

この場合に、本発明の窒化物半導体装置は、第 4 の窒化物半導体層とゲート電極との間に形成された p 型の第 5 の窒化物半導体層をさらに備えていてもよい。

## 【 0 0 2 1 】

またこの場合に、本発明の窒化物半導体装置は、第 4 の窒化物半導体層とゲート電極との間に形成された絶縁膜をさらに備えていてもよい。

## 【 発明の効果 】

## 【 0 0 2 2 】

本発明に係る半導体装置によると、横方向のリーク電流の低減と、電流コラプスの抑制とを両立した窒化物半導体装置を実現することができる。

10

## 【 図面の簡単な説明 】

## 【 0 0 2 3 】

【 図 1 】 図 1 は本発明の第 1 の実施形態に係る窒化物半導体装置を示す模式的な断面図である。

【 図 2 】 図 2 ( a ) 及び図 2 ( b ) は本発明の第 1 の実施形態に係る窒化物半導体装置におけるエネルギーバンド図を示し、図 2 ( a ) はゲート領域の縦方向のエネルギーバンド図であり、図 2 ( b ) はゲート領域とソース領域との間の縦方向のエネルギーバンド図である。

【 図 3 】 図 3 ( a ) ~ 図 3 ( e ) は本発明の第 1 の実施形態に係る窒化物半導体装置の製造方法を示す工程順の模式的な断面図である。

20

【 図 4 】 図 4 は第 2 の従来例に係る窒化物半導体装置を示す模式的な断面図である。

【 図 5 】 図 5 は本発明の第 1 の実施形態に係る窒化物半導体装置におけるリーク電流と  $R_{on}$  比との関係を第 2 の従来例を比較例として示すグラフである。

【 図 6 】 図 6 は第 2 の従来例に係る窒化物半導体装置における S I M S の測定結果を示すグラフである。

【 図 7 】 図 7 は本発明の第 1 の実施形態に係る窒化物半導体装置における S I M S の測定結果を示すグラフである。

【 図 8 】 図 8 は本発明の第 2 の実施形態に係る窒化物半導体装置を示す模式的な断面図である。

【 図 9 】 図 9 ( a ) ~ 図 9 ( c ) は本発明の第 2 の実施形態に係る窒化物半導体装置の製造方法を示す工程順の模式的な断面図である。

30

【 図 1 0 】 図 1 0 は本発明の第 3 の実施形態に係る窒化物半導体装置を示す模式的な断面図である。

【 図 1 1 】 図 1 1 ( a ) ~ 図 1 1 ( d ) は本発明の第 3 の実施形態に係る窒化物半導体装置の製造方法を示す工程順の模式的な断面図である。

【 図 1 2 】 図 1 2 は第 1 の従来例に係る窒化物半導体装置を示す模式的な断面図である。

## 【 発明を実施するための形態 】

## 【 0 0 2 4 】

( 第 1 の実施形態 )

本発明の第 1 の実施形態について図 1 及び図 2 を参照しながら説明する。

40

## 【 0 0 2 5 】

図 1 に示すように、第 1 の実施形態に係るヘテロ接合電界効果トランジスタ ( H F E T ) は、基板 1 の主面上に順次形成された、窒化物半導体からなるバッファ層 2、第 1 の窒化物半導体層 3、第 2 の窒化物半導体層 4、第 3 の窒化物半導体層 5 及び第 4 の窒化物半導体層 6 を有している。第 4 の窒化物半導体層 6 の上には、p 型 G a N からなるコントロール層 1 2 が形成され、該コントロール層 1 2 の上には、高濃度 p 型 G a N からなるコンタクト層 1 3 が形成されている。

## 【 0 0 2 6 】

コンタクト層 1 3 の上には、オーミック電極であるゲート電極 9 が形成されている。また、第 4 の窒化物半導体層 6 の上におけるコントロール層 1 2 のゲート長方向の両側には

50

、コントロール層 12 から間隔をおいた領域に、それぞれ第 4 の窒化物半導体層 6 とのオーミック電極であるソース電極 8 及びドレイン電極 10 が形成されている。

【0027】

図 2 (a) に、第 1 の実施形態に係る H F E T におけるゲート領域の縦方向 (基板の深さ方向) のエネルギーバンドを示す。

【0028】

図 2 (a) に示すように、第 3 の窒化物半導体層 5 と第 4 の窒化物半導体層 6 との界面において、自発分極及びピエゾ分極により生じた電荷のために、伝導帯 ( $E_c$ ) に溝 (窪み) が形成される。しかし、ゲート領域には、コントロール層 12 が存在することによって、第 3 の窒化物半導体層 5 と第 4 の窒化物半導体層 6 とのエネルギーレベルが引き上げられる。このため、第 3 の窒化物半導体層 5 と第 4 の窒化物半導体層 6 との界面における伝導帯 ( $E_c$ ) の溝がフェルミレベル ( $E_f$ ) よりも高い位置となるので、ゲート電極にバイアスを印加していない状態では、ゲート領域に 2 次元電子ガスが発生することがない。これにより、第 1 の実施形態に係る H F E T はノーマリオフ状態となる。

【0029】

一方、図 2 (b) に示すように、ゲート領域を除く領域、例えばゲート領域とソース領域との間の領域においては、コントロール層 12 が存在しないため、2 次元電子ガス 7 が形成される。以上の特性により、ゲート電極 9 に正バイアスを印加すると、ソース・ドレイン間に大電流を流すことが可能となる。

【0030】

なお、基板 1 は、サファイア (単結晶  $Al_2O_3$ )、シリコン (Si)、炭化シリコン (SiC)、窒化ガリウム (GaN)、窒化アルミニウム (AlN) 又はグラファイト (C) 等の、結晶成長が可能な表面を持ち、且つ結晶品質が良好な窒化物半導体を結晶成長できる材料からなる基板であればよい。また、結晶品質を向上させるために、基板表面又はその内部に凹凸加工が施された基板であってもよい。

【0031】

基板 1 の主面上に形成されるバッファ層 2 は、基板 1 の主面に現れる材料の結晶情報を引き継ぐことができる窒化物半導体を用いればよく、例えば AlGaN からなる単層構造又は多層構造を用いることができる。また、基板 1 にシリコン (Si) を用いた場合に、バッファ層 2 には、緩衝層として、シリコン基板上の各窒化物半導体層に内在する応力を緩和する効果を有する層を含んでいてもよい。緩衝層は、例えば、AlGaN からなる単層構造、より好ましくは応力を緩和する多層構造である。応力を緩和する多層構造には、例えば、互いに組成が異なる複数の AlGaN 層からなる超格子構造がある。超格子構造によって応力の緩和が起こり、窒化物半導体層に生じる反りを低減することができる。また、超格子構造又は多層構造の内部にバンドギャップが小さい層が含まれると、該バンドギャップが小さい層において自発分極及びピエゾ分極によって 2 次元電子ガス (2DEG) が発生しやすくなる。このように、2DEG が発生すると、バッファ層 2 の内部でリーク電流が発生して耐圧が著しく低下する。このため、超格子構造においては、2DEG を発生させないように、バンドギャップが小さい層の抵抗値を上げる必要がある。例えば、バンドギャップが小さい層の炭素濃度を高くすることによって、その抵抗値を上げるこ

【0032】

バッファ層 2 の上に形成される第 1 の窒化物半導体層 3 は、 $Al_xGa_{1-x}N$  (但し、 $0 < x < 1$ ) からなる化合物によって構成される層である。ここでは、第 1 の窒化物半導体層 3 に炭素を高濃度にドーピングすることにより、該第 1 の窒化物半導体層 3 の抵抗が大きくなって、H F E T の耐圧の向上が可能となる。

【0033】

第 1 の窒化物半導体層 3 の上に形成される第 2 の窒化物半導体層 4 は、 $In_xAl_yGa_{1-x-y}N$  (但し、 $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x + y < 1$ ) からなる化合物によって構成される。第 2 の窒化物半導体層 4 は、第 3 の窒化物半導体層 5 よりもバンドギャ

10

20

30

40

50

ップが大きいことから、第3の窒化物半導体層5から基板1側へのリーク電流が低減される。また、第2の窒化物半導体層4は、ドーパされる炭素濃度が低濃度であることから、電子のトラップが少なくなり、電流コラプスが低減される。なお、第1の窒化物半導体層3のバンドギャップは、第2の窒化物半導体層4のバンドギャップと同等かそれよりも大きくてもよい。

#### 【0034】

第2の窒化物半導体層4の上に形成される第3の窒化物半導体層5は、 $In_x Al_y Ga_{1-x-y} N$  (但し、 $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x + y < 1$ ) からなる。第3の窒化物半導体層5は、第2の窒化物半導体層4よりもバンドギャップが小さい。第3の窒化物半導体層5と第2の窒化物半導体層4との界面は、バンドギャップの差が存在するが、急峻に変化させてもよく、また、緩やかに変化させてもよい。また、第3の窒化物半導体層5と第2の窒化物半導体層4とのそれぞれのバンドギャップの間に相当する複数の層によって、段階的にバンドギャップを変化させてもよい。

10

#### 【0035】

第3の窒化物半導体層5の上に形成される第4の窒化物半導体層6は、 $In_x Al_y Ga_{1-x-y} N$  (但し、 $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x + y < 1$ ) からなる。第3の窒化物半導体層5は、第4の窒化物半導体層6よりもバンドギャップが小さい半導体であり、自発分極及びピエゾ分極により、第3の窒化物半導体層5と第4の窒化物半導体層6との界面において、2次元電子ガス(2DEG)7が形成される。なお、第4の窒化物半導体層におけるAl組成が0.1を下回ると、2DEGが適切に発生しない。また、Al組成が大きくなるとクラックが発生し易くなるため、第4の窒化物半導体層におけるAl組成は0.1~0.5程度が望ましい。第3の窒化物半導体層5は、電子の移動度を高くするために、低ドーパントであることが望ましく、高電圧化でキャリアが存在する場合に移動度が高くなるため、第3の窒化物半導体層5は低抵抗の層となる。なお、第3の窒化物半導体層5の層厚が厚い場合は、電極に高電圧を印加すると、横方向のリーク電流が発生する。

20

#### 【0036】

以下、前記のように構成された第1の実施形態に係る窒化物半導体からなるHFEETの製造方法について図3を参照しながら説明する。

#### 【0037】

まず、図3(a)に示すように、結晶成長装置を用いて、例えば高抵抗シリコンよりなる基板1の上に、それぞれ窒化物半導体からなる、バッファ層2、第1の窒化物半導体層3、第2の窒化物半導体層4、第3の窒化物半導体層5、第4の窒化物半導体層6、コントロール層12及びコンタクト層13を順次成長する。

30

#### 【0038】

具体的には、例えば、シリコンよりなる基板1の主面をバッファードフッ酸により洗浄して、主面上の自然酸化膜を除去し、その後、基板1を結晶成長装置に投入する。結晶成長装置は、高品質な窒化物半導体が成長できる装置が望ましく、分子線エピタキシャル成長(MBE: molecular beam epitaxy)法、有機金属気相エピタキシャル成長(MOVPE: metal-organic vapor phase epitaxy)又はMOCVD: metal-organic chemical vapor deposition)法、又はハイドライド気相エピタキシャル成長(HVPE: hydride vapor phase epitaxy)法等を用いることができる。ここでは、MOCVD法を例に説明する。

40

#### 【0039】

表面が洗浄された基板1を結晶成長装置に投入した後、基板1の表面をアンモニア( $NH_3$ )又は有機金属を含まない水素( $H_2$ )若しくは窒素( $N_2$ )雰囲気中高温のサーマルクリーニングを行う。続いて、トリメチルアルミニウム(TMA)及びアンモニアガスを供給することにより、高炭素濃度の第1の窒化アルミニウム層を形成する。このとき、成長時におけるIII族原料に対するV族(窒素)原料の比であるV/III比の値を適切に調整することにより、炭素濃度を高くすることができる。第1の窒化アルミニウム層を所定

50

の厚さに形成し、その後、 $V/III$ 比の値を前述の場合よりも高く適切に調整することにより、低炭素濃度の第2の窒化アルミニウム層を形成する。次に、 $V/III$ 比の値を適切に調節して、炭素濃度が高いAlGaIn層を形成する。AlGaIn層は、炭素濃度を上げることにより高抵抗化できるため、HFEETの高耐圧化が可能となる。続いて、AlGaIn層の上に、平均のAl組成が上記のAlGaIn層よりも低いAlGaIn層及びAlN層からなる超格子構造を形成する。このように、バッファ層2に超格子構造を設けることにより、上層の窒化物半導体層における応力を緩和できるため、各窒化物半導体層の反り及びクラックを低減できるという効果を奏する。

【0040】

続いて、バッファ層2の上に、第1の窒化物半導体層3として、 $V/III$ 比の値を適切に調節して、炭素濃度が高いAlGaIn層を形成する。

10

【0041】

続いて、第1の窒化物半導体層3の上に、第2の窒化物半導体層4として、 $V/III$ 比の値を適切に調整して、炭素濃度が低いアンドープのAlGaIn層を形成する。ここで、第1の窒化物半導体層3におけるAl組成は、超格子構造における平均Al組成よりも低く、第2の窒化物半導体層4におけるAl組成と等しいか高いことが望ましい。

【0042】

続いて、第2の窒化物半導体層4の上に、第3の窒化物半導体層5として、 $V/III$ 比の値を適切に調整して、炭素濃度が低いアンドープのGaN層を形成する。

20

【0043】

続いて、第3の窒化物半導体層5の上に、第4の窒化物半導体層6として、 $V/III$ 比の値を適切に調整して、炭素濃度が低いアンドープのAlGaIn層を形成する。

【0044】

次に、第4の窒化物半導体層6の上に、コントロール層12として、例えばp型のドーパント源にビスシクロペンタジエニルマグネシウム( $Cp_2Mg$ )を用いてMgのドーピングを行って、p型GaN層を形成する。

【0045】

続いて、コントロール層12の上に、コンタクト層13として、p型GaN層よりも高濃度にMgをドーピングしたp型GaN層を形成する。

30

【0046】

以上の各窒化物半導体層を連続して成長した後に、基板1を結晶成長装置から取り出す。

【0047】

各層の炭素濃度の調整の方法としては、 $V/III$ 比の値を低くするか、500 ~ 1000程度の低い温度で成膜することにより、供給源である有機金属の炭素を取り込むことによって、炭素濃度を上げる方法がある。また、四臭化炭素( $CBr_4$ )、エタン( $CH_4$ )又はメタン( $C_2H_6$ )等の炭素供給源を用いて炭素を積極的にドーピングする方法がある。

【0048】

次に、図3(b)に示すように、リソグラフィ法により、コンタクト層13の上に、ゲート電極形成領域をマスクする第1のレジスト膜(図示せず)をパターンニングして形成する。続いて、ドライエッチング装置により、三塩化ホウ素( $BCl_3$ )又は塩素( $Cl_2$ )等のガスを用い、第1のレジスト膜をマスクとして、コンタクト層13、及びコントロール層12の上部を除去して、第4の窒化物半導体層6を露出する。その後、第1のレジスト膜を除去する。

40

【0049】

次に、図3(c)に示すように、プラズマCVD装置等を用いて、露出した第4の窒化物半導体層6を含むコンタクト層13の上に絶縁膜11を全面的に形成する。

【0050】

次に、図3(d)に示すように、リソグラフィ法により、絶縁膜11の上に、ソース電

50

極及びドレイン電極の各形成領域の上側部分に開口部を持つ第2のレジスト膜（図示せず）をパターンニングして形成する。その後、ドライエッチング装置により、第2のレジスト膜をマスクとして絶縁膜11を選択的に除去する。続いて、蒸着装置により、第2のレジスト膜から露出する第4の窒化物半導体層6を含め第2のレジスト膜の上にオーミック電極用金属膜を形成する。その後、リフトオフ法により、第2のレジスト膜及びその上のオーミック電極用金属膜の不要部分を除去することにより、ソース電極8及びドレイン電極10を形成する。

【0051】

次に、図3（e）に示すように、リソグラフィ法により、絶縁膜11の上に、ゲート電極形成領域の上側部分に開口部を持つ第3のレジスト膜（図示せず）をパターンニングして形成する。その後、ドライエッチング装置により、第3のレジスト膜をマスクとして絶縁膜11を選択的に除去する。続いて、蒸着装置により、第3のレジスト膜から露出するコンタクト層13を含め第3のレジスト膜の上にp側オーミック電極用金属膜を形成する。その後、リフトオフ法により、第3のレジスト膜及びその上のp側オーミック電極用金属膜の不要部分を除去することにより、ゲート電極9を形成する。

10

【0052】

以上の製造方法により、第1の実施形態で示したヘテロ接合型電界効果トランジスタ（HFET）が形成できる。

【0053】

次に、図4に示す第2の従来例に係るHFETのデバイス特性と、第1の実施形態に係るHFETのデバイス特性とを比較する。なお、図4に示すHFETは、特許文献2に記載されている。図4に示すように、第2の従来例に係るHFETは、第1の窒化物半導体層3の上に第3の窒化物半導体層5が形成されており、第2の窒化物半導体層4を有さない。

20

【0054】

まず、横方向（基板の主面に平行な方向）のリーク電流として、それぞれゲート電圧を0Vとし、ドレイン電圧を550Vとしたときのソース・ドレイン間の電流を測定する。

【0055】

次に、電流コラプスの影響が大きい場合には、トランジスタのスイッチング動作時のオン抵抗が悪化（増大）する傾向が見られることから、それぞれ電流コラプスの評価として以下の測定を行う。まず、ゲート電圧を0Vとし、ドレイン電圧を250Vに印加し、その後、4.5Vのゲート電圧を印加した直後のオン抵抗を測定して、直流動作時のオン抵抗との比の値を評価する。オン抵抗比の値が大きいほど、電流コラプスの影響が大きいと判定できる。

30

【0056】

図5にソース・ドレイン間のリーク電流とオン抵抗比の値との評価結果を示す。評価したHFETは、第1の実施形態に係るHFETと、第2の従来例に係るHFETと、第2の従来例に係るHFETにおける第3の窒化物半導体の膜厚を1.5倍にしたHFETとである。これによると、第1の実施形態に係るHFETは、第2の従来例に係るHFETと比べ、ソース・ドレイン間のリーク電流及びオン抵抗比の値が低減しており、特性が良化していることが分かる。また、第2の従来例に係るHFETにおける第3の窒化物半導体の膜厚を1.5倍にしたHFETは、第2の従来例に係るHFETと比べ、オン抵抗比の値は低下するものの、ソース・ドレイン間のリーク電流の値が増加しており、両者がトレードオフの関係性を有していることが分かる。

40

【0057】

図6に第2の従来例に係るHFETにおけるSIMS（secondary ion mass spectrometry）の測定結果を示す。図6から分かるように、GaNからなる第3の窒化物半導体層5における炭素濃度は、測定限界程度（約 $1 \times 10^{16} / \text{cm}^3$ ）であり、AlGaNからなる第1の窒化物半導体層3の炭素濃度は、 $7 \times 10^{18} / \text{cm}^3$ であることが分かる。すなわち、第2の従来例に係る第1の窒化物半導体層3は、この炭素によって高抵抗化

50

されている。

【0058】

図7に第1の実施形態に係るHFEETにおけるSIMSの測定結果を示す。図7から分かるように、GaNからなる第3の窒化物半導体層5及びAlGaNからなる第2の窒化物半導体層4は、共に測定限界程度の炭素濃度であり、AlGaNからなる第1の窒化物半導体層3は、従来構造と同等の $7 \times 10^{18} / \text{cm}^3$ の炭素濃度を有している。従来構造と第1の実施形態とは、いずれも高炭素濃度層である第1の窒化物半導体層3の深さ方向の位置が等しいにも拘わらず、第1の実施形態においては、従来構造と比べて、ソース・ドレイン間のリーク電流が低減し、且つ電流コラプスを抑制できることが分かる。

【0059】

(第2の実施形態)

以下、本発明の第2の実施形態について図8を参照しながら説明する。図8において、図1に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0060】

図8に示すように、第2の実施形態に係る窒化物半導体装置は、高電子移動度トランジスタ(HEMT: High Electron Mobility Transistor)であり、例えば高抵抗シリコンからなる基板1の主面上に、バッファ層2及び第1の窒化物半導体層3を介在させて第2の窒化物半導体層4と能動層とが形成されている。能動層は、第2の窒化物半導体層4の上に順次形成された第3の窒化物半導体層5及び第4の窒化物半導体層6からなる。

【0061】

第4の窒化物半導体層6の上には、ショットキー電極であるゲート電極9と、該ゲート電極9の両側にそれぞれ間隔をおいた、オーミック電極であるソース電極8及びドレイン電極10とが形成されている。

【0062】

以下、前記のように構成された第2の実施形態に係るHEMTの製造方法について図9を参照しながら説明する。

【0063】

まず、図9(a)に示すように、第1の実施形態と同様にMOCVD装置等の結晶成長装置を用いて、基板1の上に、窒化物半導体からなるバッファ層2、第1の窒化物半導体層3、第2の窒化物半導体層4、第3の窒化物半導体層5及び第4の窒化物半導体層6を順次成長する。

【0064】

次に、図9(b)に示すように、リソグラフィ法により、第4の窒化物半導体層6の上に、ソース電極及びドレイン電極の各形成領域の上側部分に開口部を持つ第1のレジスト膜(図示せず)をパターニングして形成する。続いて、蒸着装置により、第1のレジスト膜から露出する第4の窒化物半導体層6を含め第1のレジスト膜の上にオーミック電極用金属膜を形成する。その後、リフトオフ法により、第1のレジスト膜及びその上のオーミック電極用金属膜の不要部分を除去することにより、ソース電極8及びドレイン電極10を形成する。ここで、オーミック電極用金属膜には、例えばチタン(Ti)及びアルミニウム(Al)を用いることができる。

【0065】

次に、図9(c)に示すように、リソグラフィ法により、第4の窒化物半導体層6の上に、ゲート電極形成領域の上側部分に開口部を持つ第2のレジスト膜(図示せず)をパターニングして形成する。続いて、蒸着装置により、第2のレジスト膜から露出する第4の窒化物半導体層6を含め第2のレジスト膜の上に、ショットキー電極用金属膜である、白金(Pt)膜及び金(Au)膜を順次形成する。その後、リフトオフ法により、第2のレジスト膜及びその上のショットキー電極用金属膜の不要部分を除去することにより、ゲート電極9を形成する。

【0066】

10

20

30

40

50

以上の製造方法により、第2の実施形態に係るH E M Tが形成できる。

【0067】

第2の実施形態に係るH E M Tにおいても、第1の窒化物半導体層3と第3の窒化物半導体層5との間に、第3の窒化物半導体層5よりもバンドギャップが大きく、且つ第1の窒化物半導体層3よりも炭素濃度が低い第2の窒化物半導体層4を形成しているため、第1の実施形態に係るH F E Tと同様に、電流コラプスの抑制と横方向のリーク電流の低減が可能となる。

【0068】

(第3の実施形態)

以下、本発明の第3の実施形態について図10を参照しながら説明する。図10において、図1に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

10

【0069】

図10に示すように、第3の実施形態に係る窒化物半導体装置は、ゲート絶縁膜を有する金属-絶縁膜-半導体接合(M I S : metal insulator semiconductor)型のヘテロ接合電界効果トランジスタ(H F E T)である。

【0070】

具体的には、例えば高抵抗シリコンからなる基板1の主面上に、バッファ層2、第1の窒化物半導体層3、第2の窒化物半導体層4、第3の窒化物半導体層5及び第4の窒化物半導体層6が順次形成されている。

20

【0071】

第4の窒化物半導体層6の上には、オーミック電極であるソース電極8及びドレイン電極10が互いに間隔をおいて形成されている。また、第4の窒化物半導体層6上であって、ソース電極8及びドレイン電極10の間の領域にゲート絶縁膜14が形成されており、該ゲート絶縁膜14の上にはゲート電極9が形成されている。

【0072】

ここで、ゲート絶縁膜14の形成材料には、例えば窒化シリコン(S i N)又は酸化シリコン(S i O<sub>2</sub>)を用いることができる。

【0073】

第2の実施形態に係るH E M Tと比べ、第3の実施形態に係るM I S型H F E Tは、ゲート電極と第4の窒化物半導体層6との間にゲート絶縁膜14を設けているため、相互コンダクタンスが向上すると共に、高濃度のシートキャリアを誘起することができる。

30

【0074】

以下、前記のように構成された第3の実施形態に係るM I S型H F E Tの製造方法について図11を参照しながら説明する。

【0075】

まず、図11(a)に示すように、第2の実施形態と同様にM O C V D装置等の結晶成長装置を用いて、基板1の上に、窒化物半導体からなるバッファ層2、第1の窒化物半導体層3、第2の窒化物半導体層4、第3の窒化物半導体層5及び第4の窒化物半導体層6を順次成長する。続いて、プラズマC V D装置等を用いて、第4の窒化物半導体層6の上に、ゲート絶縁膜14を成膜する。ゲート絶縁膜14は、酸化シリコン又は窒化シリコンからなり、第4の窒化物半導体層6との界面に欠陥が少ないことが望ましい。また、ゲート絶縁膜14は、結晶成長装置内で、第4の窒化物半導体層6の上に連続して成膜してもよい。

40

【0076】

次に、図11(b)に示すように、リソグラフィ法により、ゲート絶縁膜14の上に、ソース電極及びドレイン電極の各形成領域の上側部分に開口部を持つ第1のレジスト膜(図示せず)をパターンニングして形成する。その後、ドライエッチング装置により、第1のレジスト膜をマスクとしてゲート絶縁膜14を選択的に除去する。

【0077】

50

次に、図 1 1 ( c ) に示すように、蒸着装置により、第 1 のレジスト膜から露出する第 4 の窒化物半導体層 6 を含め第 1 のレジスト膜の上にオーミック電極用金属膜を形成する。その後、リフトオフ法により、第 1 のレジスト膜及びその上のオーミック電極用金属膜の不要部分を除去することにより、ソース電極 8 及びドレイン電極 1 0 を形成する。ここで、オーミック電極用金属膜には、例えばチタン ( T i ) 及びアルミニウム ( A l ) を用いることができる。

【 0 0 7 8 】

次に、図 1 1 ( d ) に示すように、リソグラフィ法により、ゲート絶縁膜 1 4 の上に、ゲート電極形成領域の上側部分に開口部を持つ第 2 のレジスト膜 ( 図示せず ) をパターンニングして形成する。その後、蒸着装置により、第 2 のレジスト膜から露出するゲート絶縁膜 1 4 を含め第 2 のレジスト膜の上にショットキー電極用金属膜を形成する。その後、リフトオフ法により、第 2 のレジスト膜及びその上のショットキー電極用金属膜の不要部分を除去することにより、ゲート電極 9 を形成する。ショットキー電極用金属膜には、白金 ( P t ) 及び金 ( A u ) を用いることができる。

10

【 0 0 7 9 】

以上の製造方法により、第 3 の実施形態に係る M I S 型 H F E T が形成できる。

【 0 0 8 0 】

第 3 の実施形態に係る M I S 型 H F E T においても、第 1 の窒化物半導体層 3 と第 3 の窒化物半導体層 5 との間に、第 3 の窒化物半導体層 5 よりもバンドギャップが大きく、且つ第 1 の窒化物半導体層 3 よりも炭素濃度が低い第 2 の窒化物半導体層 4 を形成しているため、第 1 の実施形態に係る H F E T と同様に、電流コラプスの抑制と横方向のリーク電流の低減が可能となる。

20

【 産業上の利用可能性 】

【 0 0 8 1 】

本発明に係る窒化物半導体装置は、電流コラプスを抑制し且つ横方向のリーク電流を低減でき、H F E T 及び H E M T 等の電界効果トランジスタ等として有用である。

【 符号の説明 】

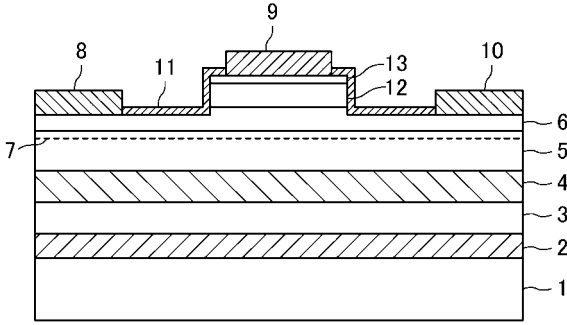
【 0 0 8 2 】

- 1 基板
- 2 バッファ層
- 3 第 1 の窒化物半導体層
- 4 第 2 の窒化物半導体層
- 5 第 3 の窒化物半導体層
- 6 第 4 の窒化物半導体層
- 7 2 次元電子ガス
- 8 ソース電極
- 9 ゲート電極
- 1 0 ドレイン電極
- 1 1 絶縁膜
- 1 2 コントロール層
- 1 3 コンタクト層
- 1 4 ゲート絶縁膜

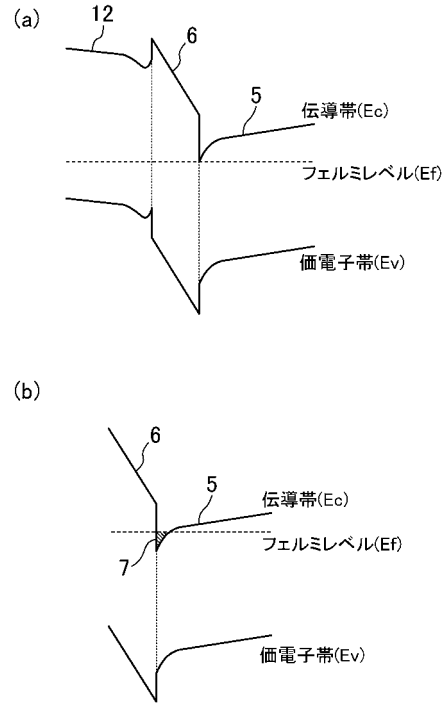
30

40

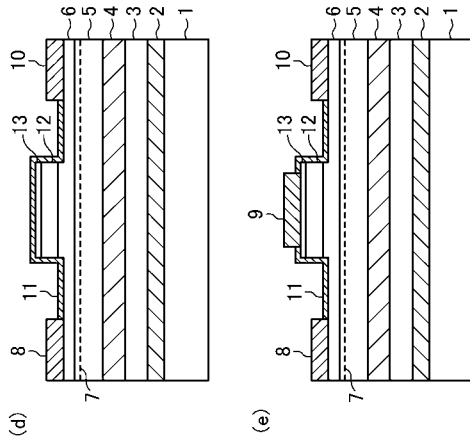
【 図 1 】



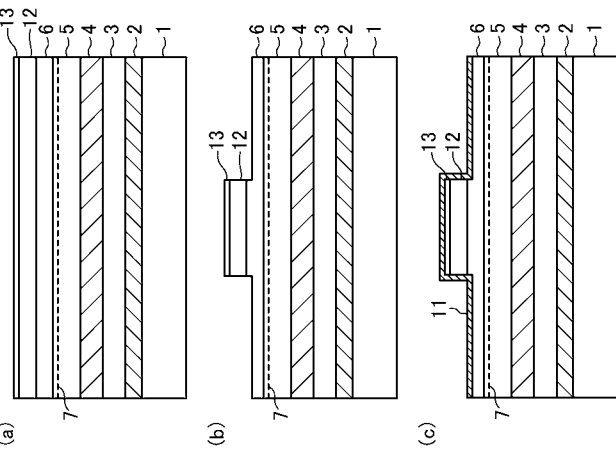
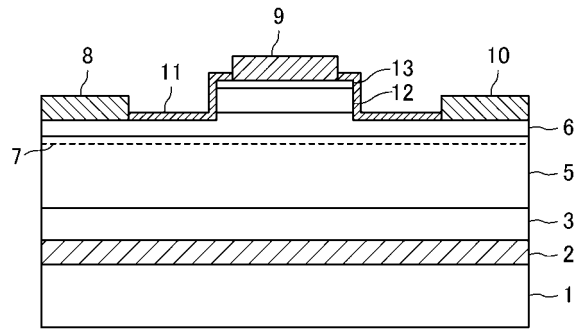
【 図 2 】



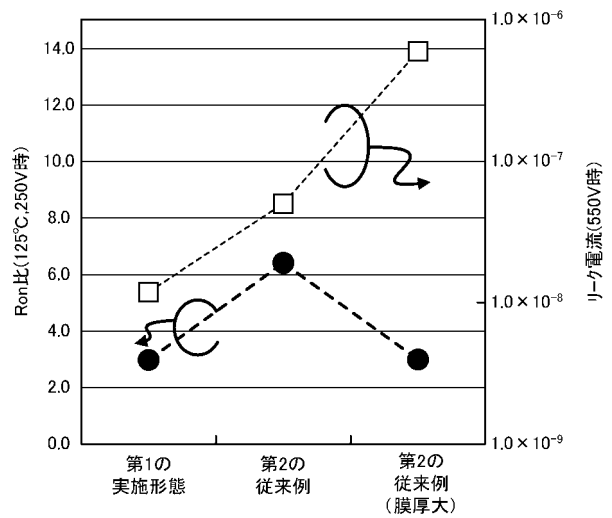
【 図 3 】



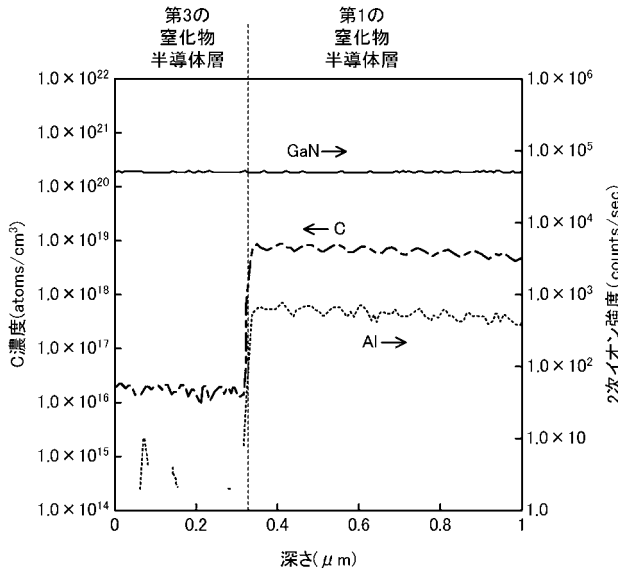
【 図 4 】



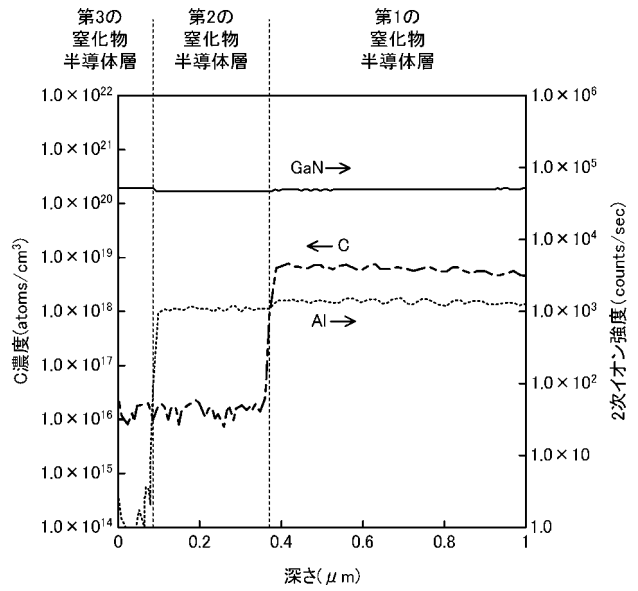
【 図 5 】



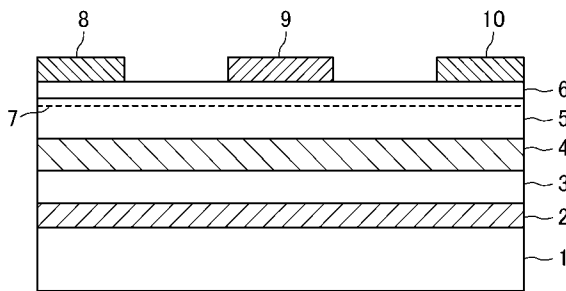
【 図 6 】



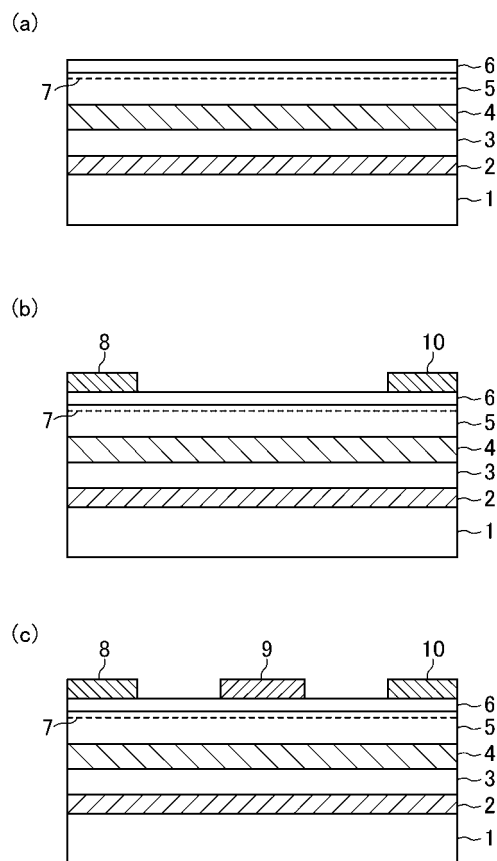
【 図 7 】



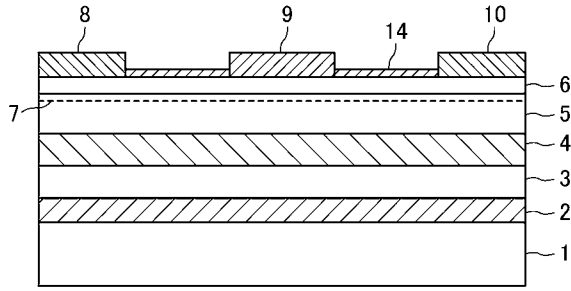
【 図 8 】



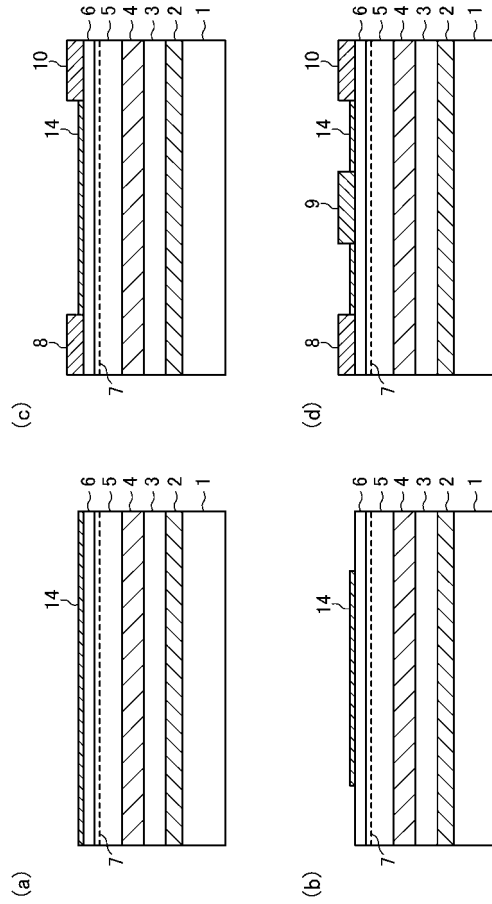
【 図 9 】



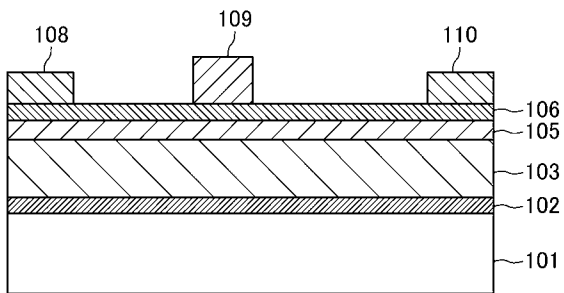
【図 1 0】



【図 1 1】



【図 1 2】



## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/004069

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H01L21/338(2006.01)i, H01L21/205(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L21/338, H01L21/205, H01L29/778, H01L29/812		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011 Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-251144 A (The Furukawa Electric Co., Ltd.), 27 September 2007 (27.09.2007), fig. 4 to 7; paragraph [0088] & WO 2007/097264 A1	1-6
Y	WO 2003/049193 A1 (CREE, INC.), 12 June 2003 (12.06.2003), page 9, line 4 to page 12, line 6 & JP 2005-512327 A paragraphs [0031] to [0041] & US 2003/0102482 A1 & EP 1456889 A & CA 2468520 A & AU 2002352817 A & TW 255551 B & KR 10-2005-0058259 A & CN 1599960 A	1-6
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 09 September, 2011 (09.09.11)	Date of mailing of the international search report 20 September, 2011 (20.09.11)	
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	
Facsimile No.	Telephone No.	

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/004069

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-165987 A (Panasonic Corp.), 29 July 2010 (29.07.2010), fig. 1 (Family: none)	5
Y	JP 2009-059946 A (Fujitsu Ltd.), 19 March 2009 (19.03.2009), fig. 1 to 10 (Family: none)	6
A	JP 2006-114655 A (Hitachi Cable, Ltd.), 27 April 2006 (27.04.2006), all drawings (Family: none)	1-6

国際調査報告		国際出願番号 PCT/J P 2 0 1 1 / 0 0 4 0 6 9									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L21/338(2006.01)i, H01L21/205(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L21/338, H01L21/205, H01L29/778, H01L29/812											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2011年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2011年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2011年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2011年	日本国実用新案登録公報	1996-2011年	日本国登録実用新案公報	1994-2011年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2011年										
日本国実用新案登録公報	1996-2011年										
日本国登録実用新案公報	1994-2011年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y	JP 2007-251144 A (古河電気工業株式会社) 2007.09.27, 図4-7、段落【0088】 & WO 2007/097264 A1	1-6									
Y	WO 2003/049193 A1 (CREE, INC.) 2003.06.12, 第9頁第4行-第12頁第6行 & JP 2005-512327 A, 段落【0031】 - 【0041】 & US 2003/0102482 A1 & EP 1456889 A & CA 2468520 A & AU 2002352817 A & TW 255551 B & KR 10-2005-0058259 A & CN 1599960 A	1-6									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 09.09.2011		国際調査報告の発送日 20.09.2011									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 村岡 一磨	4 L 3 4 4 8								
		電話番号 03-3581-1101	内線 3498								

国際調査報告		国際出願番号 PCT/J P 2 0 1 1 / 0 0 4 0 6 9
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-165987 A (パナソニック株式会社) 2010.07.29, 図1 (ファミリーなし)	5
Y	JP 2009-059946 A (富士通株式会社) 2009.03.19, 図1-10 (ファミリーなし)	6
A	JP 2006-114655 A (日立電線株式会社) 2006.04.27, 全図 (ファミリーなし)	1-6

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 5F102 FA00 GB01 GC01 GD01 GJ03 GJ04 GJ10 GK04 GL04 GM04  
GQ01 GS01 GT01 GV05 GV07 GV08 HC01 HC19

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。