

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5779265号
(P5779265)

(45) 発行日 平成27年9月16日(2015.9.16)

(24) 登録日 平成27年7月17日(2015.7.17)

(51) Int.Cl. F I
HO 1 L 23/12 (2006.01) HO 1 L 23/12 E
 HO 1 L 23/12 Q

請求項の数 8 (全 13 頁)

(21) 出願番号	特願2014-61706 (P2014-61706)	(73) 特許権者	000003078
(22) 出願日	平成26年3月25日 (2014.3.25)		株式会社東芝
(62) 分割の表示	特願2011-19273 (P2011-19273) の分割		東京都港区芝浦一丁目1番1号
原出願日	平成23年1月31日 (2011.1.31)	(74) 代理人	100111121
(65) 公開番号	特開2014-112743 (P2014-112743A)		弁理士 原 拓実
(43) 公開日	平成26年6月19日 (2014.6.19)	(74) 代理人	100142088
審査請求日	平成26年3月25日 (2014.3.25)		弁理士 野木 新治
早期審査対象出願		(74) 代理人	100200104
前置審査			弁理士 渡邊 実
		(74) 代理人	100176599
			弁理士 高橋 拓也
		(74) 代理人	100122220
			弁理士 黒田 久美子
		(74) 代理人	100138807
			弁理士 大西 邦幸

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

絶縁基材と、前記絶縁基材に設けられた複数の配線と、前記絶縁基材の側面において露出する銅またはタングステンの切断面と、を有する回路基板と、

前記回路基板に搭載された半導体素子と、

前記半導体素子を封止する封止樹脂層と、

前記封止樹脂層を覆う導電性シールド層と、

前記複数の配線のそれぞれに接続された外部接続端子と、

を備え、

前記切断面と、前記導電性シールド層と、は接続され、

前記複数の配線のいずれかと、前記複数の配線のいずれかに接続された前記外部接続端子と、は、グランド電位になることが可能であり、

グランド電位になることが可能な前記外部接続端子は、前記複数の配線のいずれかを介して前記切断面に電氣的に接続され、

グランド電位になることが可能な前記外部接続端子どうし、グランド電位になることが可能な前記切断面どうし、およびグランド電位になることが可能な前記外部接続端子とグランド電位になることが可能な前記切断面と、が隣り合う距離は、遮蔽する電磁波の波長の半分以下である半導体装置。

【請求項2】

グランド電位になることが可能な前記外部接続端子は、前記半導体素子の角部および前

記半導体素子の隣り合う角部の間の少なくともいずれかに位置している請求項 1 に記載の半導体装置。

【請求項 3】

グランド電位になることが可能な前記外部接続端子の位置は、前記導電性シールド層がグランド電位に接する箇所である請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記半導体素子と前記回路基板との間には、ダイボンディング材が形成されている請求項 1 乃至 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記回路基板の下側において、前記外部接続端子を取り囲む別の配線層をさらに備え、前記別の配線層は、グランド電位になることが可能な前記外部接続端子に電氣的に接続されている請求項 1 乃至 4 のいずれか一項に記載の半導体装置。

10

【請求項 6】

グランド電位になることが可能な前記外部接続端子と、前記別の配線層と、は、遮る電磁波の波長の 2 分の 1 より狭い間隔で配置されている請求項 5 に記載の半導体装置。

【請求項 7】

前記回路基板は、前記半導体素子が搭載された第 1 面と、前記第 1 面と反対側の第 2 面と、を有し、

前記外部接続端子は、前記第 2 面の側に配置されている請求項 1 乃至 6 のいずれか一項に記載の半導体装置。

20

【請求項 8】

絶縁基材と、前記絶縁基材に設けられた複数の配線と、前記絶縁基材の側面において露出する銅またはタングステンの切断面と、を有する回路基板と、

前記回路基板に搭載された半導体素子と、

前記半導体素子を封止する封止樹脂層と、

前記封止樹脂層を覆う導電性シールド層と、

前記複数の配線のそれぞれに接続された外部接続端子と、

を備え、

前記切断面と、前記導電性シールド層と、が接続され、

前記複数の配線のいずれかと、前記複数の配線のいずれかに接続された前記外部接続端子は、グランド電位になることが可能であり、

30

グランド電位になることが可能な前記外部接続端子は、前記複数の配線のいずれかを介して前記切断面に電氣的に接続され、

グランド電位になることが可能な前記外部接続端子どうし、グランド電位になることが可能な前記切断面どうし、およびグランド電位になることが可能な前記外部接続端子とグランド電位になることが可能な前記切断面と、が隣り合う距離は、周波数が 50 MHz 以上 2.5 GHz 以下の電磁波の波長の半分以下である半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

40

【背景技術】

【0002】

一般的に、半導体素子や周辺回路に電流が流れると、電流の周りに電界と磁界が誘導され、不要な電磁ノイズが発生する。不要な電磁ノイズは、他の回路や素子などの動作に影響を与える。一例として、携帯電話などの移動通信機器に搭載された半導体装置から放出された電磁ノイズが、アンテナに入射し、電波の受信障害を起こす場合がある。

【0003】

このような電磁ノイズの遮蔽および半導体素子の保護のために、回路モジュールを覆う遮蔽板を設ける方法がある。しかし、回路モジュールを遮蔽板によって覆う方法では、回

50

路モジュールの小型化が図れないという問題がある。

【0004】

これに対して、半導体素子自体の外周に遮蔽膜を形成させた半導体装置（半導体パッケージ）がある。このような半導体装置を回路モジュールに組み込めば、回路モジュールの小型化を図ることができる。そして、半導体素子については、ますます高速動作が要求され、電磁ノイズをより遮蔽する信頼性の高い半導体装置が要求されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2010-103574号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明が解決しようとする課題は、電磁ノイズを外部に放射しない点より信頼性の高い半導体装置を提供することである。

【課題を解決するための手段】

【0007】

実施形態の半導体装置は、絶縁基材と、前記絶縁基材に設けられた複数の配線と、前記絶縁基材の側面において露出する銅またはタングステンの切断面と、を有する回路基板と、前記回路基板に搭載された半導体素子と、前記半導体素子を封止する封止樹脂層と、前記封止樹脂層を覆う導電性シールド層と、前記複数の配線のそれぞれに接続された外部接続端子と、を備える。

20

【0008】

前記切断面と、前記導電性シールド層と、は接続されている。前記複数の配線のいずれかと、前記複数の配線のいずれかに接続された前記外部接続端子と、は、グランド電位になることが可能である。グランド電位になることが可能な前記外部接続端子は、前記複数の配線のいずれかを介して前記切断面に電氣的に接続されている。グランド電位になることが可能な前記外部接続端子どうしが隣り合う距離は、遮蔽する電磁波の波長の半分以下である。

【図面の簡単な説明】

30

【0009】

【図1】第1実施形態に係る半導体装置の概要を説明する断面模式図である。

【図2】第1実施形態に係る半導体装置の平面模式図であり、(a)は、回路基板の上面側の平面模式図、(b)は、回路基板の下面側の平面模式図である。

【図3】第1実施形態に係る半導体装置の平面模式図であり、(a)は、第1変形例の回路基板の平面模式図、(b)は、第2変形例の回路基板の平面模式図である。

【図4】第1実施形態に係る半導体装置の製造過程を説明する断面模式図である。

【図5】電磁ノイズのシールド効果を説明するためのシミュレーション結果である。

【図6】第2実施形態に係る半導体装置の断面模式図である。

【図7】第3実施形態に係る半導体装置の平面模式図およびシールド効果を説明する図である。

40

【図8】第4実施形態に係る半導体装置の断面模式図である。

【発明を実施するための形態】

【0010】

以下、図面を参照しつつ、実施形態について説明する。以下の説明では、同一の部材には同一の符号を付し、一度説明した部材については適宜その説明を省略する。また、以下に説明する各実施形態は、適宜複合させることができる。

【0011】

(第1実施形態)

図1は、第1実施形態に係る半導体装置の概要を説明する断面模式図である。

50

図1には、第1実施形態に係る半導体装置1のほかに、半導体装置1を実装する実装基板100が表示されている。

【0012】

半導体装置1は、FPGA(Fine pitch Ball Grid Array)型の半導体パッケージである。半導体装置1は、回路基板10を有する。回路基板10は、インターポーザ基板とも称される。回路基板10は、絶縁基材11と、絶縁基材11の上面側の外周に設けられた第1配線層を構成する複数の配線12と、絶縁基材11の下面側に設けられた第2配線層を構成する複数の配線13と、を有する。回路基板10は、さらに絶縁基材の上面(第1主面)から下面(第2主面)にまで貫通する複数のビア14を有する。回路基板10の上面には、第1配線層12の一部を被覆するソルダレジスト層15が形成されている。回路基板10の下面には、第2配線層13の一部を被覆するソルダレジスト層16が形成されている。第2配線層を構成する複数の配線13のそれぞれは、ランド状の配線層である。第2配線層を構成する複数の配線13のそれぞれには、半田ボールである外部接続端子17が接続されている。外周の外部接続端子17からは、回路基板10の外側に引き出し線19が延在している。引き出し線19は、回路基板10の側面10wにおいて露出するビア14に接続されている。引き出し線19は、外周の外部接続端子17と、外周の外部接続端子17に最も近いビア14とを接続する接続線である。外部接続端子17は、実装基板100の上面側に設けられた配線層101に接続されている。

10

【0013】

回路基板10の上面側には、半導体素子20が搭載されている。半導体素子20の上面には、ワイヤ(ボンディングワイヤ)21の一方の端が接続されている。ワイヤ21の他方の端は、第1配線層12に接続されている。ワイヤ21は、導電部材であり、第1配線層を構成する複数の配線12の少なくとも1つと、半導体素子の表面に設けられた電極(図示しない)と、を電氣的に接続する。

20

【0014】

半導体素子20の外周およびワイヤ21は、回路基板10の上面側に設けられた封止樹脂層30によって封止されている。半導体素子20と回路基板10との間隙には、ダイボンディング材22が形成されている。封止樹脂層30と回路基板10の側面10wの一部とは、導電性シールド層40によって覆われている。導電性シールド層40は、回路基板10の側面(外端)10wに設けられたビア14に接続されている。回路基板10の側面10wにおいて露出するビア14の少なくとも1つは、グランド(GND)電位にすることができる。これにより、半導体素子20の外周、ワイヤ21、回路基板10の上面側、および回路基板10の側面10wの一部を覆う導電性シールド層40の電位は、グランド(GND)電位にすることができる。

30

【0015】

半導体素子20は、例えば、フラッシュメモリ、DRAM等の記憶素子や、マイクロプロセッサ等の演算素子あるいは信号処理素子などである。ワイヤ21の材質は、例えば、金(Au)、アルミニウム(Al)、銅(Cu)等である。第1配線層12、13は、銅(Cu)箔、銀(Ag)または銅(Cu)を含む導電性ペースト等であり、必要に応じて表面にニッケル(Ni)、金(Au)等のめっき処理が施されている。ビア14は、例えば、柱状電極である。ビア14は、全ての材が導電材で構成された柱状電極でもよく、この柱状電極のほか、筒状の円筒電極と、この円筒電極内の中空に埋設された樹脂等と、を含む形態でもよい。ビア14の材質は、銅(Cu)、タングステン(W)等である。

40

【0016】

導電性シールド層40は、半導体素子20から放出される高周波ノイズを遮断するために、なるべく抵抗率が低い材料であることが望ましい。導電性シールド層40の材質としては、例えば、銀(Ag)、銅(Cu)、ニッケル(Ni)等が選択される。より具体的には、導電性シールド層40は、銀(Ag)ペーストを硬化させた銀(Ag)含有層であり、そのシート抵抗が0.1(Ω/□)以下に調整されている。導電性シールド層40の厚さは、数10μm(マイクロメートル)であり、より好ましくは、10~90μmであ

50

る。

【 0 0 1 7 】

図 2 は、第 1 実施形態に係る半導体装置の平面模式図であり、(a) は、回路基板の上面側の平面模式図、(b) は、回路基板の下面側の平面模式図である。図 2 は、絶縁基材 1 1 の上面 (または、下面) に対し垂直な方向から回路基板 1 0 を見た図である。

【 0 0 1 8 】

図 2 (a) に示すように、回路基板 1 0 の上面側においては、複数のビア 1 4 が設けられている。複数のビア 1 4 は、絶縁基材 1 1 の上面から下面にまで貫通している。符号 2 3 で囲う矩形の領域は、半導体素子 2 0 の素子搭載領域 2 3 である。ビア 1 4 は、素子搭載領域 2 3、または素子搭載領域 2 3 の領域外に複数配置されている。第 1 配線層を構成する複数の配線 1 2 は、素子搭載領域 2 3 外に設けられている。素子搭載領域 2 3 内のビア 1 4 から第 1 配線層 1 2 にかけては、引き出し線 1 8 が設けられている。引き出し線 1 8 は、半導体素子 2 0 の信号線、グランド配線等である。引き出し線 1 8 は、銅 (C u) 箔、銀 (A g) または銅 (C u) を含む導電性ペースト等である。

10

【 0 0 1 9 】

図 2 (b) に示すように、回路基板 1 0 の下面側には、複数の外部接続端子 1 7 が縦横に列になって設けられている。複数の外部接続端子 1 7 のそれぞれは、ビア 1 4 を介して、上面側の引き出し線 1 8 に電氣的に接続されている。すなわち、外部接続端子 1 7 は、第 2 配線層 1 3、ビア 1 4、および引き出し線 1 8 を経由して、第 1 配線層 1 2 に電氣的に接続されている。図 2 (b) では、図 1 で例示した配線層 1 3 が表示されていないが、実際には、配線層 1 3 は、外部接続端子 1 7 に接触している (図 1 参照) 。

20

【 0 0 2 0 】

半導体装置 1 においては、複数の外部接続端子 1 7 の数より少ない複数の外部接続端子 1 7 からなる群がグランド電位になることが可能である。例えば、半導体装置 1 が実装基板 1 0 0 に実装された後、実装基板 1 0 0 内に設けられたグランド配線によって、外部接続端子 1 7 のいくつかがグランド電位になる。図では、グランド電位になることができる外部接続端子を、符号 1 6 g を用いて、外部接続端子 1 7 g としている。換言すれば、第 2 配線層を構成する複数の配線 1 3 の数より少ない第 2 配線層を構成する複数の配線 1 3 からなる群は、グランド電位になることが可能である。また、外部接続端子 1 7 g に接触している第 2 配線層 1 3 は、グランド電位になることができる。

30

【 0 0 2 1 】

図 2 (b) では、グランド電位になる外部接続端子 1 7 g (または、外部接続端子 1 7 g に接する第 2 配線層 1 3) のそれぞれは、素子搭載領域 2 3 の 4 隅に位置している。換言すれば、外部接続端子 1 7 g (または、外部接続端子 1 7 g に接する第 2 配線層 1 3) のそれぞれは、半導体素子の角部に位置している。

【 0 0 2 2 】

また、回路基板 1 0 においては、回路基板 1 0 の主面全体に設けられた複数のビア 1 4 の数より少ない複数のビア 1 4 からなる群が回路基板 1 0 の側面 1 0 w に露出するように配置されている。側面 1 0 w に配置された複数のビア 1 4 のそれぞれは、回路基板 1 0 の側面において、製造過程に使用されるダイシングブレードによって切断され、露出面を有する。半導体装置 1 では、側面 1 0 w に配置された複数のビア 1 4 のそれぞれの露出面と、導電性シールド層 4 0 と、が接続されている。

40

【 0 0 2 3 】

また、グランド電位になる外部接続端子 1 7 g (または、外部接続端子 1 7 g に接する第 2 配線層 1 3) からは、引き出し線 1 9 が延在している。引き出し線 1 9 は、銅 (C u) 箔、銀 (A g) または銅 (C u) を含む導電性ペースト等である。

【 0 0 2 4 】

引き出し線 1 9 は、さらに側面 1 0 w に配置された複数のビア 1 4 のいくつかに接続している。図 2 (b) では、引き出し線 1 9 に接続されたビアを、符号 1 4 g を用いて、ビア 1 4 g としている。これにより、回路基板 1 0 の側面 1 0 w に配置された複数のビア 1

50

4 g は、グランド電位になることが可能になる。

【 0 0 2 5 】

半導体装置 1 においては、外部接続端子 1 7 g (または、外部接続端子 1 7 g に接する第 2 配線層 1 3) それぞれが側面 1 0 w に配置されたビア 1 4 のさらに一部である複数のビア 1 4 g のそれぞれに電氣的に接続されることにより、導電性シールド層 4 0 はグランド電位になることができる。すなわち、半導体装置 1 においては、導電性シールド層 4 0 とグランド電位との接点が複数設けられている。なお、ビア 1 4 g にグランド電位を供給する引き出し線 1 9 は、回路基板 1 0 の上面側に設けてよい。

【 0 0 2 6 】

また、グランド電位になる外部接続端子 1 7 g (または、外部接続端子 1 7 g に接する第 2 配線層 1 3) の数、配置は上述した例に限られない。その例を以下に示す。

【 0 0 2 7 】

図 3 は、第 1 実施形態に係る半導体装置の平面模式図であり、(a) は、第 1 変形例の回路基板の平面模式図、(b) は、第 2 変形例の回路基板の平面模式図である。図 3 (a)、(b) には、回路基板 1 0 の下面側が例示されている。

【 0 0 2 8 】

図 3 (a) に示す回路基板 1 0 においては、グランド電位になる外部接続端子 1 7 g (または、外部接続端子 1 7 g に接する第 2 配線層 1 3) のそれぞれは、素子搭載領域 2 3 の一辺の中央部に位置している。換言すれば、外部接続端子 1 7 g (または、外部接続端子 1 7 g に接する第 2 配線層 1 3) のそれぞれは、半導体素子 2 0 の隣り合う角部の間に位置している。

【 0 0 2 9 】

グランド電位になる外部接続端子 1 7 g (または、外部接続端子 1 7 g に接する第 2 配線層 1 3) からは、引き出し線 1 9 が延在している。引き出し線 1 9 は、さらに側面 1 0 w に配置された複数のビア 1 4 g に接続している。ビア 1 4 g は、導電性シールド層 4 0 に接続されている。

【 0 0 3 0 】

図 3 (b) に示す回路基板 1 0 においては、図 2 (b) の形態と図 3 (a) の形態とが複合されている。すなわち、グランド電位になる外部接続端子 1 7 g (または、外部接続端子 1 7 g に接する第 2 配線層 1 3) のそれぞれは、半導体素子 2 0 の角部と、隣り合う角部の間に位置している。

【 0 0 3 1 】

外部接続端子 1 7 g (または、外部接続端子 1 7 g に接する第 2 配線層 1 3) のそれぞれが隣接する距離は、半導体素子 2 0 等から放出される電磁ノイズの波長の半分以下に調整されている。

【 0 0 3 2 】

次に、半導体装置 1 の製造過程について説明する。

図 4 は、第 1 実施形態に係る半導体装置の製造過程を説明する断面模式図である。

【 0 0 3 3 】

まず、図 4 (a) に示すように、個片化前の半導体装置 1 を形成する。この段階では、回路基板 1 0 は、切断前の状態にあり、複数の半導体装置 1 が繋がっている。

【 0 0 3 4 】

次に、ダイシングライン D L に沿って、回路基板 1 0 にダイシングブレード 9 0 を挿入する。この段階では、いわゆるハーフダイシングを行い、回路基板 1 0 の下面側にまでダイシングブレード 9 0 を到達させない。すなわち、ダイシングブレード 9 0 の挿入をダイシングライン D L 近傍のビア 1 4 の深さ方向の途中で止めて、ビア 1 4 が回路基板 1 0 の厚さ方向において切断された切断面を露出させる。この状態を、図 4 (b) に示す。

【 0 0 3 5 】

ビア 1 4 の切断面は必ずしもビア 1 4 の中心である必要はなく、切断面にビア 1 4 の一部が含まれている。ビア 1 4 と、導電性シールド層 4 0 と、の接触面積を増加させるには

10

20

30

40

50

、ビア14の切断面はビア14の中心に近いほうが望ましい。

【0036】

続いて、封止樹脂層30を硬化させた後、図4(c)に示すように、導電性シールド層40を封止樹脂層30上に被覆する。導電性シールド層40は、ハーフダイシングによって形成された凹部90h内にも埋め込まれる。

【0037】

導電性シールド層40の形成は、例えば、転写法、スクリーン印刷法、スプレー塗布法、ジェットディスペンス法、インクジェット法、エアロゾル法、無電解めっき法、電解めっき法、または真空処理法等で行われる。

【0038】

導電性シールド層40が凹部90h内に埋め込まれることにより、導電性シールド層40は、ビア14の切断面に接触する。この後、導電性シールド層40は、必要に応じて硬化される。

【0039】

次に、図4(d)に示すように、個片化のためのダイシングを行って半導体装置1を形成する。

【0040】

半導体装置1の効果について説明する。

図5は、電磁ノイズのシールド効果を説明するためのシミュレーション結果である。

【0041】

図5(a)の横軸には、半導体素子20等から放出されるノイズ周波数(MHz)であり、縦軸は、ノイズを遮蔽するシールド効果(dB)が示されている。縦軸が高くなるほどシールド効果が増すことになる。

【0042】

図5(a)の(1)~(4)のラインのそれぞれは、図5(b)の(1)~(4)のパターンのそれぞれによって計算したシミュレーション結果である。

【0043】

(1)のパターンでは、1個の外部接続端子17gが導電性シールド層40に導通している。すなわち、導電性シールド層40がグランド電位に接している箇所は1箇所である。

【0044】

(2)のパターンでは、(1)のパターンに加え、さらに、半導体素子20の角部(4隅)に配置された外部接続端子17gが導電性シールド層40に導通している。すなわち、導電性シールド層40がグランド電位に接している箇所は5箇所である。

【0045】

(3)のパターンでは、(1)のパターンに加え、さらに、半導体素子20の隣り合う角部の間に配置された外部接続端子17gが導電性シールド層40に導通している。すなわち、導電性シールド層40がグランド電位に接している箇所は5箇所である。

【0046】

(4)のパターンでは、(1)のパターンに加え、さらに、半導体素子20の角部(4隅)、および半導体素子20の隣り合う角部の間に配置された外部接続端子17gが導電性シールド層40に導通している。すなわち、導電性シールド層40がグランド電位に接している箇所は9箇所である。

【0047】

ノイズ周波数が50~900(MHz)においては、(1)のラインは、6~9(dB)を示すに対し、(2)、(3)のラインは、13~14(dB)にまで上昇する。さらに、(4)のラインでは、約15(dB)にまで上昇している。例えば、ノイズ周波数が最も高い900(MHz)においては、(1)に対し、(2)、(3)は、約6(dB)ほど上昇し、(4)は、(1)に対し、約8(dB)ほど上昇する。このように、導電性シールド層40がグランド電位に接する箇所が多くなるほど、シールド効果は向上する。

10

20

30

40

50

【 0 0 4 8 】

半導体装置 1 では、回路基板 1 0 の側面 1 0 w に配置されたビア 1 4 は、回路基板 1 0 を厚さ方向に貫通しているため、回路基板 1 0 の側面全体からの電磁波の漏洩が抑制される。

【 0 0 4 9 】

さらに、半導体装置 1 では、導電性シールド層 4 0 がグランド電位に接する箇所を複数設け、この箇所の間隔を、半導体素子 2 0 等から放出される電磁ノイズの波長の半分以下に調整している。従って、電磁ノイズを導電性シールド層 4 0 によってより確実に遮蔽することができる。

【 0 0 5 0 】

導電性シールド層 4 0 がグランド電位に接する箇所が 1 箇所の場合のみは、回路基板 1 0 と、導電性シールド層 4 0 との間からノイズが漏れ易くなる可能性がある。例えば、半導体素子 2 0 が所定の箇所からノイズを放出するとき、この所定の箇所と、導電性シールド層 4 0 がグランド電位に接する箇所が離れている場合は、回路基板 1 0 と、導電性シールド層 4 0 との間からノイズが漏れ易くなる可能性がある。

【 0 0 5 1 】

これに対し、半導体装置 1 では、導電性シールド層 4 0 がグランド電位に接する箇所を複数設け、満遍なく導電性シールド層 4 0 をグランド電位に設定している。これにより、電磁ノイズを導電性シールド層 4 0 によってより確実に遮蔽することができる。

【 0 0 5 2 】

(第 2 実施形態)

図 6 は、第 2 実施形態に係る半導体装置の断面模式図である。

半導体装置 2 の基本構造は、半導体装置 1 と同じである。但し、第 2 実施形態に係る回路基板 1 0 においては、回路基板 1 0 の側面 1 0 w に設けられたビア 1 4 が回路基板 1 0 の側面 1 0 w において露出していない。第 2 実施形態に係る回路基板 1 0 においては、回路基板 1 0 の側面 1 0 w 近傍に設けられたビア 1 4 g 上の配線層 1 4 m が回路基板 1 0 の側面 1 0 w において露出している。配線層 1 4 m の材質は、ビア 1 4 g と同じである。そして、ビア 1 4 g に接続されたランド状の配線層 1 4 m が導電性シールド層 4 0 に接続されている。配線層 1 4 m は、グランド電位になる外部接続端子 1 7 g (または、外部接続端子 1 7 g に接する第 2 配線層 1 3) に電氣的に接続されている。

【 0 0 5 3 】

つまり、外部接続端子 1 7 g (または、外部接続端子 1 7 g に接する第 2 配線層 1 3) それぞれが側面 1 0 w において配線層 1 4 m に電氣的に接続されることにより、導電性シールド層 4 0 はグランド電位になることができる。半導体装置 2 においては、配線層 1 4 m を介して導電性シールド層 4 0 とグランド電位との接点が複数設けられている。このような半導体装置 2 によっても、半導体装置 1 と同様の効果を得る。

【 0 0 5 4 】

(第 3 実施形態)

図 7 は、第 3 実施形態に係る半導体装置の平面模式図およびシールド効果を説明する図である。図 7 (a) には、半導体装置の回路基板の平面模式図が示され、図 7 (b) には、シールド効果を説明する図である。

図 7 (a) には、回路基板 1 0 の下面側の平面が例示されている。

【 0 0 5 5 】

第 3 実施形態に係る回路基板 1 0 においては、第 2 配線層として、縦横に配列された外部接続端子 1 7 (または、外部接続端子 1 7 に接する第 2 配線層 1 3) の外周に、リング状の配線層 1 9 r が設けられている。すなわち、回路基板 1 0 においては、絶縁基材 1 1 の下面側に設けられた外部接続端子 1 7 (または、外部接続端子 1 7 に接する第 2 配線層 1 3) を取り囲むリング状の配線層 1 9 r がさらに設けられている。配線層 1 9 r は、外部接続端子 1 7 g (または、外部接続端子 1 7 g に接する第 2 配線層 1 3) のいずれかに電氣的に接続されている。

10

20

30

40

50

例えば、外部接続端子 17g がグランド電位になれば、配線層 19r とビア 14g の全てがグランド電位になる。

【0056】

外部接続端子 17g と、配線層 19r と、は、電磁ノイズの波長の 2 分の 1 より狭い間隔で電氣的に接続すると効果があり、より狭い間隔で接続したほうが、遮蔽効果が高くなる。また、配線層 19r と、ビア 14g と、は、電磁ノイズの波長の 2 分の 1 より狭い間隔で電氣的に接続すると効果があり、より狭い間隔で接続したほうが、遮蔽効果が高くなる。リング状の配線層 19r の線幅は、0.035mm 以上で効果があるが、0.5mm の幅程度に、幅を広くすると、より電磁波の遮蔽効果が高くなる。

【0057】

図 7 (b) に、外部接続端子 17g と、配線層 19r と、の間隔が 1.6mm 以下、配線層 19r と、ビア 14g と、の間隔が 0.4mm で、配線層 19r の線幅を 0.5mm とした場合のシールド効果を示す。横軸には、半導体素子 20 等から放出されるノイズ周波数 (MHz) であり、縦軸は、ノイズを遮蔽するシールド効果 (dB) が示されている。縦軸が高くなるほどシールド効果が増すことになる。

第 3 実施形態に係る回路基板では、第 1 および第 2 実施形態に比べ、磁界シールド効果が高くなっている。

【0058】

(第 4 実施形態)

図 8 は、第 4 実施形態に係る半導体装置の断面模式図である。

第 4 実施形態に係る半導体装置 3 は、回路基板 10 を有する。回路基板 10 は、絶縁基材 11 と、絶縁基材 11 の上面側に設けられた第 1 配線層を構成する複数の配線 12 と、絶縁基材の下面側に設けられた第 2 配線層を構成する複数の配線 13 と、を有する。半導体装置 3 は、さらに、回路基板 10 の上面側に搭載された半導体素子 20 と、半導体素子 20 を封止し、回路基板 10 の上面上に設けられた封止樹脂層 30 と、封止樹脂層 30 と、回路基板 10 の端部の一部と、を覆う導電性シールド層 40 と、を有する。

【0059】

半導体装置 3 においては、第 1 配線層を構成する複数の配線 12 および第 2 配線層を構成する複数の配線 13 とは異なる第 2 配線層を構成する複数の配線 50 が回路基板 10 の下側に複数設けられている。第 2 配線層を構成する複数の配線 50 は、導電性シールド層 40 に電氣的に接続されず、第 2 配線層を構成する複数の配線 13 が設けられていない絶縁基材 11 の下面側の領域に設けられている。第 2 配線層を構成する複数の配線 50 は、例えば、回路基板 10 の上面側において、第 1 配線層 12、引き出し線 18 にニッケル (Ni)、金 (Au) 等の電解めっき処理を施すときのめっき用配線として機能する。従って、第 3 配線層 50 は、第 1 配線層を構成する複数の配線 12 のいずれかに電氣的に接続されている。

【0060】

このような第 2 配線層の配線 50 を回路基板 10 の下側に引き回すことにより、回路基板 10 の上面側の配線設計の自由度が向上する。さらに、第 2 配線層を構成する複数の 50 は、回路基板 10 の下側に設けられるので、第 2 配線層を構成する複数の配線 50 と、導電性シールド層 40 と、が接触 (導通) しない。従って、第 1 配線層 12、引き出し線 18 にめっき処理を施した後において第 2 配線層の配線 50 が存在しても第 2 配線層の配線 50 と、導電性シールド層 40 と、は接触しない。すなわち、第 2 配線層の配線 50 をエッチング工程によって取り除くことを要せず、製造工程のコスト上昇を招来しない。複数の配線 50 は、側面 10w に露出するように回路基板 10 の端部にまで配線されている。

【0061】

また、半導体装置 3 においても、図示するように、絶縁基材 11 の上面から下面にまで貫通する複数のビア 14 が回路基板 10 にさらに設けられ、複数のビア 14 の数より少ない複数のビアからなる第 1 群は、回路基板 10 の側面 10w において露出されてもよい。

10

20

30

40

50

この場合、第1群のビア14の露出面のそれぞれと、導電性シールド層と、は接続されている。そして、側面10wにおいて露出されたビア14の中のいくつかは、グランド電位となるビア14gになっている。

【0062】

第1～第4実施形態で説明した外部接続端子17(17g)は、必要に応じて全て取り除くことができ、第2配線層を構成する複数の配線13のそれぞれを回路基板10の下面側において露出させたLGA(Land Grid Array)構造の半導体装置1～3も実施形態に含まれる。

【0063】

また、回路基板10の側面10wに配置された複数のビア14の中、外部接続端子17gに電氣的に接続されていないものについては必要に応じて取り除いてもよい。このような形態も実施形態に含まれる。

10

【0064】

以上、具体例を参照しつつ実施形態について説明した。しかし、実施形態はこれらの具体例に限定されるものではない。すなわち、これら具体例に、当業者が適宜設計変更を加えたものも、実施形態の特徴を備えている限り、実施形態の範囲に包含される。前述した各具体例が備える各要素およびその配置、材料、条件、形状、サイズなどは、例示したものに限定されるわけではなく適宜変更することができる。

【0065】

その他、実施形態の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても実施形態の範囲に属するものと了解される。また、各実施形態が備える各要素は、技術的に可能な限りにおいて複合させることができ、これらを組み合わせたものも実施形態の特徴を含む限り実施形態の範囲に包含される。

20

【0066】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる

30

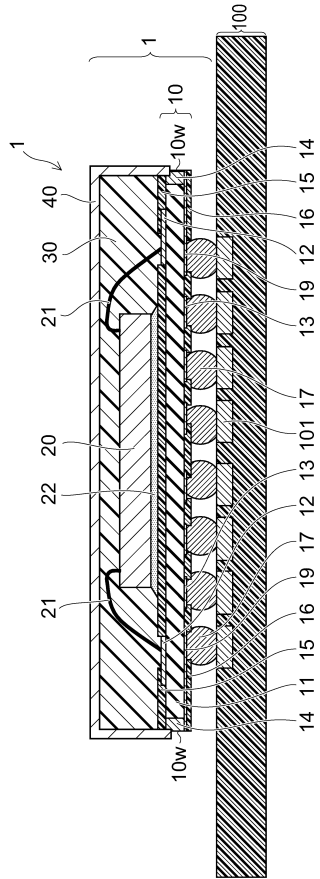
【符号の説明】

【0067】

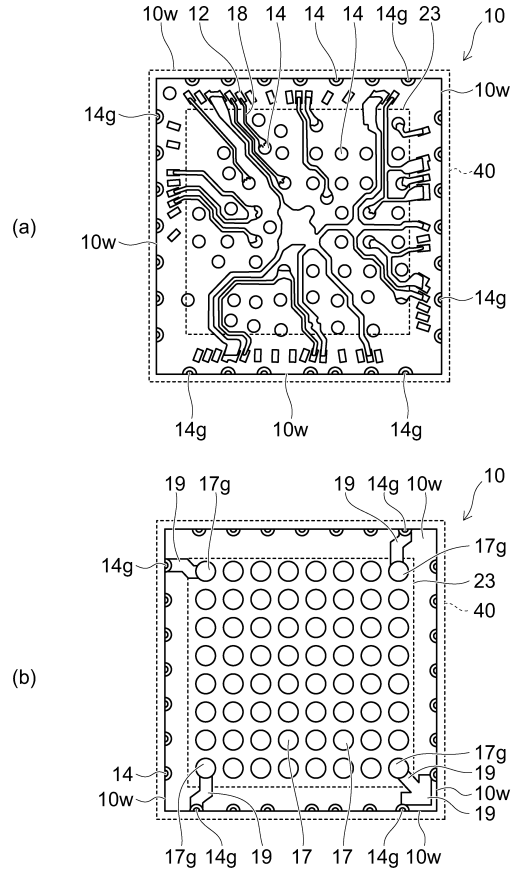
1、2、3 半導体装置、 10 回路基板、 10w 側面、 11 絶縁基材、
12 配線層、 13 配線層、 14、14g ビア、 14m 配線層、 15、1
6 ソルダレジスト層、 17、17g 外部接続端子、 18、19 引き出し線、
19r、50、101 配線層、 20 半導体素子、 21 ワイヤ、 22 ダイボ
ンディング材、 23 素子搭載領域、 30 封止樹脂層、 40 導電性シールド層
、 90 ダイシングブレード、 90h 凹部、 100 実装基板、 DL ダイシ
ングライン

40

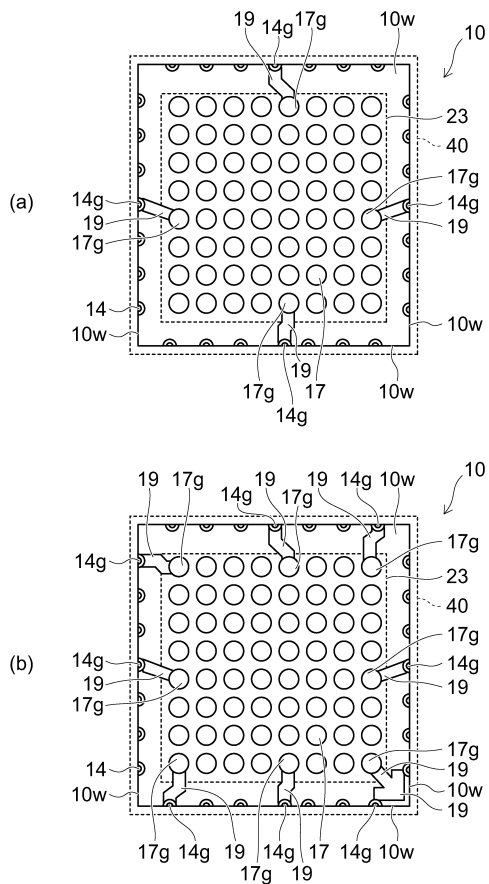
【 図 1 】



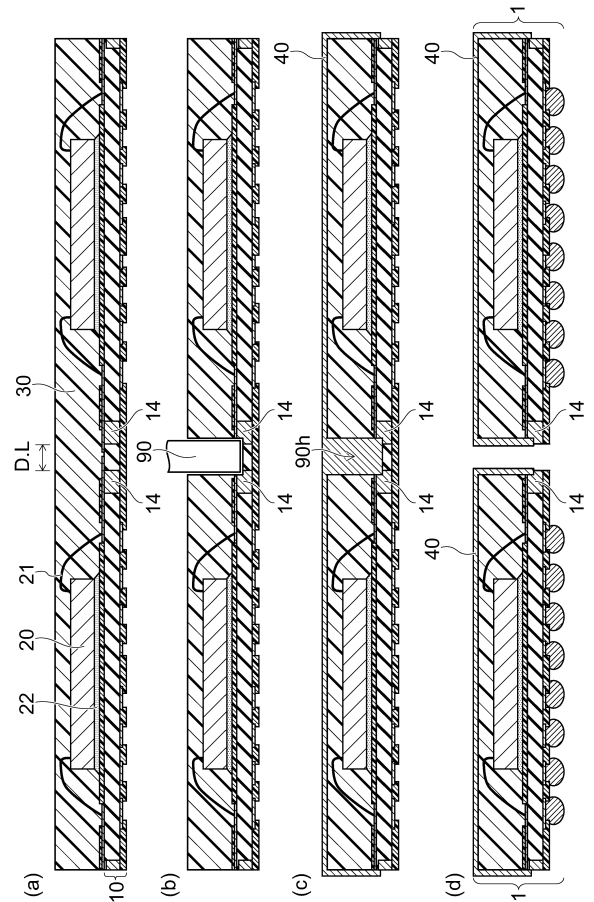
【 図 2 】



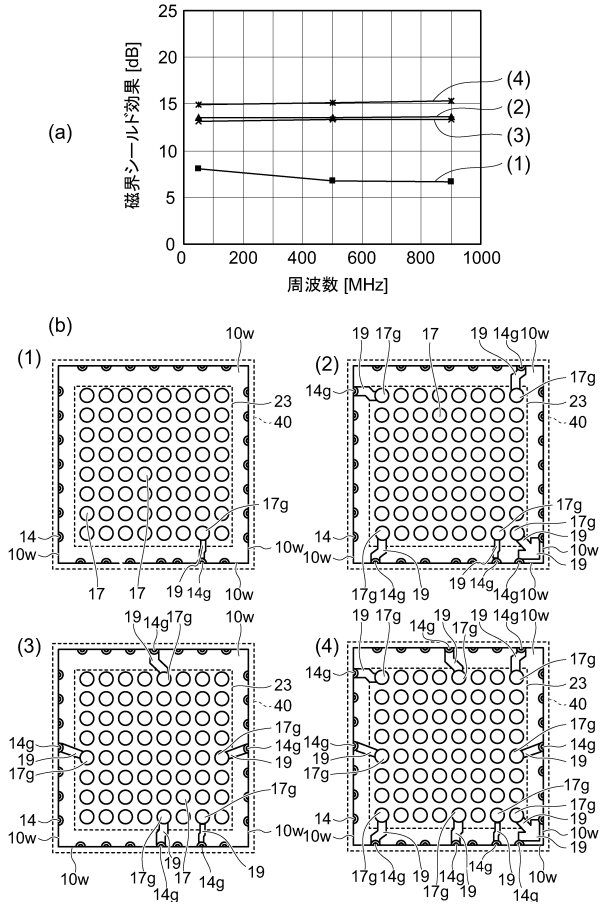
【 図 3 】



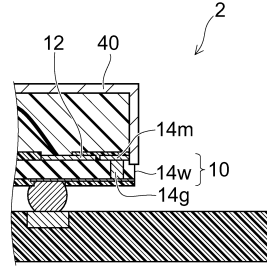
【 図 4 】



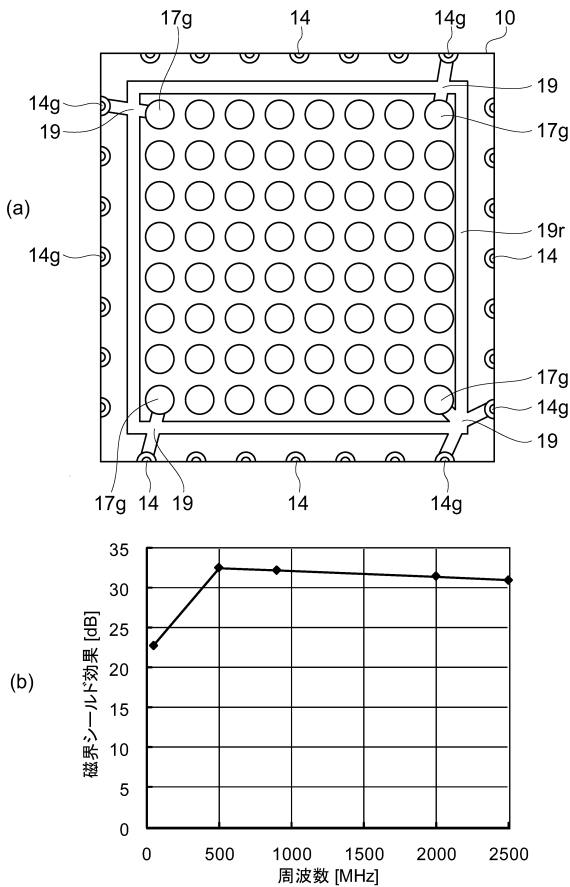
【図5】



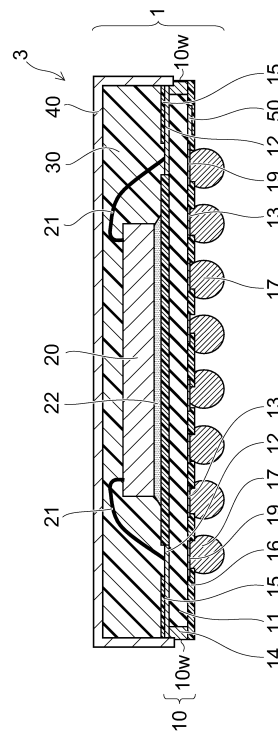
【図6】



【図7】



【図8】



フロントページの続き

- (74)代理人 100165375
弁理士 石川 隆史
- (72)発明者 山田 啓壽
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 石田 正明
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 金田 孝之

- (56)参考文献 特開2004-297456(JP,A)
特開2004-214584(JP,A)
特開2005-341489(JP,A)
特開2006-173493(JP,A)
特開2004-095607(JP,A)
特開2004-172176(JP,A)
特開平08-250890(JP,A)
米国特許出願公開第2007/0040735(US,A1)

- (58)調査した分野(Int.Cl., DB名)
- H01L 21/54
H01L 23/00 - 23/04
H01L 23/06 - 23/31
H01L 23/552
H05K 9/00